



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월20일
(11) 등록번호 10-1684176
(24) 등록일자 2016년12월01일

(51) 국제특허분류(Int. Cl.)
H03F 1/32 (2006.01) H03F 3/24 (2006.01)
(52) CPC특허분류
H03F 1/3241 (2013.01)
H03F 1/3247 (2013.01)
(21) 출원번호 10-2015-0139732
(22) 출원일자 2015년10월05일
심사청구일자 2015년10월05일
(56) 선행기술조사문헌
KR1020110099132 A*
KR1020110105319 A*
KR101040763 B1
KR1020120070047 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한밭대학교 산학협력단
XXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXX
(72) 발명자
정의림
XXXXXXXXXXXXXXXXXXXXXXXXXXXX
이광표
XXXXXXXXXXXXXXXXXXXXXXXXXXXX
(74) 대리인
특허법인이름리온, 특허법인리온

전체 청구항 수 : 총 4 항

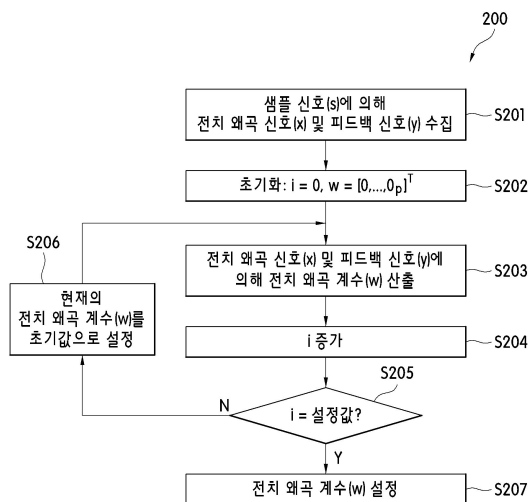
심사관 : 오성환

(54) 발명의 명칭 샘플 반복을 이용한 디지털 전치왜곡 방법 및 그 장치

(57) 요약

샘플 반복을 이용한 디지털 전치왜곡 방법 및 그 장치가 제공된다. 본 발명의 실시예에 따른 샘플 반복을 이용한 디지털 전치왜곡 방법은 반복 변수 및 전치왜곡 계수를 초기화하는 단계; 상기 전치왜곡 신호 및 상기 피드백 신호에 기반하여 전치왜곡 계수를 산출하는 단계; 상기 반복 변수가 설정값인지를 판단하는 단계; 상기 반복 변수가 상기 설정값이 아닌 경우, 상기 산출된 현재의 전치왜곡 계수를 초기값으로 설정하는 단계; 및 상기 반복 변수가 상기 설정값이 될 때까지, 상기 설정된 현재의 전치왜곡 계수를 이용하여 상기 전치왜곡 계수를 산출하는 단계를 반복 수행하는 단계;를 포함한다.

대표도 - 도2



(52) CPC특허분류
H03F 3/24 (2013.01)

이 발명을 지원한 국가연구개발사업

| | |
|----------|----------------------------|
| 과제고유번호 | B01011513450003003 |
| 부처명 | 미래창조과학부 |
| 연구관리전문기관 | 정보통신기술진흥센터 |
| 연구사업명 | 방송통신산업기술개발 |
| 연구과제명 | 준밀리미터파 채널적응형 안테나 및 송수신기 개발 |
| 기여율 | 1/1 |
| 주관기관 | 한밭대학교 산학협력단 |
| 연구기간 | 2015.03.01 ~ 2016.02.28 |

명세서

청구범위

청구항 1

N개의 샘플 신호에 의해 전치왜곡 신호, 및 전력증폭기의 출력에 대응하는 피드백 신호를 수집하는 단계;

반복 변수 및 전치왜곡 계수를 초기화하는 단계;

상기 전치왜곡 신호 및 상기 피드백 신호에 기반하여 전치왜곡 계수를 산출하는 단계;

상기 반복 변수가 설정값인지를 판단하는 단계;

상기 반복 변수가 상기 설정값이 아닌 경우, 상기 산출된 현재의 전치왜곡 계수를 초기값으로 설정하는 단계; 및

상기 반복 변수가 상기 설정값이 될 때까지, 상기 설정된 현재의 전치왜곡 계수를 이용하여 상기 전치왜곡 계수를 산출하는 단계를 반복 수행하는 단계;를 포함하고,

상기 전치왜곡 계수를 산출하는 단계는,

RLS(Recursive Least Squares) 알고리즘에 의해 수행되 하기의 식에 의해 전치왜곡 계수(w)를 산출하는 것을 특징으로 하는 샘플 반복을 이용한 디지털 전치왜곡 방법.

$$u = [y(n), y(n)|y(n)|^2, \dots, y(n)|y(n)|^{2P}]^T$$

$$z(n) = w^H u$$

$$k = \frac{\lambda^{-1} P u}{1 + \lambda^{-1} u^H P u}$$

$$e(n) = x(n) - z(n)$$

$$w = w + k e^*(n)$$

$$P = \lambda^{-1} P - \lambda^{-1} k u^H P$$

(여기서, y(n)는 상기 피드백 신호, w는 (P+1)개의 전치왜곡 계수를 나타내는 벡터, λ는 망각 인자(forgetting factor), P는 (P+1)×(P+1)의 크기를 갖는 역 상관 행렬(inverse correlation matrix))

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 초기화하는 단계는

상기 w를 엘리먼트가 모두 영인 벡터로, 상기 P를 (P+1)×(P+1)의 크기를 갖는 단위행렬로 초기화하는 것을 특징으로 하는 샘플 반복을 이용한 디지털 전치왜곡 방법.

청구항 5

입력 신호를 전치왜곡시키는 전치왜곡 보상부;

N개의 샘플 신호에 의한 전치왜곡 신호, 및 전력증폭기의 출력에 대응하는 피드백 신호가 저장되는 메모리; 및

상기 메모리에 저장된 상기 전치왜곡 신호 및 상기 피드백 신호에 기반하여 상기 전치왜곡 보상부의 전치왜곡 계수를 산출하되, 반복 변수 및 상기 전치왜곡 계수를 초기화한 후, 상기 반복 변수가 설정값에 도달할 때까지, 상기 전치왜곡 신호 및 상기 피드백 신호를 반복적으로 이용하여 상기 전치왜곡 계수를 산출하며, 다음 반복 수행시 상기 현재의 산출된 전치왜곡 계수를 초기값으로 설정하여 상기 전치왜곡 계수의 산출을 반복하는 전치왜곡 엔진;을 포함하고,

상기 전치왜곡 엔진은,

RLS(Recursive Least Squares) 알고리즘에 의해 수행되 하기의 식에 의해 전치왜곡 계수(w)를 산출하는 것을 특징으로 하는 샘플 반복을 이용한 디지털 전치왜곡 장치.

$$u = [y(n), y(n)|y(n)|^2, \dots, y(n)|y(n)|^{2P}]^T$$

$$z(n) = w^H u$$

$$k = \frac{\lambda^{-1} P u}{1 + \lambda^{-1} u^H P u}$$

$$e(n) = x(n) - z(n)$$

$$w = w + k e^*(n)$$

$$P = \lambda^{-1} P - \lambda^{-1} k u^H P$$

(여기서, y(n)는 상기 피드백 신호, w는 (P+1)개의 전치왜곡 계수를 나타내는 벡터, λ는 망각 인자(forgotten factor), P는 (P+1)×(P+1)의 크기를 갖는 역 상관 행렬(inverse correlation matrix))

청구항 6

삭제

청구항 7

삭제

청구항 8

제5항에 있어서,

상기 전치왜곡 엔진은 상기 w를 엘리먼트가 모두 영인 벡터로, 상기 P를 (P+1)×(P+1)의 크기를 갖는 단위행렬로 초기화하는 것을 특징으로 하는 샘플 반복을 이용한 디지털 전치왜곡 장치.

발명의 설명

기술 분야

[0001] 본 발명은 디지털 전치왜곡 알고리즘에 관한 것으로, 특히, 일정 수의 샘플을 반복적으로 이용하여 소용량 메모리에 의해 전치왜곡 알고리즘을 구현할 수 있는 샘플 반복을 이용한 디지털 전치왜곡 방법 및 그 장치에 관한 것이다.

배경 기술

[0002] 일반적으로 통신 시스템에서 전력증폭기는 신호를 송신하기 위한 필수적인 요소이다. 이러한 전력증폭기는 비선형 왜곡이 크면, 신호 품질이 저하되고, 인접대역 간섭이 증가하기 때문에, 비선형 특성이 크게 나타나는 포화 영역에서 구동되지 않고, 선형 특성으로 동작하는 낮은 전력에서 동작된다. 이와 같이, 포화 전력보다 낮은 전력으로 구동하게 되면, 전력증폭기는 그 효율이 10~20% 정도의 낮아진다.

[0003] 따라서, 전력증폭기의 효율을 개선하기 위하여 다양한 선형화 방식들이 제안되고 있는데, 이 중 디지털 전치왜곡 방식(DPD: digital predistortion)은 간단한 구조와 작은 수의 구성요소, 저가의 구현 비용으로 전력증폭기를 선형화하여 전력 효율을 개선하는 방식으로서 매우 효과적인 기술로 알려져 있다.

[0004] 이러한 디지털 전치왜곡은 비선형 전력증폭기의 역함수에 해당하는 디지털 전치왜곡 특성을 찾아서 디지털 단에

구현함으로써 비선형 전력증폭기를 선형화하는 기술이다. 이때, 전치왜곡 특성을 찾기 위해서는 전력증폭기에 입력하는 신호와 전력증폭기의 출력 신호가 필요하다.

- [0005] 한편, 통신 시스템의 송신 모뎀에서 생성된 신호는 디지털 전치왜곡에 의해 전력증폭기 특성의 역함수로 왜곡되고, 디지털-아날로그 변환기(DAC; digital to analog converter)를 통해 아날로그 신호로 변환된 후, 주파수 상향 변환기(upconverter)를 통해 RF(radio frequency) 주파수로 변환된 후 전력증폭기를 통해 증폭된다.
- [0006] 이와 같이, 디지털 전치왜곡 특성이 전력증폭기의 역함수인 경우, 전력증폭기의 출력에서는 선형 증폭된 출력을 얻을 수 있다. 이때, 전력증폭기 출력은 방향성 커플러(directional coupler)에 의해 전력의 일부분이 피드백되어 주파수 하향 변환기(downconverter)를 통해 다시 주파수를 기저 대역(base band)으로 낮춘다. 이후 아날로그-디지털 변환기(ADC; analog to digital converter)를 통해 디지털 신호로 변환된다.
- [0007] 한편, 전력증폭기의 특성은 시간, 전력, 및 온도에 따라 변하기 때문에 지속적으로 비선형 특성을 추적하면서 역함수를 찾아야 하고 이를 위해서는 전력증폭기의 출력을 다시 피드백(feedback)하는 회로가 필요하다.
- [0008] 즉, 지속적으로 전력증폭기의 역함수, 즉 전치왜곡 특성을 찾기 위해서는 송신 신호와 전력증폭기의 출력 신호에 대한 피드백 신호가 필요하게 된다. 또한 복잡한 계산을 수행하는 프로세서를 이용하여 송신 신호와 피드백 신호로부터 전치왜곡 특성을 찾아내는 계산을 수행해야 한다. 이 계산 과정은 전치왜곡 엔진에서 수행된다.
- [0009] 구체적으로 전치왜곡 엔진에서는 전력증폭기의 입력신호와 피드백된 신호를 이용하여 역함수 신호를 생성하기 위한 전치왜곡 계수 값을 찾게 된다. 이러한 계산을 위해서는 송신 신호와 피드백 신호를 메모리(RAM)를 이용하여 저장하게 된다. 이 때, 대량의 샘플을 저장하고, 이러한 샘플을 이용하여 전치왜곡 엔진에서 계산을 할수록 더 좋은 특성의 전치왜곡 계수를 찾을 수 있고, 따라서 전력증폭기의 선형화를 구현할 수 있다.
- [0010] 반면, 메모리에 저장되는 샘플의 길이가 충분하지 않으면, 전치왜곡 특성을 찾는데 오차가 커져서 원하는 전치왜곡 계수를 구할 수 없다.
- [0011] 구체적으로, 전치왜곡 계수는 전치왜곡 엔진에서 적응형 알고리즘을 이용하여 계산한다. 이때, 적응형 알고리즘은 매 샘플마다 찾고자 하는 전치왜곡 계수를 조금씩 갱신하여 점진적으로 원하는 전력증폭기의 역함수를 찾아가는 방식으로 전치왜곡 계수를 산출한다.
- [0012] 이때, 충분히 긴 샘플 동안 이러한 갱신을 수행하면, 전치왜곡 계수는 원하는 값으로 수렴되어 최종적으로 얻어진 이 계수 값을 전치왜곡 보상부에 적용함으로써, 실제 전치왜곡이 수행된다.
- [0013] 그러나, 충분히 긴 샘플동안 적응형 알고리즘을 동작시키지 못하면, 전치왜곡 계수는 원하는 값으로 수렴하지 못한다. 결과적으로, 이러한 전치왜곡 계수를 전치왜곡 보상부에 적용하면 전력증폭기의 선형화를 효과적으로 달성할 수 없다.
- [0014] 이와 반대로, 긴 샘플 동안 적응형 알고리즘을 동작시키기 위해서는 대용량의 샘플을 저장하기 위한 더 큰 용량을 갖는 메모리가 요구되기 때문에 하드웨어 부담과 비용이 증가하게 되는 문제가 발생한다.

선행기술문헌

특허문헌

- [0015] (특허문헌 0001) KR 1348275 B

발명의 내용

해결하려는 과제

- [0016] 상기와 같은 종래 기술의 문제점을 해결하기 위해, 본 발명의 일 실시예는 소용량 메모리만으로도 전력증폭기의 선형화를 위한 전치왜곡 계수의 안정적인 수렴을 달성할 수 있는 샘플 반복을 이용한 디지털 전치왜곡 방법 및 그 장치를 제공하고자 한다.

과제의 해결 수단

- [0017] 위와 같은 과제를 해결하기 위한 본 발명의 일 측면에 따르면, N개의 샘플 신호에 의해 전치왜곡 신호, 및 전력

증폭기의 출력에 대응하는 피드백 신호를 수집하는 단계; 반복 변수 및 전치왜곡 계수를 초기화하는 단계; 상기 전치왜곡 신호 및 상기 피드백 신호에 기반하여 전치왜곡 계수를 산출하는 단계; 상기 반복 변수가 설정값인지를 판단하는 단계; 상기 반복 변수가 상기 설정값이 아닌 경우, 상기 산출된 현재의 전치왜곡 계수를 초기값으로 설정하는 단계; 및 상기 반복 변수가 상기 설정값이 될 때까지, 상기 설정된 현재의 전치왜곡 계수를 이용하여 상기 전치왜곡 계수를 산출하는 단계를 반복 수행하는 단계;를 포함하는 샘플 반복을 이용한 디지털 전치왜곡 방법이 제공된다.

[0018] 일 실시예에서, 상기 전치왜곡 계수를 산출하는 단계는 RLS(Recursive Least Squares) 및 LMS(Least Mean Square) 알고리즘 중 어느 하나에 의해 수행될 수 있다.

[0019] 일 실시예에서, 상기 전치왜곡 계수를 산출하는 단계가 상기 RLS 알고리즘에 의해 수행되는 경우, 하기의 식에 의해 전치왜곡 계수(w)를 산출할 수 있다:

$$\begin{aligned}
 \mathbf{u} &= [y(n), y(n)|y(n)|^2, \dots, y(n)|y(n)|^{2P}]^T \\
 z(n) &= \mathbf{w}^H \mathbf{u} \\
 \mathbf{k} &= \frac{\lambda^{-1} \mathbf{P} \mathbf{u}}{1 + \lambda^{-1} \mathbf{u}^H \mathbf{P} \mathbf{u}} \\
 e(n) &= x(n) - z(n) \\
 \mathbf{w} &= \mathbf{w} + \mathbf{k} e^*(n) \\
 \mathbf{P} &= \lambda^{-1} \mathbf{P} - \lambda^{-1} \mathbf{k} \mathbf{u}^H \mathbf{P}
 \end{aligned}$$

[0020] 여기서, y(n)는 상기 피드백 신호, w는 (P+1)개의 전치왜곡 계수를 나타내는 벡터, λ는 망각 인자(forgetting factor), P는 (P+1)×(P+1)의 크기를 갖는 역 상관 행렬(inverse correlation matrix)이다.

[0022] 일 실시예에서, 상기 초기화하는 단계는 상기 w를 엘리먼트가 모두 영인 벡터로, 상기 P를 (P+1)×(P+1)의 크기를 갖는 단위행렬로 초기화할 수 있다.

[0023] 본 발명의 일 측면에 따르면, 입력 신호를 전치왜곡시키는 전치왜곡 보상부; N개의 샘플 신호에 의한 전치왜곡 신호, 및 전력증폭기의 출력에 대응하는 피드백 신호가 저장되는 메모리; 및 상기 메모리에 저장된 상기 전치왜곡 신호 및 상기 피드백 신호에 기반하여 상기 전치왜곡 보상부의 계수를 산출하되, 반복 변수 및 상기 전치왜곡 계수를 초기화한 후, 상기 반복 변수가 설정값에 도달할 때까지, 상기 전치왜곡 신호 및 상기 피드백 신호를 반복적으로 이용하여 상기 전치왜곡 계수를 산출하며, 다음 반복 수행시 상기 현재의 산출된 전치왜곡 계수를 초기값으로 설정하여 상기 전치왜곡 계수의 산출을 반복하는 전치왜곡 엔진을 포함하는 샘플 반복을 이용한 디지털 전치왜곡 장치가 제공된다.

발명의 효과

[0024] 본 발명의 일 실시예에 따른 샘플 반복을 이용한 디지털 전치왜곡 방법 및 그 장치는 일정수의 샘플을 반복적으로 사용하여 전치왜곡 계수를 산출하며, 현재 산출된 전치왜곡 계수를 초기값으로 하여 반복 연산을 수행함으로써, 메모리의 용량을 소형화하면서도, 기존 방식과 유사한 성능을 구현할 수 있다.

[0025] 또한, 본 발명은 소용량의 메모리만으로도 대용량의 메모리를 구현한 경우와 유사한 성능을 얻을 수 있기 때문에 전치왜곡 장치를 구현하기 위한 비용을 절감할 수 있는 동시에 계산 복잡도도 감소시킬 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 실시예에 따른 샘플 반복을 이용한 디지털 전치왜곡 장치를 포함한 통신시스템 송신부의 블록도이고,

도 2는 본 발명의 실시예에 따른 샘플 반복을 이용한 디지털 전치왜곡 방법을 나타낸 순서도이며,

도 3은 본 발명의 실시예에 따른 샘플 반복을 이용한 디지털 전치왜곡 방법의 실험결과를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가

진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조부호를 붙였다.

- [0028] 이하에서는 도면을 참조하여 본 발명의 실시예에 따른 디지털 전치왜곡 장치를 보다 상세히 설명하도록 한다.
- [0029] 도 1을 참조하면, 본 발명의 일 실시예에 따른 디지털 전치왜곡 장치(100)가 적용된 통신 시스템 송신부(10)는 송신 모뎀(11), 디지털 전치왜곡 장치(100), 디지털-아날로그 변환기(12), 주파수 상향 변환기(13), 전력증폭기(PA)(14), 커플러(15), 주파수 하향 변환기(16), 및 아날로그-디지털 변환기(17)를 포함한다.
- [0030] 송신 모뎀(11)은 전송하고자 하는 신호를 발생시키며, 디지털 전치왜곡 장치(100)의 학습을 위한 N개의 샘플 신호(s(n))를 출력한다.
- [0031] 디지털 전치왜곡 장치(100)는 송신 모뎀(11)으로부터 출력되는 신호를 왜곡시킨다. 이러한 디지털 전치왜곡 장치(100)는 전력증폭기(PA)(14)의 출력을 선형화하기 위해 신호를 사전에 왜곡시키는 것으로 학습 단계에서는 N개의 샘플 신호(s(n))에 의해 전치왜곡 계수(w)를 산출할 수 있다.
- [0032] 디지털-아날로그 변환기(12)는 디지털 전치왜곡 장치(100)로부터 출력된 전치왜곡 신호(x(n))를 디지털-아날로그 변환한다.
- [0033] 주파수 상향 변환기(13)는 디지털-아날로그 변환기(12)에서 아날로그 변환된 전치왜곡 신호(x(n))를 무선 전송을 위한 주파수 대역으로 상향 변환한다.
- [0034] 전력증폭기(PA)(14)는 주파수 상향 변환기(13)에서 상향 변환된 전치왜곡 신호(x(n))를 전력 증폭한다.
- [0035] 커플러(15)는 전력증폭기(PA)(14)에서 전력 증폭된 신호중 일부를 커플링한다.
- [0036] 주파수 하향 변환기(16)는 커플러(15)에서 커플링된 전력증폭 신호를 기저 대역으로 하향 변환한다.
- [0037] 아날로그-디지털 변환기(17)는 주파수 하향 변환기(16)에서 하향 변환된 전력증폭 신호를 아날로그-디지털 변환하여 피드백 신호(y(n))로서 디지털 전치왜곡 장치(100)로 출력한다.
- [0038] 여기서, 본 발명의 실시예에 따른 디지털 전치왜곡 장치(100)를 더 상세하게 설명한다. 디지털 전치왜곡 장치(100)는 전치왜곡 보상부(110) 및 전치왜곡 학습부(120)를 포함한다.
- [0039] 전치왜곡 보상부(110)는 송신 모뎀(11)으로부터 출력된 송신대상 신호 또는 샘플 신호를 전치왜곡시킨다.
- [0040] 전치왜곡 학습부(120)는 전치왜곡 보상부(110)의 전치왜곡 신호(x(n))와 전력증폭기(PA)(14)로부터 피드백된 피드백 신호(y(n))에 기반한 학습을 통하여 전력증폭기(PA)(14)의 선형화를 위한 역함수에 대응하는 전치왜곡 계수(w)를 산출한다. 이러한 전치왜곡 학습부(120)는 전치왜곡 엔진(122) 및 메모리(124)를 포함한다.
- [0041] 전치왜곡 엔진(122)은 샘플 신호(s(n))에 의한 전치왜곡 신호(x(n)) 및 피드백 신호(y(n))에 기반하여 전치왜곡 보상부(110)의 전치왜곡 계수(w)를 산출한다. 여기서, 전치왜곡 계수(w)는 전력증폭기(PA)(14)의 비선형 특성에 대한 역함수에 대응하는 특성을 나타낸다.
- [0042] 이러한 전치왜곡 엔진(122)은 초기의 학습시에 반복 변수(i) 및 전치왜곡 계수(w)를 초기화한 후, 반복 변수(i)가 설정값에 도달할 때까지 전치왜곡 신호(x(n)) 및 피드백 신호(y(n))를 반복적으로 이용하여 전치왜곡 계수(w)를 산출한다. 즉, 전치왜곡 엔진(122)은 N개의 전치왜곡 신호(x(n)) 및 피드백 신호(y(n))에 의해 전치왜곡 계수(w)를 산출하되, 수회의 반복 연산을 수행한다. 이때, 다음 반복 연산 수행시 현재에 산출된 전치왜곡 계수(w)를 초기값으로 설정하여 전치왜곡 계수(w)의 산출을 수행할 수 있다.
- [0043] 여기서, 전치왜곡 엔진(122)은 RLS 및 LMS 알고리즘 중 어느 하나에 의해 수행될 수 있다. 예를 들면, 전치왜곡 엔진(122)이 RLS 알고리즘에 의해 수행되는 경우, 하기의 식에 의해 전치왜곡 계수(w)를 산출할 수 있다 :

$$\begin{aligned}
 \mathbf{u} &= [y(n), y(n)|y(n)|^2, \dots, y(n)|y(n)|^{2P}]^T \\
 z(n) &= \mathbf{w}^H \mathbf{u} \\
 \mathbf{k} &= \frac{\lambda^{-1} \mathbf{P} \mathbf{u}}{1 + \lambda^{-1} \mathbf{u}^H \mathbf{P} \mathbf{u}} \\
 e(n) &= x(n) - z(n) \\
 \mathbf{w} &= \mathbf{w} + \mathbf{k} e^*(n) \\
 \mathbf{P} &= \lambda^{-1} \mathbf{P} - \lambda^{-1} \mathbf{k} \mathbf{u}^H \mathbf{P}
 \end{aligned}$$

[0044]

[0045]

여기서, $y(n)$ 는 상기 피드백 신호, \mathbf{w} 는 $(P+1)$ 개의 전치왜곡 계수를 나타내는 벡터, λ 는 망각 인자, \mathbf{P} 는 $(P+1) \times (P+1)$ 의 크기를 갖는 역 상관 행렬이다.

[0046]

이러한 전치왜곡 엔진(122)은 위의 알고리즘에 한정되지 않고, 임의의 적응형 알고리즘에 의해 수행될 수 있으며, 예를 들면, 룩업 테이블(Lookup Table) 방식으로 수행될 수 있다.

[0047]

메모리(124)는 N 개의 샘플 신호($s(n)$)에 의한 전치왜곡 신호($x(n)$), 및 전력증폭기(PA)(14)의 출력에 대응하는 피드백 신호($y(n)$)가 저장된다. 이러한 전치왜곡 신호($x(n)$) 및 피드백 신호($y(n)$)는 샘플 신호($s(n)$)와 동일하게 각각 N 개로 이루어지고, 전치왜곡 학습부(120)에서 전치왜곡 계수(\mathbf{w})를 산출하는데 반복적으로 이용된다.

[0048]

이때, N 은 기존의 디지털 전치왜곡 장치에서 사용되는 샘플의 수보다 작으며, 예를 들면, N 은 5,000이고, 기존의 디지털 전치왜곡 장치에서 사용되는 샘플수는 50,000이상 이다. 따라서, 본 발명의 실시예에 따른 디지털 전치왜곡 장치(100)는 소용량의 메모리로도 기존과 유사한 선형성을 제공하기 위한 전치왜곡 계수를 산출할 수 있다.

[0049]

이와 같은 구성에 의해 메모리에 저장된 송신 샘플과 피드백 신호의 길이가 충분하지 않더라도 메모리의 값을 반복적으로 이용하여 전치왜곡 엔진에서 전치왜곡 계수를 안정적으로 산출할 수 있다. 즉, 본 발명은 종래에 비하여 짧은 샘플을 여러번 재활용함으로써, 대용량의 메모리에 의한 긴 샘플을 이용하여 전치왜곡 계수를 산출하는 경우와 유사한 성능의 전치왜곡 계수를 산출할 수 있다.

[0050]

이하, 도 2를 참조하여 본 발명의 일 실시예에 따른 샘플 반복을 이용한 디지털 전치왜곡 방법을 설명한다.

[0051]

샘플 반복을 이용한 디지털 전치왜곡 방법(200)은 샘플 신호($s(n)$)에 의해 전치왜곡 신호($x(n)$) 및 피드백 신호($y(n)$)를 수집하는 단계(S201), 반복 변수(i) 및 전치왜곡 계수(\mathbf{w})를 초기화하는 단계(S202), 전치왜곡 계수(\mathbf{w})를 산출하는 단계(S203), 설정된 반복횟수에 도달했는지를 판단하는 단계(S204, S205), 현재의 전치왜곡 계수(\mathbf{w})를 초기값으로 설정하는 단계(S206), 및 설정된 반복횟수까지 상기 단계들을 반복하는 단계를 포함한다.

[0052]

보다 상세히 설명하면, 도 2에 도시된 바와 같이, 먼저, N 개의 샘플 신호($s(n)$)에 의해 전치왜곡 신호($x(n)$), 및 전력증폭기(PA)(14)의 출력에 대응하는 피드백 신호($y(n)$)를 수집한다(단계 S201). 여기서, 디지털 전치왜곡 장치(100)는 $(2P+1)$ 차 다항식을 이용하여 구현하는 경우, 전치왜곡 보상부(110)의 입력인 샘플 신호($s(n)$)와 전치왜곡 보상부(110)의 출력신호인 전치왜곡 신호($x(n)$)은 아래의 식과 같이 나타낼 수 있다.

$$\begin{aligned}
 x(n) &= s(n) \sum_{p=0}^P w_p^* |s(n)|^{2p} \\
 &= [w_0^*, w_1^*, \dots, w_P^*] \begin{bmatrix} s(n) \\ s(n)|s(n)|^2 \\ \vdots \\ s(n)|s(n)|^{2P} \end{bmatrix} \\
 &= \mathbf{w}^H \mathbf{s}(n)
 \end{aligned}$$

[0053]

[0054] 여기서, 두 벡터는 다음과 같이 정의된다.

$$\mathbf{w} = [w_0, w_1, \dots, w_p]^T$$

[0055]
$$s(n) = [s(n), s(n)|s(n)|^2, \dots, s(n)|s(n)|^{2p}]^T$$

[0056] 이때, \mathbf{w} 는 전치왜곡 엔진(122)에서 산출되는 전치왜곡 계수의 벡터이다. 이러한 전치왜곡 계수(\mathbf{w})는 다음의 알고리즘에 의해 산출될 수 있다.

```

for i=1, ..., max_iter
    { for n=1, ..., N
        {
            u = [y(n), y(n)|y(n)|^2, ..., y(n)|y(n)|^{2p}]^T
            z(n) = w^H u
            k =  $\frac{\lambda^{-1} P u}{1 + \lambda^{-1} u^H P u}$ 
            e(n) = x(n) - z(n)
            w = w + k e^*(n)
            P =  $\lambda^{-1} P - \lambda^{-1} k u^H P$ 
        }
    }

```

[0057] }

[0058] 여기서, y(n)는 상기 피드백 신호, \mathbf{w} 는 (P+1)개의 전치왜곡 계수를 나타내는 벡터, λ 는 망각 인자, \mathbf{P} 는 (P+1) × (P+1)의 크기를 갖는 역 상관 행렬이다.

[0059] 이때, 상술한 적응형 알고리즘은 RLS 알고리즘으로서, 이를 통하여 전치왜곡 계수(\mathbf{w})를 산출하기 위해서는 전치왜곡 계수(\mathbf{w})의 초기값과 \mathbf{P} 의 초기값이 필요하다.

[0060] 다음으로, 반복 변수(i) 및 전치왜곡 계수(\mathbf{w})를 아래와 같이 초기화한다(단계 S202).

[0061]
$$\mathbf{w} = [0, 0, \dots, 0_p]^T, \quad \mathbf{P} = \mathbf{I}_{P+1}$$

[0062] 여기서, 최초에 상술한 RLS 알고리즘을 동작시킬 때, 즉 i=1 일 때에는 아무런 정보도 없으므로, 전치왜곡 계수(\mathbf{w})는 엘리먼트가 모두 영인 벡터로 초기화되고, 상기 \mathbf{P} 벡터는 (P+1) × (P+1)의 크기를 갖는 단위행렬로 초기화할 수 있다.

[0063] 이때, 상술한 적응형 알고리즘의 반복횟수를 나타내는 반복 변수(i)의 설정값(max_iter)이 결정된다. 여기서, 반복 변수(i)의 설정값은 사용자가 설정하는 값으로서 양의 정수값이며 상술한 적응형 알고리즘의 반복횟수를 나타낸다. 이러한 반복 변수(i)의 설정값(max_iter)은 클수록 더 높은 신뢰성을 갖는 전치왜곡 계수(\mathbf{w})를 산출할 수 있지만, 계산 복잡도가 증가하므로, 전치왜곡 신호(x(n)) 및 피드백 신호(y(n))의 길이와 상술한 적응형 알고리즘의 반복횟수에 따라 산출되는 전치왜곡 계수(\mathbf{w})가 전력증폭기(PA)(14)의 비선형 특성에 대한 역함수에 적절하게 수렴하는 정도로 설정하는 것이 바람직하다. 예를 들면, 반복 변수(i)의 설정값은 5~10일 수 있다.

[0064] 다음으로, N개의 전치왜곡 신호(x(n))와 N개의 피드백 신호(y(n))를 이용하여 상술한 적응형 알고리즘에 따라 전치왜곡 계수(\mathbf{w})를 산출한다(단계 S203).

[0065] 이때, 전치왜곡 계수(\mathbf{w})의 산출은 RLS 및 LMS 알고리즘 중 어느 하나에 의해 수행될 수 있다. 예를 들면, 전치왜곡 계수(\mathbf{w})가 RLS 알고리즘에 의해 수행되는 경우, 상술한 바와 같은 적응형 알고리즘에 의해 전치왜곡 계수(\mathbf{w})를 산출할 수 있다.

[0066] 여기서, n=1, ..., N 동안 상술한 적응형 알고리즘에 의해 전치왜곡 계수(\mathbf{w})와 \mathbf{P} 가 갱신되어 점진적으로 원하는 값에 근사하게 된다.

[0067] 이때, N이 충분히 크지 않은 경우 충분한 성능을 얻을 수 없게 되지만, 본 발명은, n=N에서, 즉, N개의 모든 전

치왜곡 신호(x(n))와 피드백 신호(y(n))에 대한 1회 반복연산의 종료시, 현재 산출된 전치왜곡 계수(w)와 P값을 저장하고, 이를 이용하여 다음 반복연산을 수행함으로써, 소용량의 메모리를 이용하면서도 충분한 성능을 얻을 수 있다.

- [0068] 이와 같은 전치왜곡 계수(w)의 산출은 위의 알고리즘에 한정되지 않고, 임의의 적응형 알고리즘에 의해 수행될 수 있으며, 예를 들면, 룩업 테이블 방식으로 수행될 수 있다.
- [0069] 다음으로, N개의 모든 전치왜곡 신호(x(n))와 피드백 신호(y(n))에 대한 전치왜곡 계수(w)의 산출이 완료되면, 반복 변수(i)를 증가시킨다(단계 S204).
- [0070] 다음으로, 반복 변수(i)가 설정값(max_iter)인지를 판단하여(단계 S205), 설정값(max_iter)이 아니라고, 판단한 경우, 즉, 상술한 RLS 알고리즘이 설정된 반복횟수만큼 수행되지 않은 경우, 현재의 산출된 전치왜곡 계수(w)를 초기값으로 설정한다(단계 S206).
- [0071] 이때, 단계 S203으로 진행하여, 이전의 적응형 알고리즘의 수행에 의해 산출된 전치왜곡 계수(w)를 초기값으로 이용하여 다시 N개의 전치왜곡 신호(x(n))와 피드백 신호(y(n))를 이용하여 적응형 알고리즘을 수행할 수 있다. 이는 상술한 적응형 알고리즘의 경우, 초기값이 원하는 값에 근사할수록 전치왜곡 계수(w)가 원하는 값으로 수렴하는데 소요되는 시간이 짧아진다는 사실을 이용하는 것이다.
- [0072] 다음으로, 반복 변수(i)가 설정값(max_iter)에 도달할 때까지 상술한 단계 S203 내지 단계 S206을 반복 수행할 수 있다.
- [0073] 이와 같이, 상술한 적응형 알고리즘을 i=1에서 i=max_iter까지 반복함으로써, 점진적으로 전치왜곡 계수(w) 및 P는 원하는 값으로 수렴될 수 있다.
- [0074] 단계 S205의 판단결과, 반복 변수(i)가 설정값(max_iter)이라고 판단한 경우, 즉, 상술한 알고리즘이 설정값(max_iter) 만큼 반복 수행된 경우, 최종적으로 산출된 전치왜곡 계수(w)를 전치왜곡 보상부(110)의 전치왜곡 계수(w)로서 설정한다(단계 S207). 이후, 이와 같이 산출된 전치왜곡 계수(w)에 의해 전치왜곡 보상부(110)는 송신 모델(11)으로부터 입력되는 신호의 전치왜곡을 수행할 수 있다.
- [0075] 본 실시예에서 설명한 바와 같이, 디지털 전치왜곡 장치(100)를 학습하기 위한 샘플 신호(s(n))의 길이 N이 작은 경우, 이를 이용하여 산출된 전치왜곡 계수(w)는 원하는 값에 근사하지 않게 되지만, 짧은 길이의 샘플 신호(s(n))에 의한 전치왜곡 신호(x(n)) 및 피드백 신호(y(n))를 이용하면서 이전에 반복 수행시 산출된 전치왜곡 계수(w)를 초기값으로 하여 상술한 적응형 알고리즘을 수회 반복 수행함으로써, 기존의 긴 길이의 샘플 신호(s(n))를 이용하는 경우와 동일한 성능의 전치왜곡 계수(w)를 산출할 수 있다.
- [0076] 이하, 도 3을 참조하여 본 발명의 실시예에 따른 샘플 반복을 이용한 디지털 전치왜곡 방법의 실험예를 설명한다. 여기서, 샘플 신호는 20MHz 대역폭을 갖는 LTE 신호를 이용하였다.
- [0077] 그래프에서, x축은 주파수[MHz]를 나타내며, y축은 전력 스펙트럼(PSD; power spectrum density)을 나타내며, (a)는 전력증폭기의 입력값이고, (b)는 전치왜곡을 사용하지 않은 경우의 전력증폭기의 출력이며, (c)는 N=5,000일 때, 반복하지 않는 구조를 갖는 종래의 디지털 전치왜곡 장치를 적용한 경우의 전력증폭기의 출력이며, (d)는 본 발명의 실시예에 따른 디지털 전치왜곡 장치를 이용하여 N=5,000이고, max_iter=10인 경우의 전력증폭기의 출력이며, (e)는 N=170,000일 때의 종래의 디지털 전치왜곡 장치를 적용한 경우의 전력증폭기 출력이다.
- [0078] 도 3의 그래프로부터 알 수 있는 바와 같이, 반복하지 않는 구조를 갖는 기존 방법의 경우, 샘플의 개수 N이 충분히 크지 않으면 전치왜곡 계수(w)가 원하는 값에 수렴하지 못하여 전력증폭기의 선형화를 구현하지 못하는 반면, 본 발명의 실시예에 따른 디지털 전치왜곡 장치는 동일한 N의 반복하지 않는 기존 방법보다 우수한 스펙트럼 성능을 보이며, 10배의 길이를 갖는 N=170,000이고 반복하지 않는 기존 알고리즘, 즉, 이상적인 전치왜곡을 사용한 경우와 거의 동등한 스펙트럼 성능을 나타낸다.
- [0079] 결과적으로, 본 발명의 실시예에 따른 디지털 전치왜곡 장치(100)는 더 작은 N값에서도 더 큰 N값을 사용하는 경우와 대등한 전치왜곡 성능을 얻을 수 있음을 확인할 수 있다. 여기서, N값은 메모리에 저장하는 샘플의 길이를 나타내므로 본 발명의 실시예에 따른 디지털 전치왜곡 장치(100)는 더 작은 메모리와 간단한 하드웨어를 이용하여 전치왜곡을 수행할 수 있다.
- [0080] 이상에서 본 발명의 일 실시예에 대하여 설명하였으나, 본 발명의 사상은 본 명세서에 제시되는 실시 예에 제한

되지 아니하며, 본 발명의 사상을 이해하는 당업자는 동일한 사상의 범위 내에서, 구성요소의 부가, 변경, 삭제, 추가 등에 의해서 다른 실시 예를 용이하게 제안할 수 있을 것이나, 이 또한 본 발명의 사상범위 내에 든다고 할 것이다.

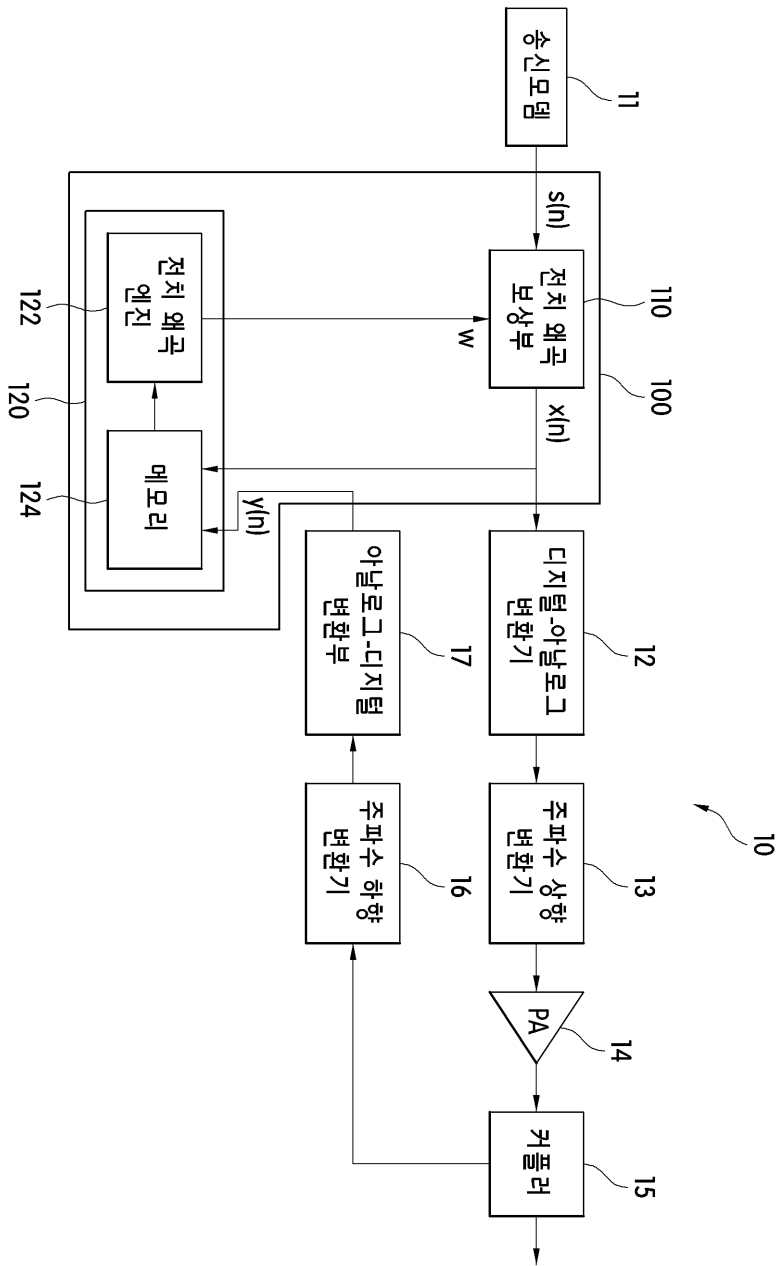
부호의 설명

[0081]

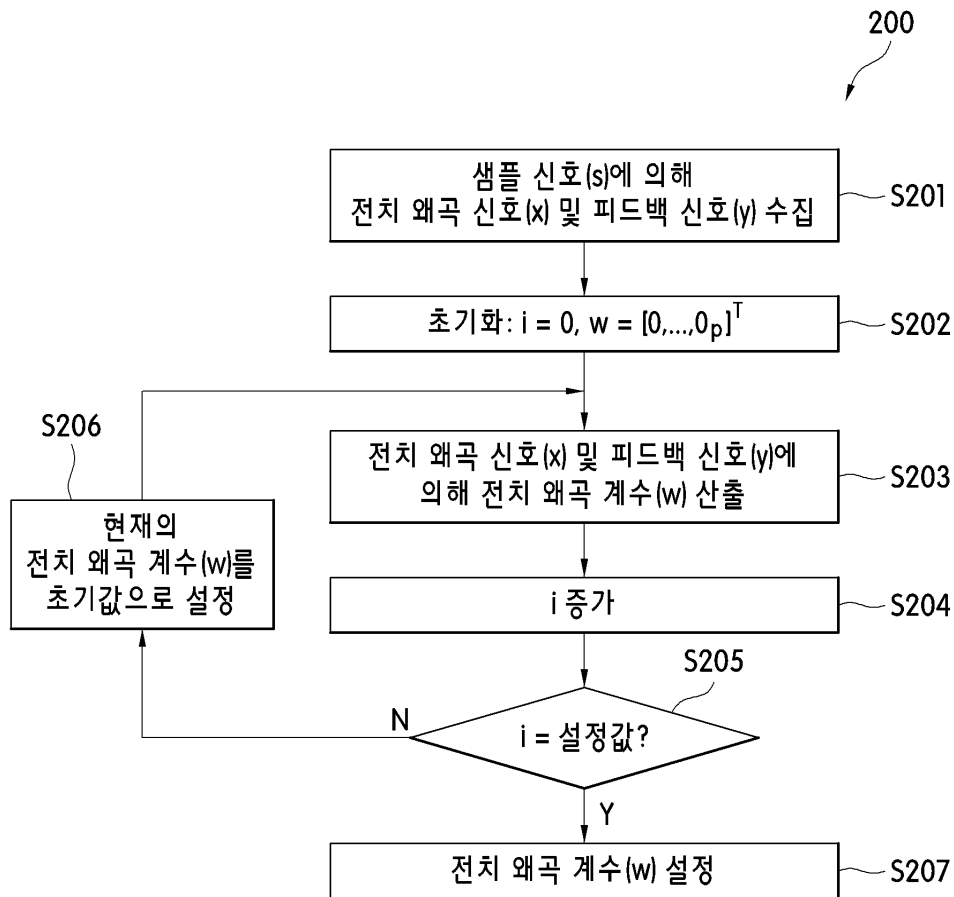
- | | |
|-------------------|-----------------|
| 10 : 통신 시스템 송신부 | 11 : 송신 모듈 |
| 12 : 디지털-아날로그 변환기 | 13 : 주파수 상향 변환기 |
| 14 : 전력증폭기(PA) | 15 : 커플러 |
| 16 : 아날로그-디지털 변환기 | 17 : 주파수 하향 변환기 |
| 100 : 디지털 전치왜곡 장치 | 110 : 전치왜곡 보상부 |
| 120 : 전치왜곡 학습부 | 122 : 전치왜곡 엔진 |
| 124 : 메모리 | |

도면

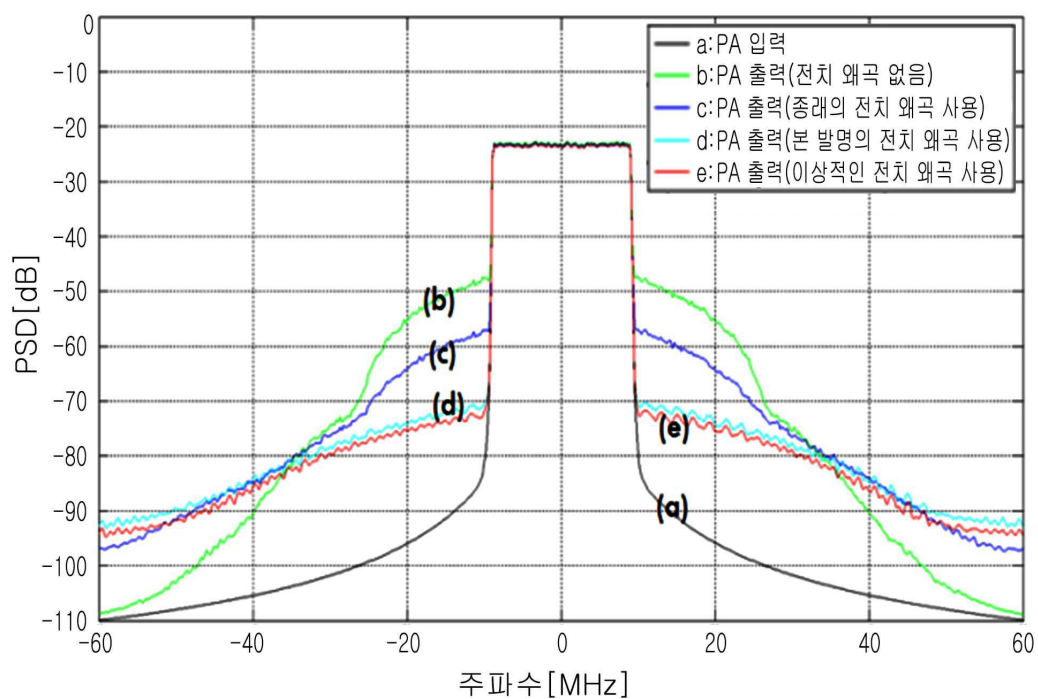
도면1



도면2



도면3



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 제5항 5번째 줄

【변경전】

상기 전치왜곡 보상부의 계수를

【변경후】

상기 전치왜곡 보상부의 전치왜곡 계수를