



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월15일
(11) 등록번호 10-2191297
(24) 등록일자 2020년12월09일

(51) 국제특허분류(Int. Cl.)
H03F 1/02 (2006.01) H03F 3/21 (2006.01)
(52) CPC특허분류
H03F 1/0283 (2013.01)
H03F 3/211 (2013.01)
(21) 출원번호 10-2019-0012970
(22) 출원일자 2019년01월31일
심사청구일자 2019년01월31일
(65) 공개번호 10-2020-0095186
(43) 공개일자 2020년08월10일
(56) 선행기술조사문헌
KR1019990079632 A*
KR1020170011940 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
김주성
[Redacted]
정현기
[Redacted]
(74) 대리인
이은철, 이우영

전체 청구항 수 : 총 6 항

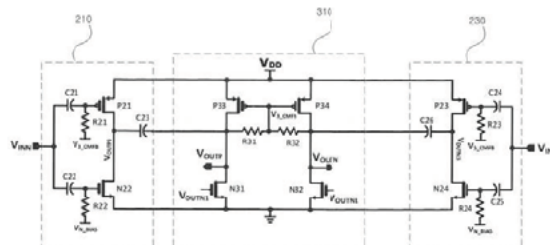
심사관 : 이준건

(54) 발명의 명칭 연산 증폭기

(57) 요약

본 발명은 연산 증폭기에 관한 것이다. 본 발명의 구체적인 예에 따르면 제2 증폭부의 입력단과 출력단 각각에 DC 블로킹용 커패시터를 각각 추가하고 각 증폭 소자를 상보적 입력 형태로 설계함에 따라, DC 동작에 대해 영점 제어를 통한 주파수 보상을 수행하여 주파수 영역에서의 이득 저하를 방지할 수 있고, AC 동작에 대해 각각의 증폭 소자에 별도의 제1 증폭신호 및 제2 증폭신호가 각각 인가되므로 원하는 트랜스 컨덕턴스를 얻기 위한 소모 전력을 줄일 수 있다.

대표도 - 도4



(52) CPC특허분류

H03F 2003/45053 (2013.01)

H03F 2200/271 (2013.01)

신세벽

(72) 발명자

한석균

주리 라디오 우토모

이상국

이 발명을 지원한 국가연구개발사업

과제고유번호

1415161154

부처명

산업통상자원부

과제관리(전문)기관명

국방과학연구소

연구사업명

민군겸용기술개발사업

연구과제명

광대역(20MHz~40GHz) 신호정보 수집용 수신기 집적회로 개발

기 여 율

1/1

과제수행기관명

한국전자통신연구원

연구기간

2016.06.21 ~ 2021.06.20

명세서

청구범위

청구항 1

전원의 입력단에 접속된 제1 차동 증폭기와 상기 제1 차동 증폭기의 출력단에 병렬 접속된 제1 저항 및 제1 캐패시터로 구비되며, 상기 전원을 차동 증폭하여 제1 증폭신호를 출력하고 출력된 제1 증폭신호를 제1 저항 및 제1 캐패시터를 통해 정형시키는 제1 증폭부;

상기 전원의 입력단에 접속되어 전원의 DC 성분이 통과되는 것을 차단하고 상기 DC 성분이 제거된 전원을 증폭한 다음 제2 저항 및 제2 캐패시터에 의거 정형시켜 제2 증폭신호를 출력하는 제2 증폭부; 및

제1 증폭부의 출력단에 접속되고 상기 제1 증폭신호를 차동 증폭시키는 제3 차동 증폭기와 상기 제3 차동 증폭기의 출력단과 제2 증폭부의 출력단 사이에 병렬로 접속되는 제3 저항 및 제3 캐패시터로 구비되고, 상기 제1 증폭부의 제1 증폭신호와 제2 증폭부의 제2 증폭신호를 각각 제공받아 차동 증폭하여 제3 증폭신호를 출력하고, 출력된 제3 증폭신호를 상기 제3 저항 및 제3 캐패시터에 의거 정형하여 부하측 입력단으로 전달하는 제3 증폭부를 포함하되,

상기 제1 차동 증폭기는,

포지티브 성분의 전원 및 네거티브 성분의 전원을 각각 전달받아 차동 증폭시키는 제1 내지 제4 증폭소자;

상기 제1 및 제2 증폭소자의 입력단에 접속되고, 외부 전원을 상기 제1 및 제2 증폭소자의 입력단으로 전달하는 바이어스소자;

상기 제3 및 제4 증폭소자의 각 출력단 사이에 접속되어 상기 제1 증폭신호를 분배하여 제1 제어신호를 출력하는 저항 및

상기 저항의 출력단 및 상기 제3 및 제4 증폭소자의 각 출력단에 각각 직렬로 각각 접속되는 다수의 트랜지스터로 구비되고, 상기 저항의 상기 제1 제어신호에 의해 각 다수의 트랜지스터가 동작됨에 따라 상기 제1 내지 제4 증폭소자에 대한 동작점의 밸런스를 유지하도록 구비되는 것을 특징으로 하는 연산 증폭장치.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 제2 증폭부는,

상기 네거티브 성분의 전원 입력단에 접속되는 네거티브 FF(Feed Forward)단과

포지티브 성분의 전원 입력단에 접속되는 포지티브 FF 단으로 구비되고,

상기 네거티브 성분의 전원 및 포지티브 성분의 전원을 각각을 반전 증폭시켜 각각의 포지티브 성분 및 네거티브 성분의 제2 증폭신호를 각각 출력하며, 상기 각각의 포지티브 성분 및 네거티브 성분의 제2 증폭신호에 포함된 DC 성분이 통과되는 것을 차단하고, 영점 제어를 통해 주파수 보상을 수행하도록 구비되는 것을 특징으로 하는 연산 증폭장치.

청구항 4

제3항에 있어서, 상기 네거티브 FF단은,

상기 네거티브 성분의 전원 입력단에 각각 병렬로 접속되어 상기 네거티브 성분의 전원의 DC 성분이 통과하는 것을 차단하는 제21 및 제22 캐패시터;

상기 제21 및 제22 캐패시터의 출력단에 각각 접속되어 상기 제1 증폭부의 제1 제어 신호와 상기 제3 증폭부의 제2 제어 신호를 통과시키는 제21 및 제22 저항;

상기 제21 및 제22 저항의 출력단에 각각 접속되어 상기 네거티브 성분의 전원을 반전 증폭시켜 상기 포지티브 성분의 제2 증폭신호를 출력하는 제21 및 제22 증폭소자; 및

상기 포지티브 성분의 제2 증폭신호에 포함된 DC 성분을 제거하는 제23 캐패시터를 포함하는 것을 특징으로 하는 연산 증폭장치.

청구항 5

제4항에 있어서, 상기 포지티브 FF 단은

상기 포지티브 성분의 전원 입력단에 각각 접속되어 상기 포지티브 성분의 전원의 DC 성분이 통과하는 것을 차단하는 제24 및 제25 캐패시터;

상기 제24 및 제25 캐패시터의 출력단에 각각 접속되어 상기 제1 증폭부의 제1 제어 신호와 제3 증폭부의 제2 제어 신호를 통과시키는 제23 및 제24 저항;

상기 제23 및 제24 저항의 출력단에 각각 접속되어 상기 포지티브 성분의 전원을 증폭시켜 상기 네거티브 성분의 제2 증폭신호를 출력하는 제23 및 제24 증폭소자; 및

상기 네거티브 성분의 제2 증폭신호에 포함된 DC 성분이 통과하는 것을 차단하는 제26 캐패시터를 포함되는 것을 특징으로 하는 연산 증폭장치.

청구항 6

제5항에 있어서, 기 제3 차동 증폭기는,

상기 제2 증폭부의 출력단과 외부 전원 입력단 사이에 접속되며 상기 제1 증폭부의 제1 증폭신호에 의거 동작되는 제31 내지 제34 증폭소자와,

상기 제2 증폭부의 제23 및 제26 캐패시터의 출력단 사이에 접속되어 상기 제2 증폭신호를 분배한 다음 상기 제33 및 제34 증폭소자에 제공함에 따라 상기 제31 내지 제34의 증폭소자에 대한 동작점의 밸런스를 유지시키는 제31 및 제32 저항으로 구비하는 것을 특징으로 하는 연산 증폭장치.

청구항 7

제6항에 있어서, 상기 제31 및 제33 증폭소자는

상기 포지티브 성분의 제1 증폭신호 및 제3 제어신호를 각각 전달받아 동작되어 공급된 제1 증폭신호를 차동 증폭시켜 포지티브 성분의 제3 증폭신호를 출력하도록 구비되고,

상기 제32 및 제34 증폭소자는 상기 네거티브 성분의 제1 증폭신호 및 제3 제어신호를 각각 전달받아 동작되어 공급된 제1 증폭신호를 차동 증폭시켜 네거티브 성분의 제3 증폭신호를 출력하도록 구비하는 것을 특징으로 하는 연산 증폭장치.

발명의 설명

기술 분야

[0001] 본 발명은 연산 증폭기에 관한 것으로서, 더욱 상세하게는 전원 입력단과 부하측 입력단 각각에 DC 블로킹용 캐패시터를 추가하고 각 증폭소자를 상보적 입력 형태로 설계함에 따라, 영점 제어를 통한 주파수 보상을 수행하며, 저주파 영역에서의 이득 저하를 방지할 수 있고, AC 동작에 대해 별도의 증폭신호로 증폭되므로 원하는 트랜스 컨덕턴스를 얻기 위한 소모 전력을 줄일 수 있는 기술에 관한 것이다.

배경 기술

[0003] 최근 IoT, VR 등 5세대 기술의 등장으로 높은 데이터 전송률의 중요성이 증가되고 있으며, 이러한 높은 데이터 전송률을 실현하기 위해 넓은 대역폭, 혹은 넓은 GBW(Gain-Bandwidth-Product)을 가진 연산 증폭기가 필요하다.

[0004] 밀러 보상(Miller Compensation) 기법을 이용한 연산 증폭기에 비해 피드포워드 기법을 사용한 주파수 보상 기

법은 주극점(dominant pole)의 위치에 영향을 주지 않기 때문에 높은 주파수까지 큰 전압이득을 유지할 수 있다.

[0005] 도 1은 피드포워드 보상 기법을 적용한 연산 증폭기의 구성을 보인 회로도이다. 도 1을 참조하면, 연산 증폭기의 노드 X, Y에서 각각 두 개의 극점 W_{p1} , W_{p2} 가 각각 생성되고 피드포워드 단을 통해 영점 W_z 가 생성되며, 각각의 극점 W_{p1} , W_{p2} 및 영점 W_z 는 다음 식 1 내지 3으로 표현된다.

[0006] [식 1]

$$W_{p1} = \frac{1}{R_1 C_1}$$

[0008] [식 2]

$$W_{p2} = \frac{1}{(R_2 \parallel R_3)(C_2 + C_3)}$$

[0010] [식 3]

$$W_z = W_{p1} \left(1 + \frac{g_{m1} R_1 g_{m2}}{g_{m3}} \right)$$

[0012] 이에 연산 증폭기의 DC 전압 이득 A_v 은 다음 식 4를 만족한다.

[0013] [식 4]

$$A_v \approx g_{m1} R_1 g_{m2} (R_2 \parallel R_3) + g_{m3} (R_2 \parallel R_3)$$

[0015] 여기서 $g_{m1} R_1 g_{m2} \gg g_{m3}$ 이므로, 식 4는 다음 식 5와 같이 정리된다.

[0016] [식 5]

$$A_v \approx g_{m1} R_1 g_{m2} (R_2 \parallel R_3)$$

[0018] 그러나, 이러한 피드포워드 제어로 주파수 보상 기법이 적용된 연산 증폭기의 경우 넓은 대역폭을 가지나 전력 소모가 증가하고, 출력단의 출력 저항이 낮아져 작은 전압이득을 가지는 문제점이 존재하였다.

[0019] 이에 본 출원인은 제2 증폭부의 입력단과 출력단 각각에 블로킹 캐패시터를 각각 추가하고 제2 증폭부의 각 증폭소자를 상보적 입력 형태로 설계함에 따라, DC 동작에 대해 영점 제어를 통한 주파수 보상을 수행하여 저 주파수 영역에서의 이득 저하를 방지할 수 있고, AC 동작에 대해 각각의 증폭 소자에 별도의 증폭신호가 인가되므로 원하는 트랜스 컨덕턴스를 얻기 위한 소모 전력을 줄일 수 있는 방안을 제안하고자 한다.

발명의 내용

해결하려는 과제

[0021] 본 발명은 영점 제어를 통한 주파수 보상을 수행하여 저주파 영역에서의 이득 저하를 방지할 수 있고, AC 동작에 대해 각각의 증폭소자에 별도의 증폭신호를 인가하여 원하는 트랜스컨덕턴스를 얻기 위한 소모 전력을 줄일 수 있는 연산 증폭기를 제공하고자 함에 그 목적이 있다.

[0022] 본 발명의 목적은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있으며, 본 발명의 실시예에 의해 보다 분명하게 알게 될 것이다. 또한, 본 발명의 목적 및 장점들은 특허청구 범위에 나타낸 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제의 해결 수단

[0024] 이에 본 발명의 실시 예에 따른 연산 증폭기는

[0025] 전원의 입력단에 접속된 제1 차동 증폭기와 상기 제1 차동 증폭기의 출력단에 병렬 접속된 제1 저항 및 제1 캐패시터로 구비되며, 상기 전원을 차동 증폭하여 제1 증폭신호를 출력하고 출력된 제1 증폭신호를 제1 저항 및 제1 캐패시터를 통해 정형시키는 제1 증폭부; 상기 전원의 입력단에 접속되어 전원의 DC 성분이 통과되는 것을

차단하고 상기 DC 성분이 제거된 전원을 증폭한 다음 제2 저항 및 제2 캐패시터에 의거 정형시켜 제2 증폭신호를 출력하는 제2 증폭부; 및 제1 증폭부의 출력단에 접속되고 상기 제1 증폭신호와 제2 증폭신호를 제공받아 차동 증폭시키는 제3 차동 증폭기와 상기 제3 차동 증폭기의 출력단과 제2 증폭부의 출력단 사이에 병렬로 접속되는 제3 저항 및 제3 캐패시터로 구비되고, 상기 제1 증폭부의 제1 증폭신호와 제2 증폭부의 제2 증폭신호를 각각 제공받아 차동 증폭하여 제3 증폭신호를 출력하고, 출력된 제3 증폭신호를 상기 제3 저항 및 제3 캐패시터에 의거 정형하여 부하측 입력단으로 전달하는 제3 증폭부를 포함하는 것을 일 특징으로 한다.

[0026] 바람직하게 상기 제1 차동 증폭기는, 상기 포지티브 성분의 전원 및 네거티브 성분의 전원을 각각 전달받아 차동 증폭시키는 제1 내지 제4 증폭소자; 상기 제1 및 제2 증폭소자의 입력단에 접속되고, 외부 전원을 상기 제1 및 제2 증폭소자의 입력단으로 전달하는 바이어스소자; 상기 제3 및 제4 증폭소자의 각 출력단 사이에 접속되어 상기 제1 증폭신호를 분배하여 제1 제어신호를 출력하는 저항 및 상기 저항의 출력단 및 상기 제3 및 제4 증폭소자의 각 출력단에 각각 직렬로 각각 접속되는 다수의 트랜지스터로 구비되고, 상기 저항의 상기 제1 제어신호에 의해 각 다수의 트랜지스터가 동작됨에 따라 상기 제1 내지 4 증폭소자에 대한 동작점의 밸런스를 유지하도록 구비될 수 있다.

[0027] 바람직하게 상기 제2 증폭부는, 상기 네거티브 성분의 전원 입력단에 접속되는 네거티브 FF(Feed Forward)단과 포지티브 성분의 전원 입력단에 접속되는 포지티브 FF 단으로 구비되고, 네거티브 성분의 전원 및 포지티브 성분의 전원을 각각을 반전 증폭시켜 각각의 포지티브 성분 및 네거티브 성분의 제2 증폭신호를 각각 출력하며, 상기 각 포지티브 성분 및 네거티브 성분의 제2 증폭신호에 포함된 DC 성분이 통과되는 것을 차단하고, 영점 제어를 통해 주파수 보상을 수행하도록 구비될 수 있고, 상기 네거티브 FF단은, 상기 네거티브 성분의 전원 입력단에 각각 병렬로 접속되어 상기 네거티브 성분의 전원의 DC 성분이 통과하는 것을 차단하는 제21 및 제22 캐패시터; 상기 제21 및 제22 캐패시터의 출력단에 각각 접속되어 상기 제1 증폭부의 제1 제어 신호와 상기 제3 증폭부의 제2 제어 신호를 통과시키는 제21 및 제22 저항; 상기 제21 및 제22 저항의 출력단에 각각 접속되어 상기 네거티브 성분의 전원을 반전 증폭시켜 상기 포지티브 성분의 제2 증폭신호를 출력하는 제21 및 제22 증폭소자; 및 상기 포지티브 성분의 제2 증폭신호에 포함된 DC 성분을 제거하는 제23 캐패시터를 포함할 수 있다.

[0028] 바람직하게 상기 포지티브 FF 단은 상기 포지티브 성분의 전원 입력단에 각각 접속되어 상기 포지티브 성분의 전원의 DC 성분이 통과하는 것을 차단하는 제24 및 제25 캐패시터; 상기 제24 및 제25 캐패시터의 출력단에 각각 접속되어 상기 제1 증폭부의 제1 제어 신호와 제3 증폭부의 제2 제어 신호를 통과시키는 제23 및 제24 저항; 상기 제23 및 제24 저항의 출력단에 각각 접속되어 상기 포지티브 성분의 전원을 증폭시켜 상기 네거티브 성분의 제2 증폭신호를 출력하는 제23 및 제24 증폭소자; 및 상기 네거티브 성분의 제2 증폭신호에 포함된 DC 성분이 통과하는 것을 차단하는 제26 캐패시터를 포함할 수 있다.

[0029] 바람직하게 상기 제3 차동 증폭기는, 상기 제2 증폭부의 출력단과 외부 전원 입력단 사이에 접속되며 상기 제1 증폭부의 제1 증폭신호에 의거 동작되는 제31 내지 제34 증폭소자와, 상기 제2 증폭부의 제23 및 제26 캐패시터의 출력단 사이에 접속되어 상기 제2 증폭신호를 분배한 다음 상기 제33 및 제34 증폭소자에 제공함에 따라 상기 제31 내지 제34의 증폭소자에 대한 동작점의 밸런스를 유지시키는 제31 및 제32 저항으로 구비될 수 있으며, 이에 상기 제31 및 제33 증폭소자는 상기 포지티브 성분의 제1 증폭신호 및 제3 제어신호를 각각 전달받아 동작되어 공급된 제1 증폭신호를 차동 증폭시켜 포지티브 성분의 제3 증폭신호를 출력하도록 구비되고, 상기 제32 및 제34 증폭소자는 상기 네거티브 성분의 제1 증폭신호 및 제3 제어신호를 각각 전달받아 동작되어 공급된 제1 증폭신호를 차동 증폭시켜 네거티브 성분의 제3 증폭신호를 출력하도록 구비될 수 있다.

발명의 효과

[0031] 전술한 바와 같은 구성의 본 발명에 의하면 제2 증폭부의 입력단과 출력단 각각에 DC 블로킹용 캐패시터를 각각 추가하고 각 증폭 소자를 상보적 입력 형태로 설계함에 따라, DC 동작에 대해 영점 제어를 통한 주파수 보상을 수행하여 주파수 영역에서의 이득 저하를 방지할 수 있고, AC 동작에 대해 각각의 증폭 소자에 별도의 제1 증폭신호 및 제2 증폭신호가 각각 인가되므로 원하는 트랜스 컨덕턴스를 얻기 위한 소모 전력을 줄일 수 있는 효과를 얻는다.

도면의 간단한 설명

[0033] 본 명세서에서 첨부되는 다음의 도면들은 본 발명의 바람직한 실시예를 예시하는 것이며, 후술하는 발명의 상세한 설명과 함께 본 발명의 기술사상을 더욱 이해시키는 역할을 하는 것이므로, 본 발명은 그러한 도면에 기재된

사항에만 한정되어 해석되어서는 아니된다.

도 1은 종래의 연산 증폭기의 블록도이다.

도 2는 본 실시 예에 따른 연산 증폭기의 블록도이다.

도 3은 본 실시 예에 따른 장치의 제1 증폭부의 세부 회로도이다.

도 4는 본 실시 예에 따른 장치의 제2 및 제3 증폭부의 세부 회로도이다.

도 5는 본 실시 예에 따른 연산 증폭기의 이득을 나타낸 그래프들이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0035] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0036] 본 실시 예는 제2 증폭부의 입력단과 출력단 각각에 DC 블로킹 캐패시터를 추가하고 각 증폭소자를 상보적 입력 형태로 설계함에 따라, DC 동작에 대해 영점 제어를 통한 주파수 보상을 수행하여 저주파수 영역에서의 이득 저하를 방지할 수 있고, AC 동작에 대해 각각의 증폭소자에 별도의 증폭 신호가 각각 인가되므로 원하는 트랜스 컨덕턴스를 얻기 위한 소모 전력을 줄일 수 있다.
- [0037] 도 2는 본 발명의 실시 예에 따른 연산 증폭기의 전체 구성도이고, 도 3은 도 2에 도시된 연산 증폭기의 제1 증폭부의 세부 회로도이며, 도 4는 도 2에 도시된 연산 증폭기의 제2 및 제3 증폭부의 세부 회로도이다. 도 2 내지 도 4를 참조하면, 본 발명의 실시 예에 따른 연산 증폭기(S)는 제1 증폭부(100), 제2 증폭부(200), 및 제3 증폭부(300)를 포함할 수 있다.
- [0038] 본 실시 예에서 연산 증폭기(S)는 전원(V_{in})를 차동 증폭하여 부하측에 공급하도록 구비되고, 전원(V_{in})의 DC 성분이 통과하는 것을 차단하고 영점 제어를 통해 저주파 영역의 주파수 보상을 통해 수백 MHz의 주파수 대역에서 큰 전압 이득을 얻을 수 있는 구성을 갖춘다.
- [0039] 여기서, 제1 증폭부(100)는 네거티브 성분의 전원(V_{INN}) 및 포지티브 성분의 전원(V_{INP})의 입력단에 접속된 차동 증폭기(110)와 상기 차동 증폭기(110)의 출력단에 병렬 접속된 저항(R_1) 및 캐패시터(C_1)로 구비될 수 있다. 이에 제1 증폭부(100)는 네거티브 성분의 전원(V_{INN}) 및 포지티브 성분의 전원(V_{INP})을 차동 증폭하여 제1 증폭신호(V_{OUTP1})(V_{OUTN1})를 각각 출력하고 출력된 제1 증폭신호(V_{OUTP1})(V_{OUTN1})를 저항(R_1) 및 캐패시터(C_1)를 통해 정형시킨다.
- [0040] 여기서, 차동 증폭기(110)는 증폭소자(111)(112), 바이어스소자(113), 제3 및 제4 증폭소자(114)(115)를 포함할 수 있다.
- [0041] 즉, 제1 및 제3 증폭소자(111)(114) 및 증폭소자(112)(115)는 바이어스소자(113)에 의해 전달받은 외부 전원(V_{DD})에 의거 각각 동작되어 외부로부터 제공받은 포지티브 성분의 전원(V_{INP}) 및 네거티브 성분의 전원(V_{INN})을 차동 증폭시켜 각각 네거티브 성분의 제1 증폭신호(V_{OUTN1}) 및 포지티브 성분의 제1 증폭신호(V_{OUTP1})를 출력한다.
- [0042] 그리고, 차동 증폭기(110)는 상기 증폭소자(114)(115)의 각 출력단 사이에 접속된 저항(R_c)과 저항(R_c)의 출력단과 상기 증폭소자(114)(115)의 출력단에 각각 직렬로 접속된 다수의 트랜지스터($TR_1 \sim TR_4$)로 추가로 구비될 수 있다.
- [0043] 이에 차동 증폭기(110)는 상기 증폭소자(114)(115)의 제1 증폭신호(V_{OUTN1})(V_{OUTP1})를 상기 저항(R_c)에 의거 분배하여 제1 제어신호를 생성한 다음 생성된 제1 제어신호에 의거 상기 다수의 트랜지스터($TR_1 \sim TR_4$)가 각각 동작함에 따라 상기 증폭소자(111)(112)(114)(115)에 대한 동작점의 밸런스를 유지시킨다.

- [0044] 그리고, 제1 증폭부(100)의 제1 증폭신호(V_{OUTN1})(V_{OUTP1})는 제3 증폭부(300)로 전달된다.
- [0045] 한편, 제2 증폭부(200)는, 상기 네거티브 성분의 전원 입력단에 접속되는 네거티브 FF(Feed Forward)단(210)과 포지티브 성분의 전원 입력단에 접속되는 포지티브 FF 단(230)로 구비되고, 네거티브 성분의 전원(V_{INN}) 및 포지티브 성분의 전원(V_{INP}) 각각을 반전 증폭시켜 각각의 포지티브 성분 및 네거티브 성분의 제2 증폭신호(V_{OUTP3})(V_{OUTN3})를 각각 출력하고, 상기 각 제2 증폭신호(V_{OUTP3})(V_{OUTN3})의 DC 성분이 통과되는 것을 차단하고, 영점 제어를 통해 주파수 보상을 수행한다.
- [0046] 이에 네거티브 FF단(210)은 상기 네거티브 성분의 전원(V_{INN}) 입력단에 각각 접속되어 상기 네거티브 성분의 전원(V_{INN})의 DC 성분이 통과하는 것을 차단하는 캐패시터($C21$)($C22$)를 포함한다.
- [0047] 그리고 네거티브 FF단(210)은 상기 캐패시터($C21$)($C22$)의 출력단에 각각 접속되어 제1 증폭부(100)의 제1 제어신호(V_{N_BIAS}) 및 제3 증폭부(300)의 제3 제어신호(V_{3_CMFB}) 각각을 전달하는 저항($R21$)($R22$)와, 상기 저항($R21$)($R22$)의 출력단에 각각 접속되어 상기 네거티브 성분의 전원(V_{INN})을 반전 증폭시켜 상기 포지티브 성분의 제2 증폭신호(V_{OUTP3})를 출력하는 증폭소자($P21$)($N22$)를 포함한다.
- [0048] 여기서, 증폭소자($P21$)($N22$)는 상호 상보적으로 동작한다.
- [0049] 즉, 증폭소자($P21$)가 세추레이션(Saturation) 상태로 동작되면 증폭소자($N22$)는 컷오프(Cutoff)상태로 동작되고, 역으로 증폭소자($N22$)가 세추레이션 상태로 동작되면 증폭소자($P21$)는 컷오프 상태로 동작된다.
- [0050] 이에 네거티브 성분의 전원(V_{INN})의 DC 성분은 캐패시터($C21$)($C22$)에 의해 차단되고, 캐패시터($C21$)($C22$)를 통과한 네거티브 성분의 전원(V_{INN})은 제1 증폭부(100)의 출력 전압(V_{N_BIAS}) 및 제3 증폭부(300)의 출력 전압(V_{3_CMFB})에 의해 동작하는 증폭소자($P21$)($N22$)로 증폭되어 포지티브 성분의 제2 증폭신호(V_{OUTP3})가 출력된다.
- [0051] 그리고, 포지티브 성분의 제2 증폭신호(V_{OUTP3})는 캐패시터($C23$)를 통해 제3 증폭부(300)로 전달된다.
- [0052] 한편 포지티브 FF 단(230)은 포지티브 성분의 전원(V_{INP}) 입력단에 각각 접속되어 상기 포지티브 성분의 전원의 DC 성분이 통과하는 것을 차단하는 캐패시터($C24$)($C25$)를 포함하고, 상기 캐패시터($C24$)($C25$)의 출력단에 각각 접속되어 제1 증폭부의 제1 제어신호(V_{N_BIAS}) 및 제3 증폭부(300)의 제3 제어신호(V_{3_CMFB}) 각각을 전달하는 저항($R23$)($R24$)을 포함한다.
- [0053] 그리고 포지티브 FF단(230)은 저항($R23$)($R24$)의 출력단에 각각 접속되어 상기 포지티브 성분의 전원(V_{INP})을 반전 증폭시켜 네거티브 성분의 제2 증폭신호(V_{OUTN3})를 출력하는 증폭소자($P23$)($N24$)를 포함한다.
- [0054] 여기서, 증폭소자($P23$)($N24$)는 상호 상보적으로 동작하도록 설계된다.
- [0055] 이에 포지티브 성분의 전원(V_{INP})의 DC 성분은 캐패시터($C24$)($C25$)에 의해 차단되고, 캐패시터($C24$)($C25$)를 통과한 포지티브 성분의 전원(V_{INP})은 제1 증폭부(100)의 출력 전압(V_{N_BIAS}) 및 제3 증폭부(300)의 제3 제어신호(V_{3_CMFB})에 의해 동작하는 증폭소자($P23$)($N24$)에 의거 증폭되어 네거티브 성분의 제2 증폭신호(V_{OUTN3})가 출력된다.
- [0056] 이러한 네거티브 성분의 제2 증폭신호(V_{OUTN3})의 DC 성분은 캐패시터($C26$)에 의거 차단되며, DC 성분이 제거된 네거티브 성분의 제2 증폭신호(V_{OUTN3})는 제3 증폭부(300)로 전달된다.
- [0057] 여기서 증폭소자($P21$)($P23$)는 P형 MOS 트랜지스터로 구비되고, 증폭소자($N22$)($N24$)은 N형 MOS 트랜지스터로 구비되는 것을 일례로 설명하고 있으나 이에 한정하지 아니한다. 다만 증폭소자의 상보적인 동작을 위해 상호 극성이 반대로 구비된다.
- [0058] 이에 본 실시 예에서 캐패시터($C21$, $C22$, $C24$, $C25$)는 도 2에 도시된 DC 블록킹용 캐패시터(CFF1)이고, 캐패시터($C23$)($C26$)는 DC 블록킹용 캐패시터(CFF2)이다. 이러한 제2 증폭부(200)의 제1 내지 제6 캐패시터($C21$ ~ $C26$)에 의해 저주파 영역에서 증폭 이득의 열화를 방지할 수 있다.

- [0059] 또한, DC 동작에 대해 네거티브 FF단(210)과 포지티브 FF단(230) 각각의 증폭소자(P21)(N22)(P23)(N24)의 제2 증폭신호(V_{OUTP3})(V_{OUTN3})가 합산되어 영점이 생성되고, 이러한 영점 제어를 통해 수백 MHz의 주파수 대역에 대한 주파수 보상을 수행한다.
- [0060] 또한, DC 동작에 대해 도 2에 도시된 연산 증폭기(S)의 전압 이득은 하기 식 7을 만족한다.
- [0061] [식 7]
- [0062]
$$A_v = g_{m1}R_1g_{m2}R_2$$
- [0063] 전술한 식 7과 식 5를 비교하면 기존의 연산 증폭기에서 저항 R_2 와 저항 R_3 의 병렬로 이루어진 전압 이득 보다 본 실시 예의 연산 증폭기의 전압 이득이 크며 이에 본 실시 예는 기존의 전압 이득 보다 더 큰 DC 성분의 전압 이득을 얻을 수 있다.
- [0064] 또한, DC 동작에 대해 높은 주파수에서의 제2 증폭부(200)의 제1 내지 제6 캐패시터(C21~C26)는 매우 작은 임피던스를 가지므로 쇼트로 근사할 수 있고 이에 제2 증폭부(200)는 영점 제어를 통해 주파수 보상이 가능하다.
- [0065] 한편 제3 증폭부(300)는 제1 증폭부(100)의 출력단에 접속되고 상기 제1 증폭신호를 제공받아 차동 증폭시키는 제3 차동 증폭기(310)와 상기 제3 차동 증폭기의 출력단과 사이에 병렬로 접속되는 저항(R_3) 및 캐패시터(C3)로 구비된다.
- [0066] 그리고 제3 증폭부(300)는 제1 증폭부(100)의 제1 증폭신호(V_{OUTP1})(V_{OUTN1})를 제공받아 동작하여 제3 증폭신호(V_{OUTP})(V_{OUTN})를 정형한 다음 정형된 제3 증폭신호(V_{OUTP})(V_{OUTN})를 부하측 입력단으로 전달한다.
- [0067] 상기 제3 차동 증폭기(310)는 제2 증폭부(200)의 출력단과 외부 전원 입력단 사이에 접속되며 상기 제1 증폭부(100)의 제1 증폭신호(V_{OUTP1})(V_{OUTN1})에 의거 동작되는 증폭소자(N31)(N32)(P33)(P34)와, 제2 증폭부(200)의 캐패시터(C23)(C26)의 각 출력단 사이에 접속되어 상기 제2 증폭신호(V_{OUTP3})(V_{OUTN3})를 분배하여 제3 제어신호(V_{3_CMFB})를 생성하고 생성된 제3 제어신호(V_{3_CMFB})를 상기 증폭소자(P33)(P34)에 제공함에 따라 상기 증폭소자(N31)(N32)(P33)(P34)에 대한 동작점의 밸런스를 유지시키는 저항(R_{31})(R_{32})로 구비될 수 있다. 여기서, 증폭소자(N31)(N32)는 N형 MOS 트랜지스터로 구비되고, 증폭소자(P31)(P32)는 P형 MOS 트랜지스터로 구비된다.
- [0068] 이에 증폭소자(N31)(N32)는 상기 포지티브 성분의 제1 증폭신호(V_{OUTP1})를 전달받아 공급된 제1 증폭신호(V_{OUTP1})(V_{OUTN1})에 대해 차동 증폭시켜 포지티브 성분의 제3 증폭신호(V_{OUTP})를 출력하고, 네거티브 성분의 제1 증폭신호(V_{OUTN1})를 전달받아 공급된 제1 증폭신호(V_{OUTP1})(V_{OUTN1})에 대해 차동 증폭시켜 네거티브 성분의 제3 증폭신호(V_{OUTN})를 출력한다.
- [0069] 그리고, 제3 제어신호(V_{3_CMFB})는 캐패시터(C23)(C26)의 각 출력단 사이에 접속되어 상기 제2 증폭신호(V_{OUTP3})(V_{OUTN3})를 분배하여 생성되고 이러한 제3 제어신호(V_{3_CMFB})는 증폭소자(P33)(P34)에 전달됨에 따라 증폭소자(N31)(N32)(P33)(P34)에 대한 동작점의 밸런스가 유지된다.
- [0070] 이에 제2 증폭부(200)의 네거티브 FF단(210)과 포지티브 FF단(230) 각 출력 신호(V_{OUTP3})(V_{OUTN3})는 제3 증폭부(300)의 증폭소자(P33)(P34)에 인가되고, 제1 증폭부(100)의 제1 증폭신호(V_{OUTP1})(V_{OUTN1})는 증폭소자(N31)(N32)에 각각 인가되고, 증폭소자(N31)(N32)(P33)(P34)의 트랜스 컨덕턴스가 동일하다고 가정하면, 같은 전류가 흐를 때 기존의 제3 증폭부(300) 보다 두 배의 큰 트랜스 컨덕턴스를 얻을 수 있다.
- [0071] 따라서, 연산 증폭기(S)의 트랜스컨덕턴스(g_m)은 다음 식 8을 만족한다.
- [0072] [식 8]
- [0073]
$$g_m = \frac{2I_D}{V_{GS}-V_{TH}}$$
- [0074] 여기서 I_D 는 바이어스 전류이고, $V_{GS}-V_{TH}$ 는 각 증폭소자의 구동 전압(Overdrive voltage)이다.
- [0075] 이에 제3 증폭부(300)는 증폭소자(N31)(N32)(P33)(P34)의 구동 전압 $V_{GS}-V_{TH}$ 와 바이어스 전류 I_D 의 제어를 통해

원하는 트랜스컨덕턴스를 얻을 수 있다. 이때 원하는 트랜스컨덕턴스를 얻기 위해 네거티브 FF단(210)과 포지티브 FF단(230) 각 출력 신호(V_{OUTP3})(V_{OUTN3})는 제3 증폭부(300)의 증폭소자(P33)(P34)에 인가되고, 제1 증폭부(100)의 제1 증폭신호(V_{OUTP1})(V_{OUTN1})는 증폭소자(N31)(N32)에 인가되므로, 제3 증폭부(300)의 전력 소모는 1/2 이하로 줄일 수 있다.

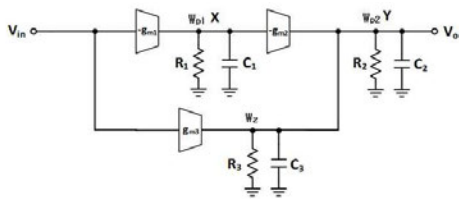
[0076] 도 5 는 본 실시 예에 따른 연산 증폭기와 기존 방식의 연산 증폭기의 루프 이득을 비교한 그래프로서, 도 5에 도시된 (a)(b)에 도시된 바와 같이, 본 실시 예에 따른 연산 증폭기의 소모 전력은 기존의 연산 증폭기의 소모 전력보다 더 작음을 알 수 있고, 본 실시 예의 연산 증폭기의 이득 및 대역폭은 기존의 연산 증폭기의 이득 및 대역폭 보다 큰 이득과 넓은 대역폭을 가짐을 확인할 수 있다.

[0077] 이에 본 실시 예에 의거, 전원 입력단과 출력단 각각에 DC 블로킹용 커패시터를 추가하고 제2 증폭부의 증폭 소자를 상보적 입력 형태로 설계함에 따라, DC 동작에 대해 영점 제어를 통한 주파수 보상을 수행하여 주파수 영역에서의 이득 저하를 방지할 수 있고, AC 동작에 대해 각각의 증폭 소자에 별도의 증폭신호가 각각 인가되므로 원하는 트랜스 컨덕턴스를 얻기 위한 소모 전력을 줄일 수 있다.

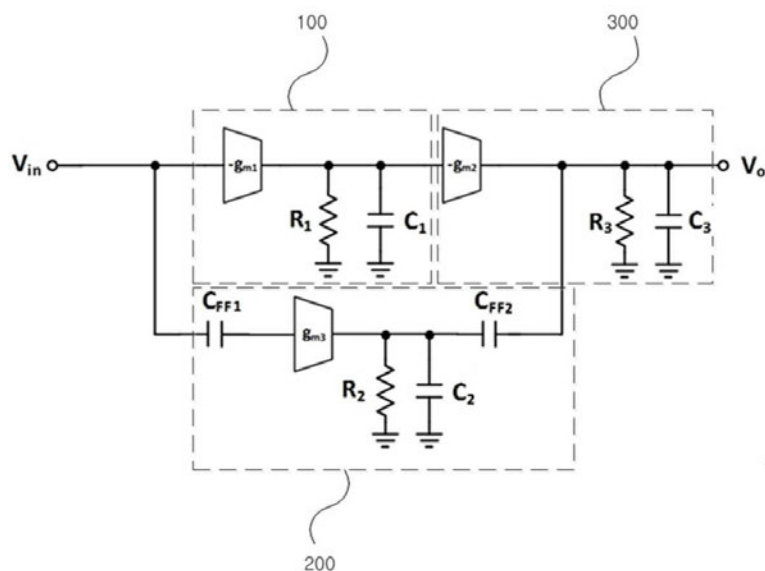
[0078] 이상에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

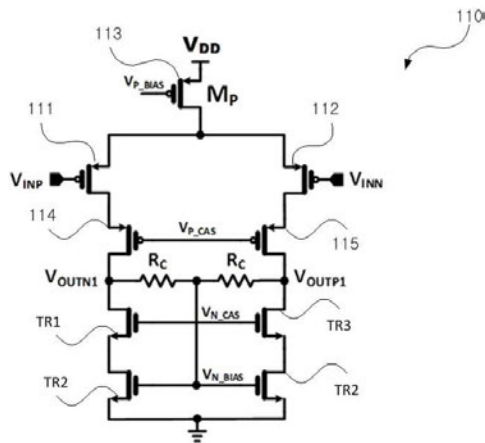
도면1



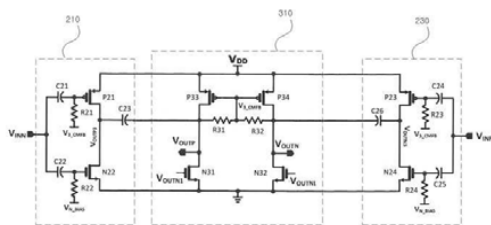
도면2



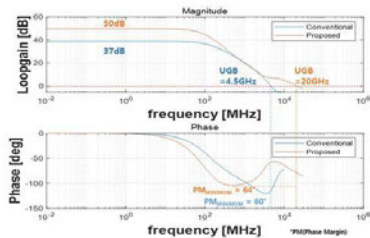
도면3



도면4



도면5



【심사관 직권보정사항】

【저작권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 3

【변경전】

제1항에 있어서, 상기 상기 제2 증폭부는,

상기 네거티브 성분의 전원 입력단에 접속되는 네거티브 FF(Feed Forward)단과

포지티브 성분의 전원 입력단에 접속되는 포지티브 FF 단으로 구비되고,

상기 네거티브 성분의 전원 및 포지티브 성분의 전원을 각각을 반전 증폭시켜 각각의 포지티브 성분 및 네거티브 성분의 제2 증폭신호를 각각 출력하며, 상기 각 포지티브 성분 및 네거티브 성분의 제2 증폭신호에 포함된 DC 성분이 통과되는 것을 차단하고, 영점 제어를 통해 주파수 보상을 수행하도록 구비되는 것을 특징으로 하는 연산 증폭장치.

【변경후】

제1항에 있어서, 상기 제2 증폭부는,

상기 네거티브 성분의 전원 입력단에 접속되는 네거티브 FF(Feed Forward)단과

포지티브 성분의 전원 입력단에 접속되는 포지티브 FF 단으로 구비되고,

상기 네거티브 성분의 전원 및 포지티브 성분의 전원을 각각을 반전 증폭시켜 각각의 포지티브 성분 및 네거티브 성분의 제2 증폭신호를 각각 출력하며, 상기 각각의 포지티브 성분 및 네거티브 성분의 제2 증폭신호에 포함된 DC 성분이 통과되는 것을 차단하고, 영점 제어를 통해 주파수 보상을 수행하도록 구비되는 것을 특징으로 하는 연산 증폭장치.