(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년11월18일
(11) 등록번호 10-1463034
(24) 등록일자 2014년11월12일

(51) 국제특허분류(Int. Cl.)
H03M 3/02 (2006.01) *H03M 7/32* (2006.01)
(21) 출원번호 10-2012-0151750
(22) 출원일자 2012년12월24일
심사청구일자 2012년12월24일
(65) 공개번호 10-2014-0082182
(43) 공개일자 2014년07월02일
(56) 선행기술조사문헌
US06442195 B1*
US07176820 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한발대학교 산학협력단
XXXXXXXXXXXXXXXXXXXXXXXXX
(72) 발명자
박미정
XXXXXXXXXXXXXXXXXXXXXXXXXXXX
명노철
XXXXXXXXXXXXXXXXXXXXXXXXXX
이창석
XXXXXXXXXXXXXXXXX
(74) 대리인
맹성재

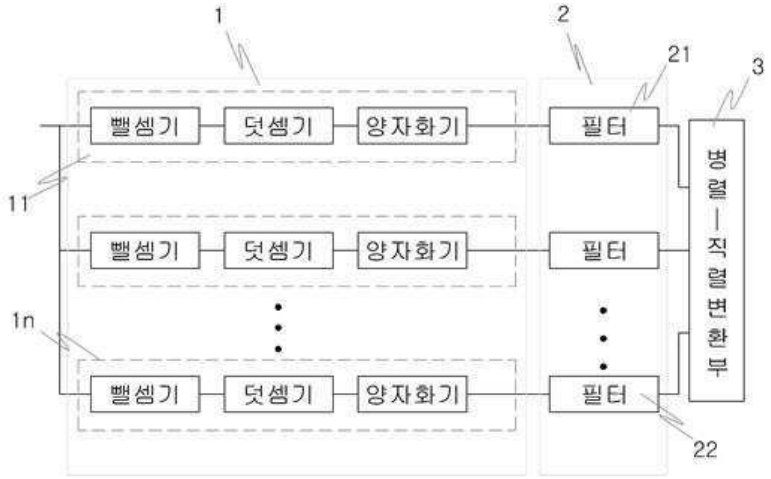
전체 청구항 수 : 총 14 항 심사관 : 성경아

(54) 발명의 명칭 **병렬처리 시그마델타 변조기 및 설계 방법**

(57) 요 약

본 발명은 입력신호를 복수로 분할하여 병렬처리 시그마델타변조하고, 병렬로 출력된 신호들을 병렬 변형 FIR 필터에 의해 필터링하여 잡음을 제거한 후, 다시 결합하여 직렬신호로 출력함으로써 샘플링 주파수를 높이지 않고도 원하는 출력을 얻을 수 있게 한 병렬처리 시그마델타 변조기와 이를 설계하는 방법 및 이를 이용한 신호처리 방법에 관한 것이다.

대 표 도 - 도3



특허청구의 범위

청구항 1

입력과 출력의 오차를 발생시키고 신호를 누적한 후 양자화하는 복수의 병렬 변조모듈 및 상기 복수의 병렬 변조모듈로부터 출력되는 병렬신호들로부터 잡음을 제거하는 복수의 필터로 이루어진 디지털 필터부를 포함한 시그마델타 변조기에 있어서,

상기 디지털 필터부는,

각 변조모듈의 출력으로부터 계산된 신호를 입력신호로 받는 복수의 지연블록;

상기 복수의 지연블록들과 쌍으로 연결된 복수의 하위 병렬 필터부; 및

상기 복수의 하위 병렬 필터부의 병렬 출력들을 직렬신호로 변환하는 병렬-직렬변환부를 포함하는 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 변조모듈은 입력과 출력의 오차를 발생시키고 신호를 누적시키는 델타시그마블록과

상기 델타시그마블록의 출력을 양자화하는 양자화블록으로 이루어진 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 4

제3항에 있어서,

상기 변조모듈의 델타시그마블록과 양자화블록 사이에는 적어도 하나의 하위 델타시그마블록을 더 구비한 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 5

제4항에 있어서,

상기 하위 델타시그마블록은 입력과 출력의 오차를 발생시키는 델타블록과 신호를 누적시키는 시그마블록으로 이루어진 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 6

제5항에 있어서,

상기 하위 델타시그마블록 중 N(2 이상 자연수)번째 하위 델타시그마블록은,

입력신호를 제1입력신호로 하고 N-1번째 하위델타시그마블록의 양자화블록의 출력을 제2입력신호로 입력받아 오차를 발생시키는 델타블록;

전단 델타블록의 출력을 제1입력신호로 하고 N-1번째 하위 델타시그마블록의 시그마블록 출력을 제2입력신호로 받아 두 신호를 누적시키는 시그마블록으로 이루어진 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 7

제5항 또는 제6항에 있어서,

상기 델타블록은 뺄셈기이고, 상기 시그마블록은 덧셈기이며, 상기 양자화블록은 양자화기인 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 8

제1항에 있어서,

상기 디지털 필터부는 변형(Modified)된 FIR(Finite Impulse Response) 필터로 제1파트와 제2파트로 구성되고, 각 파트는 가변지연블록(VD), 덧셈기(AD) 및 이득부(GN)로 구성된 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 9

제1항에 있어서,

상기 디지털 필터부는 변형된 병렬 FIR필터이고, 복수의 제1필터부로 구성된 제1파트와 복수의 제2필터부로 이루어진 제2파트로 이루어진 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 10

제9항에 있어서,

상기 제1필터부는,

상기 복수의 변조모듈의 출력을 입력신호로 받는 복수의 지연블록;

상기 복수의 지연블록의 출력값 중 하나를 선택하는 먹스(MUX);

상기 먹스의 출력과 상기 복수의 변조모듈의 출력을 합산하는 덧셈기 및

상기 덧셈기의 출력을 나누기하는 이득부로 구성된 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 11

제9항에 있어서,

상기 제2필터부는,

상기 복수의 변조모듈의 출력을 입력신호로 받는 복수의 지연블록;

상기 복수의 변조모듈의 출력과 상기 복수의 지연블록의 출력값 중 하나를 선택하는 먹스로 구성된 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 12

제10항에 있어서,

상기 이득부는 고속 처리를 위한 비트 쉬프트 연산자인 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 13

삭제

청구항 14

제1항에 있어서,

상기 하위 병렬 필터부는,

각 변조모듈의 출력을 지연시키는 복수의 지연블록과, 상기 지연블록의 출력과 각 변조모듈의 출력을 입력신호로 받아 선택하여 출력하는 먹스와 상기 변조모듈의 출력과 먹스의 출력을 합산하는 덧셈기를 포함하는 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 15

제14항에 있어서,

상기 N개의 하위 병렬 필터부 중 M(M<N)번째 하위 병렬 필터부는,

제1 변조모듈 내지 제M 변조모듈의 출력을 소정 시간 지연시키는 복수의 지연블록;

상기 제M 변조모듈의 출력과, 상기 복수의 지연블록의 출력들을 입력신호로 받아 이 중 하나의 신호를 선택하여 출력하는 먹스;

상기 제M 변조모듈의 출력을 입력신호로 받는 제1 이득부;

상기 먹스의 출력을 입력신호로 받는 제2 이득부; 및

상기 제1 이득부와 상기 제2 이득부의 출력을 합산하는 덧셈기를 포함하는 것을 특징으로 하는 병렬처리 시그마 델타 변조기

청구항 16

제1항에 있어서,

각 변조모듈은 입력과 출력의 오차를 발생시키는 델타블록과, 신호를 누적시키는 시그마블록과 시그마블록의 출력을 양자화하는 양자화블록을 구비하고,

각 변조모듈을 구성하는 델타블록은 입력신호의 전단의 입력신호를 처리하는 변조모듈의 양자화블록의 출력을 피드백받아 입력신호와의 오차를 발생시키고,

각 변조모듈을 구성하는 시그마블록은 델타블록의 출력과 입력신호의 전단의 입력신호를 처리하는 변조모듈의 시그마블록의 출력을 피드백받아 합산하는 것을 특징으로 하는 병렬처리 시그마델타 변조기

청구항 17

삭제

청구항 18

삭제

명 세 서

기 술 분 야

[0001] 본 발명은 시그마델타 변조기에 관한 것으로서, 상세하게는 입력신호를 복수로 분할하고, 분할된 각 신호를 필터링하여 잡음을 제거한 후, 다시 결합하여 출력함으로써 샘플링 주파수를 높이지 않고도 원하는 출력을 얻을 수 있게 한 병렬처리 시그마델타 변조기와 이를 설계하는 방법과 이를 이용한 신호처리 방법에 관한 것이다.

배 경 기 술

[0002] 정보에 대한 중요성이 강조되면서 장소와 시간을 불문하고 수많은 정보를 쉽게 획득할 수 있도록 많은 정보가 제공되고 있고, 이렇게 실시간으로 정보를 제공하기 위한 수단으로 스마트폰과 같은 다기능 무선 통신 단말기가 제공되고 있다.

[0003] 그러나 이러한 무선통신단말기는 실시간으로 정보를 제공할 수 있으나, 소비 전력이 높아 장시간 사용할 수 없고 수시로 배터리를 재충전하거나 교체하여야 하는 불편이 있다. 이에 따라 장시간을 사용할 수 있는 배터리에 대한 기술이나, 저 전력 소모에도 불구하고 빠른 시간에도 많은 데이터를 송수신할 수 있는 높은 데이터 전송률을 제공하기 위한 기술이 개발되고 있으며, 신호의 선형성과 전력 효율성을 만족시키기 위한 이동통신단말기가 개발되고 있다.

[0004] 그러나 신호의 선형성과 전력 효율성은 서로 상반된 특성을 갖는 것으로, 신호의 선형성을 중시하는 무선통신단말기에서는 선형 전력증폭기(linear power amplifier)를 사용하며, 전력 효율성을 중시하는 무선통신단말기에서는 스위칭 모드 전력증폭기(switching mode power amplifier)를 사용한다.

[0005] 선형 전력증폭기는 높은 PAPR(Peak-to-Average Power Ratio) 특성을 갖고, 높은 PAPR 신호는 입력신호를 증폭하는 동안 입력신호의 포화 상태를 피하기 위해 바이어스 지점을 백오프(back-off)를 해야 하므로 바이어스 모드에서 동작될 때 매우 낮은 전력 효율성을 가지며, 스위칭 모드 전력증폭기는 입력이 '1'일 때 ON으로 동작하고 '0'일 때는 OFF로 동작하는 스위치와 같은 역할을 하는 것으로 이상적으로 동작할 경우에는 전력 효율이 좋

으나 신호를 변환하는 과정에서 발생하는 잡음이 발생하고, 신호의 선형성을 유지하기 위한 스위칭 동작 속도가 높아야 한다는 단점이 있다.

[0006] 이러한 증폭기들 중 스위칭 모드 전력증폭기의 하나로 시그마델타 변조기가 있다.

[0007] 시그마델타 변조기(sigma delta modulator)는 아날로그-디지털(Analog to Digital) 또는 디지털-아날로그(Digital to Analog) 변환을 위해 사용되는 것으로서, CMOS(Complementary Metal Oxide Semiconductor)를 이용하여 구현될 수 있다. 이러한 시그마델타 변조기는 1960년대 초에 처음으로 그 원리가 발표되었고, 이후 20년이 지나면서 CMOS를 이용한 VLSI(Very Large Scale Integration) 반도체 기술의 발전에 따라 오디오 및 음성용 신호 변환기를 중심으로 각광을 받기 시작하여, 근래 오디오용으로는 100dB 이상의 동적 범위를 갖는 고성능 시그마델타 변환기가 사용되고 있다.

[0008] 이후 CMOS 공정 기술의 발전에 따른 회로속도의 증가와 시그마델타 신호변환기 구조설계 기술의 발전, 그리고 회로 설계 기술의 발전이 수십 kHz에서 머물던 신호 대역을 수십 MHz까지 증가할 수 있게 되어 그 응용 분야는 기존 오디오와 같은 협대역 분야를 뛰어넘어 유무선 통신 시스템 아날로그 프론트 엔드(front-end) 신호 처리 분야로 확대되고 있다. 시그마델타 변조기의 가장 큰 특징은 멀티 입력신호를 몇 비트(약 1~3비트)의 출력신호로 변환하면서도 송신 신호의 특성을 그대로 유지한다는 점이다.

[0009] 이러한 시그마델타 변조기는 도 1에 도시한 바와 같이, 입력신호와 출력신호의 오차를 검출하는 델타(Delta)블록(100), 신호를 누적하는 시그마(sigma)블록(200), 양자화(Quantization)블록(300), 출력을 피드백시키는 피드백(feedback)블록(400)으로 구성된다.

[0010] 델타블록(100)은 입력과 출력의 오차를 발생하는 역할을 하므로 아날로그 신호의 경우 비교기가 사용되고, 디지털 신호인 경우는 뺄셈기가 사용된다. 시그마블록(200)은 입력신호를 누적하는 기능을 하므로 아날로그 신호의 경우는 적분기(integrator)로 디지털 신호의 경우는 누산기(accumulator)로 구현된다. 양자화블록(300)은 입력신호의 값을 판단한다. 양자화 레벨은 사용자의 선택에 의해 변화할 수 있다. 예를 들어, 2 레벨로 출력하는 경우에는 양자화블록 입력 레벨이 0이상의 양수인 경우 '+1'로 음수인 경우 '-1'로 출력 가능하다. 궤환블록(400)은 시그마델타 변조기 출력신호를 델타블록에서 처리 가능한 신호로 변경하여 전달하므로 ADC 또는 DAC가 사용된다.

[0011] 도 2는 1차 직렬 시그마델타 변조기를 구현하였을 때의 시간 축에서 관측한 결과를 보여준다. 10kHz 정현파를 입력으로 넣었을 때, 출력으로는 '+1'과 '-1'의 펄스열들이 출력됨을 확인할 수 있다. 입력신호가 '+1'에 가까운 값을 가지는 영역에서는 펄스열의 출력값도 '+1'의 빈도가 높아지며, 입력신호가 '-1'에 가까운 값을 가지는 영역에서는 펄스열의 출력값도 '-1'의 빈도가 높아진다. 0인 경우는 '+1'로 되었다 '-1'로 되었다 하는 빈도가 잦아진다. 결국, 펄스열의 평균값은 입력신호의 정현파의 값을 가짐을 확인할 수 있다. 시간 영역의 결과에서는 시그마델타 변조 출력이 입력신호의 특성만 갖는 것이 아니라 시그마델타 변조기를 거치면서 잡음이 발생하는 것을 알 수 있다.

[0012] 종래 기술상 시그마델타 변조기로는 특허문헌 1 내지 6이 있다. 이들은 샘플링 주파수를 증가시키면 잡음 신호의 전력 레벨을 낮출 수 있지만 실제 하드웨어 구현 시 샘플링 주파수를 높이는데 한계가 있다 또한, 신호의 양자화 레벨을 낮출수록 잡음 신호의 전력 레벨이 낮아지고 본래 입력신호와 더 가까운 출력신호의 파형을 가진다는 장점이 있지만, 시그마델타의 출력 비트수를 증가시켜야하고, 출력 비트수의 증가는 시그마델타 변조기 이후의 블록에서의 하드웨어가 복잡해져 신호의 선형성을 약화시키는 단점이 있다. 시그마델타 변조기의 특성을 결정하는 변수로 시그마델타 변조기의 차수(order), 샘플링 주파수, 양자화블록의 양자화 레벨이 있으며, 잡음 전력 레벨을 낮추기 위해서는 시그마델타 변조기의 차수는 높이고, 샘플링 주파수를 높이고, 양자화블록의 양자화 레벨 출력이 단일 비트 '+1', '-1'이 출력되어야 한다. 그러나 시그마델타 변조기의 차수를 높일수록 감쇄효과를 증가할 수 있으나 3차 이상으로 차수를 높일 경우 안정도에 문제가 있으므로 2차 이하로 사용하여야 하고, 차수를 높이기 위해서는 샘플링 주파수를 최소 RF 대역폭의 수배 이상을 사용해야 하지만 샘플링 속도가 수 GHz 이상으로 높아지면 표준 셀(standard cell) 디지털 로직으로는 신호 처리는 불가능해져 특별 주문하여(full-custom) 제작해야 하므로 제작비용이 높아지고, 디지털 로직의 동작 속도에 비례하여 전력 소모도 증가하는 단점이 있다.

선행기술문헌

특허문헌

[0013] (특허문헌 0001) 1. 미국 등록특허 제7176820호(2007.02.13 등록)

(특허문헌 0002) 2. 미국 등록특허 제7554472호(2009.06.30 등록)

(특허문헌 0003) 3. 대한민국 등록특허 제893885호(2009.04.10 등록)

(특허문헌 0004) 4. 대한민국 등록특허 제1055250호(2011.08.02 등록)

(특허문헌 0005) 5. 대한민국 공개특허 제2009-0109454호(2009.10.20 공개)

(특허문헌 0006) 6. 대한민국 공개특허 제2010-0073059호(2010.07.01 공개)

발명의 내용

해결하려는 과제

[0014] 본 발명은 이러한 종래기술의 문제점을 해결하기 위해 개발된 것으로서, 낮은 샘플링 주파수에서도 높은 샘플링 주파수에서와 동일한 기능을 수행하며 잡음 특성을 개선시킬 수 있는 병렬처리 시그마델타 변조기를 제공하는 것을 목적으로 한다.

[0015] 특히, 본 발명은 입력신호를 복수 개로 분할하고 분할된 각 신호를 필터링하여 잡음을 제거한 후 다시 결합하여 출력함으로써 샘플링 주파수를 높이지 않고도 원하는 출력을 얻을 수 있게 한 병렬처리 시그마델타 변조기와 이를 설계하는 방법 및 이를 이용한 신호처리 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0016] 상기의 과제를 해결하기 위한 본 발명에 따른 병렬처리 시그마델타 변조기는 입력과 출력의 오차를 발생시키고 신호를 누적한 후 양자화하는 복수의 변조모듈 및 상기 복수의 변조모듈로부터 출력되는 병렬신호들로부터 잡음을 제거하는 복수의 필터로 이루어진 디지털 필터부를 포함하는 것을 특징으로 한다.

[0017] 본 발명의 바람직한 일실시예로서, 상기 병렬처리 시그마델타 변조기는 샘플링 주파수를 낮추기 위하여 상기 변조모듈을 병렬로 연결하여 동시에 신호를 처리할 수 있고, 상기 디지털 필터부를 통과한 병렬신호를 직렬신호로 변환하는 병렬-직렬변환부를 더 포함하는 것을 특징으로 한다.

[0018] 본 발명의 바람직한 일실시예로서, 상기 변조모듈은 입력과 출력의 오차를 발생시키고 신호를 누적시키는 델타시그마블록과 상기 델타시그마블록의 출력을 양자화하는 양자화블록으로 이루어진 것을 특징으로 한다.

[0019] 본 발명의 바람직한 일실시예로서, 각 변조모듈의 델타시그마블록과 양자화블록 사이에는 최소한 하나의 하위 델타시그마블록을 구비한 것을 특징으로 한다.

[0020] 본 발명의 바람직한 일실시예로서, 상기 델타시그마블록은 입력과 출력의 오차를 발생시키는 델타블록과, 신호를 누적시키는 시그마블록으로 이루어진 것을 특징으로 한다.

[0021] 본 발명의 바람직한 일실시예로서, 상기 하위 델타시그마블록 중 N번째 하위 델타시그마블록은, 입력신호를 제1입력신호로 하고 N-1번째 하위델타시그마블록의 양자화블록의 출력을 제2입력신호로 입력받아 오차를 발생시키는 델타블록; 전단 델타블록의 출력을 제1입력신호로 하고 N-1번째 하위 델타시그마블록의 시그마블록 출력을 제2입력신호로 받아 두 신호를 누적시키는 시그마블록으로 이루어진 것을 특징으로 한다.

[0022] 본 발명의 바람직한 일실시예로서, 상기 델타블록은 뺄셈기이고, 상기 시그마블록은 덧셈기이며, 상기 양자화블록은 양자화기인 것을 특징으로 한다.

[0023] 본 발명의 바람직한 일실시예로서, 상기 디지털 필터부는 변형된 FIR(Finite Impulse Response) 필터이고, 제1파트와 제2파트로 이루어지고, 각 파트는 가변지연블록(VD), 덧셈기(AD) 및 이득부(GN)로 구성된 것을 특징으로 한다.

[0024] 본 발명의 바람직한 일실시예로서, 상기 디지털 필터부는 변형된(Modified) 병렬 FIR(Finite Impulse Response) 필터이고, 복수의 제1필터부로 구성된 제1파트와 복수의 제2필터부로 이루어진 제2 파트로 이루어지고 상기 제1필터부는 지연블록(D), 먹스(MUX), 덧셈기(AD) 및 이득부(GN)로 구성되고, 상기 제2필터부는 지연블록(D), 먹스(MUX) 및 덧셈기(AD)로 구성된 것을 특징으로 한다.

[0025] 본 발명의 바람직한 일실시예로서, 상기 제1필터부는, 상기 복수의 변조모듈의 출력을 입력신호로 받는 복수의 지연블록; 상기 복수의 지연블록의 출력값 중 하나를 선택하는 먹스, 상기 먹스의 출력과 상기 복수의 변조모듈의 출력을 합산하는 덧셈기 및 상기 덧셈기의 출력을 나누기하는 이득부로 구성된 것을 특징으로 한다.

[0026] 본 발명의 바람직한 일실시예로서, 상기 제2필터부는, 상기 복수의 변조모듈의 출력을 입력신호로 받는 복수의 지연블록; 상기 복수의 변조모듈의 출력과 상기 복수의 지연블록의 출력값 중 하나를 선택하는 먹스로 구성된 것을 특징으로 한다.

[0027] 본 발명의 바람직한 일실시예로서, 상기 이득부는 고속 처리를 위한 비트 쉬프트 연산자인 것을 특징으로 한다.

[0028] 본 발명의 바람직한 일실시예로서, 상기 디지털 필터부는, 각 변조모듈의 출력을 각각의 입력신호로 받는 복수의 지연블록; 상기 복수의 지연블록들과 쌍으로 연결된 복수의 하위 병렬 필터부; 및 상기 복수의 하위 병렬 필터부의 병렬 출력들을 직렬신호로 변환하는 병직렬변환기를 포함하는 것을 특징으로 한다.

[0029] 본 발명의 바람직한 일실시예로서 상기 하위 병렬 필터부는, 각 변조모듈의 출력을 지연시키는 복수의 지연블록과, 상기 지연블록의 출력과 각 변조모듈의 출력을 입력신호로 받아 선택하여 출력하는 먹스와 상기 변조모듈의 출력과 먹스의 출력을 합산하는 덧셈기를 포함하는 것을 특징으로 한다.

[0030] 본 발명의 바람직한 일실시예로서 상기 복수(N)개의 하위 병렬 필터부 중 M번째 하위 병렬 필터부는, 제1 변조모듈 내지 제M 변조모듈의 출력을 소정 시간 지연시키는 복수의 지연블록(delayB); 상기 제M 변조모듈의 출력과, 상기 복수의 지연블록의 출력들을 입력신호로 받아 이 중 하나의 신호를 선택하여 출력하는 먹스; 상기 제M 변조모듈의 출력을 입력신호로 받는 제1이득부; 상기 먹스의 출력을 입력신호로 받는 제2이득부; 및 상기 제1이득부와 상기 제2이득부의 출력을 합산하는 덧셈기를 포함하는 것을 특징으로 한다.

[0031] 본 발명의 바람직한 일실시예로서 각 변조모듈을 구성하는 델타블록은 입력신호의 전단의 입력신호를 처리하는 변조모듈의 양자화블록의 출력을 피드백받아 입력신호와의 오차를 발생시키고, 각 변조모듈을 구성하는 시그마블록은 델타블록의 출력과 입력신호의 전단의 입력신호를 처리하는 변조모듈의 시그마블록의 출력을 피드백받아 합산하는 것을 특징으로 한다.

[0032] 본 발명의 또 다른 실시예로서 상기와 같이 구성된 병렬처리 시그마델타 변조기를 설계하는 방법은 델타블록, 시그마블록 및 양자화블록으로 구성된 복수의 변조모듈을 병렬로 배열하는 단계; 상기 복수의 변조모듈의 후단에 각 변조모듈로부터 출력되는 병렬신호들로부터 잡음을 제거하는 복수의 필터로 이루어진 디지털 필터부, 디지털 필터부를 통과한 병렬신호를 직렬신호로 변환하는 병렬-직렬변환부를 배열하는 단계; 및 배열된 복수의 변조모듈, 디지털 필터부 및 병렬-직렬변환부를 연결하여 연결하되, 델타블록에는 최초 입력신호와 이전 열의 양자화블록의 출력신호를 입력신호로 받을 수 있게 연결하고, 시그마블록에는 델타블록의 출력신호와 이전 열의 시그마블록의 출력을 입력신호로 받을 수 있게 연결하며, 디지털 필터부에는 각 양자화블록의 출력신호가 입력되게 연결하고, 복수의 디지털 필터부의 출력은 하나의 병렬-직렬변환부로 입력되게 연결하는 단계를 포함하는 것을 특징으로 한다.

[0033] 본 발명의 바람직한 일실시예로서 각 변조모듈의 시그마블록과 양자화블록 사이에는 최소한 하나의 하위 델타시그마블록을 더 배열하고 각 델타블록에는 상위 시그마블록의 출력과 이전 열의 양자화블록의 출력신호를 입력신호로 받을 수 있게 연결하고, 각 시그마블록에는 각 열의 델타블록의 출력신호와 이전 열의 시그마블록의 출력을 입력신호로 받을 수 있게 연결하며, 최종 하위 델타시그마블록의 출력이 양자화블록으로 입력되게 연결하고, 복수의 디지털 필터부의 출력은 하나의 병렬-직렬변환부로 입력되게 연결되는 것을 특징으로 한다.

[0034] 본 발명의 또 다른 실시예로서 상기와 같이 구성된 병렬처리 시그마델타 변조기를 이용한 신호처리 방법은 변조대상 입력신호를 병렬 연결된 변조모듈의 수만큼 분할하여 상기 복수의 변조모듈에 입력하는 단계; 각 변조모듈에서 입력과 출력의 오차를 발생시키고 신호를 누적하는 델타시그마 변조단계; 변조된 신호를 양자화하는 양자화단계; 양자화된 각각의 신호를 수신하여 병렬로 연결된 복수의 필터에서 각 신호로부터 잡음을 동시에 제거하는 단계; 및 잡음이 제거된 복수의 병렬 변조 신호를 직렬신호로 변환하는 단계로 이루어지는 것을 특징으로로 이루어지는 것을 특징으로 한다.

[0035] 본 발명의 바람직한 일실시예로서 상기 델타시그마 변조단계에서 각 델타블록의 입력신호는 변조 대상 입력신호와 이전 열의 양자화블록의 출력신호이고, 각 시그마블록의 입력신호는 각 델타블록의 출력신호와 이전 열의 시그마블록의 출력신호인 것을 특징으로 한다.

[0036] 본 발명의 바람직한 일실시예로서 상기 델타시그마 변조단계는 상기 델타시그마 변조단계는 최소 2회 이상 수행

되고, 최초 델타시그마 변조단계에서 각 델타블록의 입력신호는 변조 대상 입력신호와 이전 열의 양자화블록의 출력신호이고, 각 시그마블록의 입력신호는 각 델타블록의 출력신호와 이전 열의 시그마블록의 출력신호이며, 차 순위 델타시그마 변조단계에서 각 델타블록의 입력신호는 상위 시그마블록의 출력신호와 이전 열의 양자화블록의 출력신호이고, 각 시그마블록의 입력신호는 각 델타블록의 출력신호와 이전 열의 시그마블록의 출력신호인 것을 특징으로 한다.

발명의 효과

[0037] 본 발명은 시그마델타 변조기를 복수의 변조모듈의 병렬 구조로 구성하여 동일 시간에 많은 양의 신호를 변조처리함으로써 샘플링 주파수를 낮추어 표준 셀(standard cell) 디지털 로직으로도 구현할 수 있으므로 시그마델타 변조기의 제조비용을 감소시킬 수 있다.

[0038] 즉, 기존의 시그마델타 변조기에서 요구하던 높은 샘플링 주파수(Fs)를 N개의 변조모듈을 형성하여 Fs/N배 낮출 수 있으므로 통상의 표준셀 디지털 로직으로도 구현이 가능하여 로직의 구성에 소요되는 비용을 절감할 수 있는 것이다.

[0039] 또한, 본 발명은 시그마델타 변조기에서 발생하는 잡음 전력 레벨을 병렬 변형(modified) FIR 필터와 지연블록(델타시그마블록) 개수를 프로그램으로 변경하여 통신 시스템 대역 내 잡음을 제거할 수 있는 효과가 있다.

도면의 간단한 설명

[0040] 도 1은 종래의 시그마델타 변조기를 나타낸 블록도

도 2는 종래의 시그마델타 변조기의 출력 파형 그래프

도 3은 본 발명에 의한 병렬처리 시그마델타 변조기의 구성도

도 4는 본 발명에 의한 병렬처리 시그마델타 변조기를 구성하는 병렬처리 시그마델타 변조기의 일예의 블록도

도 5는 본 발명에 의한 병렬처리 시그마델타 변조기를 구성하는 병렬처리 시그마델타 변조기의 다른 일예의 블록도

도 6은 직렬 변형 FIR 필터의 블록도

도 7은 직렬식 데이터처리와 병렬식 데이터처리의 방식의 도표

도 8은 클록 레이트와 입력 데이터 레이트의 스펙트럼

도 9는 업샘플러의 입출력 파형

도 10은 리피터 사용 시 주파수 스펙트럼

도 11은 클록 레이트와 입력 데이터 레이트가 같지 않을 때의 병렬처리 시그마델타 변조기의 출력 스펙트럼

도 12는 병렬처리 시그마델타 변조기의 개념도

도 13은 1차 직렬 시그마델타 변조기와 본 발명의 1차 병렬처리 시그마델타 변조기의 출력 파형

도 14는 2차 직렬 시그마델타 변조기와 본 발명의 2차 병렬처리 시그마델타 변조기의 출력 파형

도 15는 병렬-직렬변환부의 입출력 타이밍 다이어그램

도 16은 도 3에 도시된 병렬처리 시그마델타 변조기의 제2 실시예의 블록도

도 17은 본 발명에 의한 디지털 필터부의 일 실시예의 블록도

도 18은 도 17에 도시된 스테이지 블록의 일실시예의 블록도

도 19는 도 18에 도시된 하위병렬 필터부의 일실시예

도 20은 본 발명에 의한 병렬 변형 FIR 필터의 제1파트

도 21은 본 발명에 의한 병렬 변형 FIR 필터의 제2파트

도 22는 본 발명에 의한 병렬 변형 FIR 필터의 동작 타이밍 다이어그램

도 23은 직렬 변형 FIR 필터와 본 발명에 의한 병렬 변형 FIR 필터의 제1파트의 출력 비교 파형

도 24는 직렬 변형 FIR 필터와 본 발명에 의한 병렬 변형 FIR 필터의 제1파트의 출력 비교 스펙트럼

도 25는 직렬 변형 FIR 필터와 본 발명에 의한 병렬 변형 FIR 필터의 제2파트의 출력 비교 파형

도 26은 직렬 변형 FIR 필터와 본 발명에 의한 병렬 변형 FIR 필터의 제2파트의 출력 비교 스펙트럼

도 27은 직렬 변형 FIR 필터와 본 발명에 의한 병렬 변형 FIR 필터의 제1파트와 제2파트의 합의 출력 비교 파형

도 28은 직렬 변형 FIR 필터와 본 발명에 의한 병렬 변형 FIR 필터의 제1파트와 제2파트의 합의 출력 비교 스펙트럼이다.

발명을 실시하기 위한 구체적인 내용

[0041] 이하 본 발명의 실시를 위한 구체적인 실시예를 도면을 참고하여 설명한다. 예시된 도면은 발명의 명확성을 위하여 핵심적인 내용만 확대 도시하고 부수적인 것은 생략하였으므로 도면에 한정하여 해석하여서는 아니 된다.

[0042] 본 발명은 샘플링 주파수를 높이지 않고도 높은 샘플링 주파수에 의한 효과를 얻기 위한 것으로, 도 3을 참조하면, 동시에 많은 신호를 처리할 수 있도록 직렬신호를 병렬처리 신호로 변환하여 변조하는 병렬처리 시그마델타 변조기(1)를 구비하고 있으며, 병렬처리 시그마델타 변조기(1)에서 변조된 각각의 병렬신호로부터 잡음을 제거하기 위한 디지털 필터부(2)와, 병렬신호를 다시 직렬신호로 변환하기 위한 병렬-직렬변환부(3)를 구비하고 있다.

[0043] 복수의 병렬신호를 동시에 처리할 수 있도록 상기 병렬처리 시그마델타 변조기(1)는 복수의 변조모듈(11~1n)이 서로 병렬로 연결되어 있으며, 각 변조모듈(11~1n)의 출력은 디지털 필터부의 각 필터(21~2n)로 입력된다. 상기 디지털 필터부의 각 필터에 의해 잡음이 제거된 복수의 병렬신호는 병렬-직렬변환부(3)에 의해 다시 직렬신호로 변환하여 출력된다. 종래의 직렬 시그마델타 변조기는 입력신호를 순차적으로 입력받아 순차적으로 계산하였으나 본 발명에 의한 병렬처리 시그마델타 변조기는 입력신호를 동시에 입력받아 한 번에 계산 처리함으로써 직렬 시그마델타 변조기에 비해 병렬 연결된 변조모듈의 개수에 비례한 신호 처리속도를 갖기 때문에 종래에 비해 샘플링 주파수를 변조모듈의 개수만큼 낮출 수 있는 효과가 있다.

[0044] 이러한 본 발명에 의한 시그마델타 변조기를 설명함에 있어서, 복수의 변조모듈이 병렬로 연결되어 있고, 각 변조모듈의 상호 작용을 설명함에 있어서는 도면상 상대적으로 위에 도시된 변조모듈을 이전 열이라 칭하고, 복수의 하위 델타시그마블록을 설명함에 있어서는 좌측의 변조할 신호가 입력되는 부분을 기점으로 상위 및 하위로 칭한다.

[0045] 도 4를 참조하면, 상기 변조모듈(11~1n)은 통상의 시그마델타 변조기를 구성을 변형한 형태로서 입력과 출력의 오차를 발생시키는 델타블록(1d), 신호를 누적시키는 시그마블록(1s) 및 시그마블록의 출력을 양자화시키는 양자화블록(1q)으로 이루어질 수 있으며, 처리되는 신호에 따라 각 블록을 구성하는 구성요소가 달라질 수 있다. 즉, 델타블록(1d)의 경우 아날로그 신호를 처리할 때에는 비교기가 사용되고 디지털 신호를 처리할 때에는 뺄셈기가 될 수 있고, 시그마블록(1s)은 입력신호를 누적하는 기능을 하는 것으로 신호의 형태에 따라 적분기(integrator)나 누산기(accumulator) 중 어느 하나가 사용될 수 있으며, 양자화블록(1q)은 통상의 양자화기가 사용될 수 있다.

[0046] 상기 양자화블록(1q)은 잡음 레벨을 감쇄시키기 위한 것으로 양자화 레벨을 변경하여 사용할 수 있으며, 양자화 레벨은 출력신호의 해상도와 관련된 파라미터로 양자화 레벨의 간격이 좁아질수록 본래 입력으로 표현하려고한 파형에 가까워지고 잡음의 레벨은 낮아지는 효과를 얻을 수 있다.

[0047] 상기와 같이, 각 변조모듈을 구성하는 델타블록(1d)은 현재 입력신호의 전단의 입력신호를 처리하는 변조모듈(이전열의 변조모듈)의 양자화블록(1q)의 출력을 피드백받아 현재 입력신호와의 오차를 발생시키고, 각 변조모듈을 구성하는 시그마블록은 델타블록(1d)의 출력과 이전열의 변조모듈의 시그마블록(1s)의 출력을 피드백받아 합산한다.

[0048] 도 5를 참조하면, 본 발명에 의한 병렬처리 시그마델타 변조기는 복수의 하위 델타시그마블록(1ds')을 구비할 수 있으며, 하위 델타시그마블록(1ds')은 상기 변조모듈(11~1n)을 구성하는 구성요소 중 일부 구성요소인 델타블록(1d)과 시그마블록(1s)을 다단으로 직렬 연결함에 의해 이루어질 수 있으므로 이들 델타블록(1d)과 시그마블록(1s)을 통칭하여 델타시그마블록(1ds)이라 설명한다.

[0049] 전술한 바와 같이 본 발명에 의한 시그마델타 변조기는 복수의 하위 델타시그마블록(1ds')을 구비하고 있고 하위 델타시그마블록(1ds')은 각 변조모듈(11~1n)의 델타시그마블록(1ds)과 양자화블록(1q) 사이에 최소한 하나 이상 설치될 수 있다.

[0050] 본 발명의 병렬처리 시그마델타 변조기는 디지털 신호를 처리하기 위한 것으로 도 4 및 도 5에 도시한 바와 같이, 델타블록(1d)은 뺄셈기이고, 시그마블록(1s)은 덧셈기이며, 양자화블록(1q)은 양자화기가 사용될 수 있다.

[0051] 이러한 하위 델타시그마블록(1ds')을 갖는 병렬처리 시그마델타 변조기에서 N번째 하위 델타시그마블록을 구성하는 델타블록(뺄셈기)(1d)은 디지털 신호를 제1입력신호로 하고 N-1번째 하위 델타시그마블록의 양자화블록(1q)의 출력을 제2입력신호로 입력받아 뺄셈 출력신호를 생성하고, 시그마블록(덧셈기)(1s)은 델타블록(뺄셈부)의 출력을 제1입력신호로 하고 N-1번째 하위 델타시그마블록의 시그마블록(덧셈기)(1s) 출력을 제2입력신호로 받아 두 신호를 합산 처리한다. 여기서, N은 자연수이고, 신호를 전달하기 위해 피드백블록(1f)을 구비하고 있다.

[0052] 상기 디지털 필터부(2)는 병렬 FIR(Finite Impulse Response) 필터가 사용될 수 있고, 병렬-직렬변환부(3)는 상기 디지털 필터부(2)에서 출력되는 병렬 출력값을 직렬의 값으로 변환시키는 역할을 하는 것으로 병렬-직렬컨버터가 사용될 수 있다.

[0053] 이와 같은 병렬처리는 시그마델타 변조기의 동작속도를 병렬 패스 개수 즉, 변조모듈의 개수에 비례하여 샘플링 주파수를 낮추고도 동일한 성능을 갖게 할 수 있다. 예를 들면, 도 5 및 도 7에 도시된 바와 같이 변조모듈이 4개인 경우 4개의 입력신호를 한꺼번에 처리하므로 4배로 처리속도가 증가될 수 있다. 따라서 샘플링 주파수 또는 각 델타블록, 시그마블록, 양자화블록의 동작 속도가 1/4인 하드웨어로 변조기를 구현하여도 동일 처리속도의 시그마델타 변조기를 구현할 수 있다.

[0054] 이하 상기한 바와 같이 구성된 본 발명에 의한 병렬처리 시그마델타 변조기를 보다 상세하게 설명한다.

[0055] 본 발명에 의한 병렬처리 시그마델타 변조기는 신호를 병렬로 처리하기 위한 것으로서, 도 7 (a)에 도시한 바와 같은 직렬신호를 도 7 (b)에 도시한 바와 같이 병렬신호로 변환하여 동시에 많은 양의 데이터를 처리할 수 있다. 이러한 입력신호를 병렬처리하기 위해서는 병렬처리 시그마델타 변조기(1)의 전단에 직렬-병렬변환부 또는 직병렬 컨버터가 필요하지만 본 발명에서는 이를 구비하지 않아도 된다. 시그마델타 변조기의 입력 데이터 레이트(rate)를 RF 대역폭 내에 이미지가 발생하지 않을 정도로 낮추어 사용할 수 있기 때문에 리피터와 같은 원리를 이용하면 별도의 직병렬 컨버터를 추가로 구비하지 않아도 된다. 즉, 병렬처리 시그마델타 변조기의 개별 변조모듈의 입력은 동일한 값을 사용하여도 된다.

[0056] 도 8 (a)에 도시한 바와 같이 병렬처리 시그마델타 변조기의 입력 데이터 레이트와 클록 레이트가 2.4GHz로 동일하고, RF 대역폭(RF_BW)이 100MHz일 경우, 이미지 신호가 2.4GHz마다 반복되므로 입력신호가 이미지 신호에 의해 영향을 받지 않는다. 또한 도 8 (b)에 도시한 바와 같이, 시그마델타 변조기의 클록 레이트와 입력 데이터 레이트가 같지 않을 때 즉, 시그마델타 변조기의 클록 레이트는 2.4GHz이고 입력 데이터 레이트는 클록 레이트의 4분주된 값인 0.6GHz이며, RF 대역폭이 100MHz일 경우 이미지 신호가 0.6GHz마다 반복되는 상태로 RF 대역폭 100MHz 이상의 범위에서 이미지 신호가 존재하므로 입력신호가 이미지 신호에 의해 영향을 받지 않는다. RF대역폭 100MHz 이내에 이미지 신호가 존재하지 않는 범위를 구한다면 클록 레이트가 2.4GHz인 상황에서 24분주한 데이터 레이트 이상인 조건만 만족하면 되는 것이다.

[0057] 즉, 도 8 (b)에 도시한 스펙트럼에서 알 수 있는 바와 같이, 0.6GHz의 데이터 레이트 입력을 4배 업샘플링(up-sampling)한 출력값과 같으며, 도 9에 도시한 바와 같이 업샘플링된 입출력 파형을 알 수 있다. 업샘플러(up-sampler)는 임펄스 응답이[1 0 0 0]인 필터와 같은 역할을 하여 출력 파형의 펄스폭이 업샘플러의 클럭 주기와 같게 된다. 그러나 업샘플러는 입력 데이터 레이트 보다 높은 주파수를 사용하는 것이 되므로 높은 단순한 리피터(repeater)를 사용하여도 시그마델타 변조기 출력에는 영향이 거의 없다. 즉 도 10에 도시한 리피터의 입출력 파형과 같이 입력과 출력의 변화가 시간영역의 파형에서는 보이지 않고, 주파수 영역에서 살펴보면 리피터의 영향을 알 수 있다. 도 11은 리피터를 사용할 때의 주파수 스펙트럼으로, 리피터는 임펄스 응답이 [1 1 1 1]인 필터를 사용한 것과 같으며, 싱크함수의 널이 fs/4, fs/2, fs3/4(=0.6GHz, 1.2GHz, 1.8GHz) 지점에 생기면서 이미지 신호를 감쇄시키고, 입력신호의 에지 부분에서 약간의 감쇄가 생기지만 보정 필터를 사용하면 원래의 스펙트럼으로 복원가능하며, 실제로 하드웨어로 구현할 때에는 별도의 하드웨어 추가 없이 0.6GHz의 데이터 레이트 입력을 바로 2.4GHz로 동작하는 시그마델타 변조기의 입력으로 사용할 수 있는 것이다.

[0058] 도 11은 0.6GHz의 데이터 레이트 입력을 받아 2.4GHz로 동작하는 시그마델타 변조기의 출력 스펙트럼이다. 시그

마델타 변조기에 의해 발생한 $1-z^{-1}$로 필터링된 잡음 성분이 출력되고 이미지 신호들은 필터링된 잡음 레벨에 묻혀 시그마델타 변조기의 입력으로 시그마델타와 동일한 샘플링 레이트의 신호를 입력으로 제공할 때와 동일한 결과를 얻을 수 있다.

[0059] 본 발명에 의한 병렬처리 시그마델타 변조기는 도 12의 우측에 도시한 바와 같이, X_{A1}~X_{D1}의 입력 X를 4개의 값을 병렬로 한 번에 입력받아 D, S, Y의 관계식을 통해 D_{A1}~D_{D1}, S_{A1}~S_{D1} Y_{A1}~Y_{D1} 값을 구하고, 이렇게 구해진 D, S, Y값도 병렬로 한 번에 처리함으로써 동작 속도를 병렬 패스(변조모듈)의 개수에 비례하여 낮출 수 있다. 즉, 병렬로 4개의 입력을 받아서 동시에 처리하므로 변조모듈에서의 동작 속도는 1/4로 낮추어도 종래의 직렬 시그마델타 변조기와 동일한 처리속도로 동작할 수 있다.

[0060] 도 4에는 4개의 단위 변조모듈(11~1n)로 이루어진 병렬처리 시그마델타 변조기로 각 개별 변조모듈은 뺄셈기, 적분기 및 양자화기로 구성된다.

[0061] 이러한 변조모듈들은 전술한 바와 같이 직렬 시그마델타 변조기와 동일한 성능을 낼 수 있으며, 이는 아래의 수학식 1 내지 6을 통해 확인할 수 있다.

[0062] 아래의 수학식 1 내지 수학식 3은 종래의 1차 직렬 시그마델타 변조기에서 도 12에 도시한 바와 같은 타이밍도와 같이 입력 X_{A1}~X_{D1}의 값을 순차적으로 입력받을 때, D_{A1}~D_{D1}, S_{A1}~S_{D1}, Y_{A1}~Y_{D1}의 값을 나타내는 것이고, 수학식 4 내지 수학식 6은 도 4에 도시한 바와 같이 구성된 본 발명에 의한 병렬처리 시그마델타 변조기에서 도 12와 같이, 입력 X_{A1}~X_{D1}의 값을 순차적으로 입력받을 때, D_{A1}~D_{D1}, S_{A1}~S_{D1}, Y_{A1}~Y_{D1}의 값을 나타낸 것으로 입력 X의 4개의 값을 병렬로 한 번에 받아 상기 변조모듈들의 델타블록(D), 시그마블록(S) 및 양자화블록(Y)에서 병렬로 한 번에 처리가 가능해진다. 따라서 병렬로 4개의 입력을 받아 동시에 처리하므로 샘플링 주파수를 1/4로 낮추어도 종래와 동일하게 변조 처리할 수 있게 된다.

[0063] 또한, 도 13에 도시한 시뮬레이션 출력 결과에서 알 수 있는 바와 같이, 종래의 1차 직렬 시그마델타 변조기와 본 발명의 병렬처리 시그마델타 변조기가 동일한 출력 특성을 갖는 것을 확인할 수 있다. (a)는 종래의 1차 직렬 시그마델타 변조기 출력 파형이고, (b)는 본 발명의 병렬처리 시그마델타 변조기의 출력 파형이고, (c)는 (a)와 (b)의 차이를 나타내는 그래프로 데이터를 비교하였을 때 오차가 0으로 출력특성이 같음을 알 수 있다.

수학식 1

$$D_{A1}=X_{A1}-Y_{A1}Yz^{-1}=X_1-Y_{A0}$$

$$D_{B1}=X_{B1}-Y_{B1}Yz^{-1}=X_1-Y_{B0}$$

$$D_{C1}=X_{C1}-Y_{C1}Yz^{-1}=X_1-Y_{C0}$$

[0064] $$D_{D1}=X_{D1}-Y_{D1}Yz^{-1}=X_1-Y_{D0}$$

수학식 2

$$S_{A1}=D_{A1}+S_{A1}Yz^{-1}=D_{A1}+S_{A0}$$

$$S_{B1}=D_{B1}+S_{B1}Yz^{-1}=D_{B1}+S_{B0}$$

$$S_{C1}=D_{C1}+S_{C1}Yz^{-1}=D_{C1}+S_{C0}$$

[0065] $$S_{D1}=D_{D1}+S_{D1}Yz^{-1}=D_{D1}+S_{D0}$$

수학식 3

$$Y_{A1}=Q_{A1}+S_{A1}$$

$$Y_{B1}=Q_{B1}+S_{B1}$$

$$Y_{C1}=Q_{C1}+S_{C1}$$

$$Y_{D1}=Q_{D1}+S_{D1}$$

[0066]

수학식 4

$$D_{A1}=X_{A1}-Y_{A1}Yz^{-1}=X_1-Y_{A0}$$

$$D_{B1}=X_{B1}-Y_{B1}Yz^{-1}=X_1-Y_{B0}$$

$$D_{C1}=X_{C1}-Y_{C1}Yz^{-1}=X_1-Y_{C0}$$

$$D_{D1}=X_{D1}-Y_{D1}Yz^{-1}=X_1-Y_{D0}$$

[0067]

수학식 5

$$S_{A1}=D_{A1}+S_{A1}Yz^{-1}=D_{A1}+S_{A0}$$

$$S_{B1}=D_{B1}+S_{B1}Yz^{-1}=D_{B1}+S_{B0}$$

$$S_{C1}=D_{C1}+S_{C1}Yz^{-1}=D_{C1}+S_{C0}$$

$$S_{D1}=D_{D1}+S_{D1}Yz^{-1}=D_{D1}+S_{D0}$$

[0068]

수학식 6

$$Y_{A1}=Q_{A1}+S_{A1}$$

$$Y_{B1}=Q_{B1}+S_{B1}$$

$$Y_{C1}=Q_{C1}+S_{C1}$$

$$Y_{D1}=Q_{D1}+S_{D1}$$

[0069]

[0070] 도 5는 본 발명에 의한 병렬처리 시그마델타 변조기의 제2실시예로서, 2차 병렬처리 시그마델타 변조기의 일례의 블록도이다. 그 원리는 도 4에 도시된 1차 병렬처리 시그마델타 변조기의 구성 원리와 유사하다. 2차 병렬처리 시그마델타 변조기는 크게 n개의 변조모듈(병렬 패스)(11~1n)로 구성되고(n2), 각 변조모듈은 2개의 뺄셈기, 2개의 적분기 및 양자화기로 구성된다. 상기 2차 병렬처리 시그마델타 변조기(1)는 잡음 전력 레벨을 1차 병렬처리 시그마델타 변조기(1)를 사용할 때보다 낮출 수 있는 장점이 있으나, 1차 병렬 시그마델타 변조기(1)에 비

해 약 2배로 하드웨어 복잡도가 증가한다는 단점이 있다.

[0071] 도 14는 종래의 2차 직렬 시그마델타 변조기와 본 발명에 의한 2차 병렬처리 시그마델타 변조기의 출력 파형으로 (a)는 2차 직렬 시그마델타 변조기의 출력 파형이고, (b)는 2차 병렬처리 시그마델타 변조기의 출력 파형이고, (c)는 (a)와 (b)의 차이를 나타내는 그래프로 데이터를 비교하였을 때 오차가 0임을 알 수 있다.

[0072] 또한 본 발명은 병렬처리 시그마델타 변조기(1)로부터 출력되는 병렬신호의 잡음을 제거하기 위해 디지털 필터부(2)를 구비하고 있으며, 병렬 FIR(Finite Impulse Response) 필터로 구현할 수 있다.

[0073] 본 발명에 따른 디지털 필터부(2)는 병렬 변형 FIR 필터를 사용함으로써 직렬 변형 FIR 필터보다 디지털 필터의 동작 속도의 범위가 더 확대시킬 수 있는 이점이 있다. 상기 병렬 변형 FIR 필터는 선형성을 높이고 상기 병렬처리 시그마델타 변조기(1)의 병렬 출력을 처리하기 위해 제1파트(PartA)와 제2파트(PartB)로 이루어진다. 도 20에 도시된 바와 같이, 병렬 변형 FIR 필터의 제1파트(PartA)는 4개의 신호를 병렬처리하기 위하여 4개의 제1필터부(2A1~2A4)로 구성되며, 각각의 제1필터부는 복수의 변조모듈의 출력(X_{A1}~X_{D1})을 입력신호로 받는 복수의 지연블록(Z^{-1}), 지연블록(Z^{-1})의 출력 중 하나를 선택하는 먹스(MUX), 상기 먹스(MUX)의 출력과 상기 복수의 변조모듈의 출력을 합산하는 덧셈기(AD) 및 상기 덧셈기(AD)의 출력을 나누기 2 연산을 하는 이득부(GN)로 구성된다. 지연 블록(Z^{-1})의 출력값을 선택하는 먹스(MUX)의 제어신호는 제1 파트 선택 신호(Sel_PartA_delay)란 변수이며, 도 6에 도시된 직렬 변형 FIR 필터의 a값에 해당된다. 예를 들어, a가 3이면, 도 6에 도시된 가변지연블록(Z^{-a})은 3 클록 지연시킨 신호를 출력한다. 도 20에 도시된 바와 같이, 각각의 제1필터부마다 지연블록의 개수, 먹스(MUX)에 인가되는 신호 및 덧셈기(AD)의 제2 입력신호가 상이하게 구성된다. 또한 상기 디지털 필터부(2)는 고속으로 동작하여야 하므로 나누기 2 기능을 하는 이득부(GN)는 하드웨어 구현 시 비트의 쉬프트 연산자로 구현할 수 있다.

[0074] 본 발명에 따른 디지털병렬처리부(2)를 구성하는 병렬 변형 FIR 필터의 제2파트(PartB)는 도 21에 도시된 바와 같이, 4개의 신호를 병렬처리하기 위하여 4개의 제2필터부(2B1~2B4)로 구성되며, 각각의 제2필터부는 상기 복수의 변조모듈의 출력(X_{A1}~X_{D1})을 입력신호로 받아 1 클록 지연시키는 복수의 지연블록(Z^{-1}), 상기 복수의 변조모듈의 출력(X_{A1}~X_{D1})을 입력신호로 받아 2 클록 지연시키는 복수의 지연블록(Z^{-2}), 상기 복수의 변조모듈의 출력(X_{A1}~X_{D1})과 상기 복수의 지연블록들의 출력값 중 하나를 선택하는 먹스(MUX) 및 덧셈기(AD)를 포함하여 구성된다. 지연 블록(Z^{-1})과 지연 블록(Z^{-2})의 출력값을 선택하는 먹스(MUX)의 제어신호는 제2 파트 선택 신호(Sel_PartB_delay)란 변수이며, 도 6에 도시된 직렬 변형 FIR 필터에서 a+b 값에 해당된다. 예를 들어, a가 3이고, b가 2이면, 도 6에 도시된 필터의 제2파트의 입력은 2개의 가변지연블록(Z^{-a}+Z^{-b})을 거쳐 직렬 변형 FIR 필터 입력신호로부터 5 클럭 지연된 신호가 된다.

[0075] 도 22는 도 20과 도 21에 도시된 병렬 변형 FIR 필터의 4개의 제1필터부의 출력신호들(IMF_{PARTA}[0]~MF_{PARTA}[3])과 4개의 제2필터부에서의 출력신호들(IMF_{PARTB}[0]~MF_{PARTB}[3])의 동작 타이밍 다이어그램이며, 상기 복수의 변조모듈로부터 출력된 병렬신호를 병렬로 동시에 처리하고 있음을 보여준다.

[0076] 도 23의 (a)는 직렬 변형 FIR 필터의 제1파트의 출력 파형이고 (b)는 병렬 변형 FIR 필터의 제1 파트의 출력 파형이며, (c)는 (a)와 (b)의 오차를 나타내는 그래프이고 10,000개 데이터 비교 시 오차는 0이므로 동일한 결과를 출력함을 알 수 있다.

[0077] 도 24의 (a)는 직렬 변형 FIR 필터의 출력 스펙트럼이고 (b)는 병렬 변형 FIR 필터의 출력 스펙트럼이며, 0~1.2GHz에서 출력 스펙트럼이 동일함을 알 수 있다.

[0078] 도 25와 도 26은 직렬 변형 FIR 필터의 제2파트와 병렬 변형 FIR 필터의 제2 파트의 출력 파형과 출력 스펙트럼이며, 출력 파형이 동일하며 0~1.2GHz에서 출력 스펙트럼이 동일함을 알 수 있다.

[0079] 도 27과 도 28은 직렬 변형 FIR 필터와 본 발명에 의한 병렬 변형 FIR 필터에서의 제1파트와 제2파트의 출력을 합산한 출력 파형과 출력 스펙트럼이며, 직렬 변형 FIR 필터와 본 발명에 의한 병렬 변형 FIR 필터에서의 출력 특성이 동등함을 알 수 있다. 실제 병렬처리 시그마델타 변조기를 하드웨어로 구현할 때는 병렬 변형 FIR 필터의 제1파트와 제2파트의 출력을 상기 병렬 변형 FIR 필터 이후에 위치하는 스위칭 트랜지스터와 트랜스포머 블록에서 합산하나 도 27과 도 28은 상기 디지털 필터부(2)가 제대로 동작하는 지 확인하기 위해 제1파트와 제2파

트의 출력을 상기 병렬 변형 FIR 필터 안에서 합산하여 시뮬레이션한 결과이나 상기 병렬 변형 FIR 필터 이후에 위치하는 스위칭 트랜지스터와 트랜스포머 블록에서 합산해도 상기 직렬 변형 FIR 필터와 동등한 출력 특성을 예상할 수 있다.

[0080] 이와 같이, 본 발명에 따른 디지털 병렬 필터부(2)는 종래의 직렬 변형 FIR 필터와 동등한 출력 특성임에도 복수개의 제1필터부와 복수개의 제2필터부에 의해 잡음 제거를 동시에 처리함으로써(예를 들면 4개의 신호를 한번에 잡음처리) 샘플링 주파수를 낮출 수 있게 된다.

[0081] 도 16은 도 3에 도시된 본 발명에 따른 병렬처리 시그마델타 변조기의 제2 실시예로서, 병렬처리 시그마델타 변조기(1)는 N개의 변조모듈(도 4 및 도 5에 도시)을 구비하여 N개의 병렬 출력신호(IN_1~IN_N)를 출력하며, 디지털 필터부(2)는 도 17에 도시된 바와 같은 X개의 스테이지 블록(21~2X)을 구비하여 각 스테이지 블록에서 병렬 필터링하여 잡음을 제거한 X개의 출력신호(Out1~OutX)를 출력한다.

[0082] 도 17은 본 발명에 따른 디지털 필터부(2)의 또 다른 실시예를 도시한 블록도로서, 제1 스테이지 블록(21) 내지 제X 스테이지 블록(2X)으로 구성된다. 각 스테이지 블록은 상기 병렬처리 시그마델타 변조기(1)로부터 출력되는 병렬 출력들(IN_1~IN_N)을 입력신호로 받아 잡음을 제거한 신호를 출력한다. 각 스테이지 블록의 상세 구성은 도 18에 도시된 바와 같이, 각 변조모듈의 출력(IN_1~IN_N)을 각각의 입력신호로 받는 복수의 지연블록(delay A)과 각 지연블록(delay A)과 직렬로 연결된 복수의 하위 병렬 필터부(2Y21,2Y22,...,2Y2N) 및 복수의 하위 병렬 필터부의 병렬 출력들(StageY_Out1, StageY_Out2,...,StageY_OutN)을 직렬로 변환시키는 병직렬변환기(2Y3)로 구성된다.

[0083] 도 19는 도 18에 도시된 하위 병렬 필터부(2Y2M)의 일 실시예로서, 각 변조모듈의 출력(IN_{i1}~IN_{iN})을 각각의 입력신호로 받는 복수의 지연블록(delayB)과 상기 지연블록의 출력과 M번째 변조모듈의 출력(IN_M)을 입력신호로 받아 선택하여 출력하는 먹스(MUX), 상기 M번째 변조모듈의 출력(IN_M)과 상기 먹스(MUX)의 출력을 입력신호로 받는 복수의 이득부(2Y2M21, 2Y2M23)와 상기 복수의 이득부(2Y2M21, 2Y2M23)의 출력을 합산하는 덧셈기(2Y2M24)로 구성된다. 먹스(MUX)를 제어하는 신호는 Y번째 스테이지 제어 신호(StageY-delay)이다.

[0084] 각 지연블록(delayB)의 지연 시간은 수학식 7과 같다.

수학식 7

[0085] $$delayB = z^{-(ceil\{ (StageY_Delay - (M-1)) / N \})}$$

[0086] 여기서, ceil함수는 소수점 이하를 버리거나 올리는 함수이다.

[0087] 각 지연블록(delayB)의 입력신호는 수학식 8과 같다.

수학식 8

[0088] $$IN_{iM} = mod(M - StageY_Delay + N, N)$$

[0089] 상기 먹스(MUX)는 Y번째 스테이지 제어 신호(StageY-delay)에 응답하여 N-1개의 지연블록의 출력신호와 상기 Y번째 스테이지 블록의 지연블록의 제M 출력신호를 입력신호로 하며, 이 중 상기 Y번째 스테이지 제어 신호(StageY-delay)에 따라 하나의 입력신호를 선택하여 출력한다. 상기 하위 병렬 필터부(2Y2M)의 출력은 덧셈기(2Y2M24)에서 제1이득부(2Y2M21)의 출력과 제2 이득부(2Y2M23)의 출력이 합해진 신호(StageY_OutM)이다. 도 18을 참조하면, 상기 하위 병렬 필터부들로부터의 출력신호들을 병직렬 변환기에 의해 Y번째 직렬신호(OutY)를 출력한다.

[0090] 상기와 같이 본 발명은 디지털 필터부(2)에 의해 디지털 병렬 필터링의 정확도를 높이고, 상기 병렬처리 시그마델타 변조기(1)에서 발생된 잡음을 제거한다. 또한 지연 블록에서의 지연 탭수의 조절이 가능하게 하여 필터의 대역폭을 자유롭게 조절 가능하게 하여 다중 모드를 지원할 수 있다.

[0091] 도 6은 본 발명에 따른 디지털 필터부(2)의 일 실시예로서 직렬 변형 FIR 필터를 도시한 것이다. 도 6에 도시된 직렬 변형 FIR 필터는 제1파트(P1)와 제2파트(P2)로 이루어지고, 각 파트는 복수의 가변지연블록(VD), 덧셈기(AD) 및 이득부(GN)로 구성된다. 이렇게 구성된 디지털 필터부(2)는 종래의 직렬 FIR 필터가 가변지연블록의 출력값 모두 더한 값을 출력하는 데 비하여, 제1파트(P1)의 덧셈기(AD) 출력과 제2파트(P2)의 덧셈기(AD)의 출력을 각각 내보내는 방식으로 변경함으로써, 후속되는 스위칭 트랜지스터에서 신호의 선형성을 높였다. 도 6에 도시된 직렬 변형 FIR 필터의 입력은 +1, -1로 구성된 값으로 제1파트와 제2파트의 덧셈기에서 발생할 수 있는 출력값은 +1, 0, -1인 신호들이고, 이 신호들은 크기가 1 또는 0인 신호들로 후속되는 스위칭 트랜지스터의 입력 구동신호로 사용될 수 있다. 따라서 종래의 직렬 FIR 필터가 +2, +1, 0, -1, -2의 5가지 레벨의 출력을 가짐에 따라 스위칭 트랜지스터의 개수가 증가하거나 크기가 다른 스위칭 트랜지스터들을 사용함에 의해 발생할 수 있는 출력신호의 선형성이 깨지는 것을 방지할 수 있는 것이다.

[0092] 상기 디지털 필터부(2)로부터 출력되는 병렬신호는 다시 직렬신호로 변환되어야 하며 이를 위해 본 발명은 도 3에 도시된 바와 같이 상기 병렬-직렬변환부(3)를 구비하고 있다. 상기 병렬-직렬변환부(3)는 도 15에 도시한 바와 같이, 디지털 필터부(2)의 병렬 출력값을 직렬로 변환시키는 역할을 한다. 병렬신호를 직렬로 변환하는 병렬 직렬변환기 중 어느 하나를 선택하여 사용할 수 있는 것으로 이에 대한 상세한 설명은 생략한다.

[0093] 한편, 상기와 같이 구성된 본 발명에 의한 병렬처리 시그마델타 변조기 설계방법은 상기의 구성에서 이미 설명되었으나 이를 약술하면 다음과 같다.

[0094] 먼저, 델타블록(1d), 시그마블록(1s) 및 양자화블록(1q)으로 구성된 복수의 변조모듈(11~1n)을 병렬로 배열한다.

[0095] 이 후, 상기 복수의 변조모듈(11~1n)의 후단에 각 변조모듈(11~1n)로부터 출력되는 병렬신호들로부터 잡음을 제거하는 복수의 필터(21~2n)로 이루어진 디지털 필터부(2), 디지털 필터부(2)를 통과한 병렬신호를 직렬신호로 변환하는 병렬-직렬변환부(3)를 배열한다.

[0096] 이 후, 배열된 복수의 변조모듈(11~1n), 디지털 필터부(2) 및 병렬-직렬변환부(3)를 연결하여 연결하되, 델타블록(1d)에는 최초 입력신호와 이전 열의 양자화블록(1q)의 출력신호를 입력신호로 받을 수 있게 연결하고, 시그마블록(1s)에는 델타블록의 출력신호와 이전 열의 시그마블록(1s)의 출력을 입력신호로 받을 수 있게 연결하며, 디지털 필터부(2)에는 각 양자화블록(1q)의 출력신호가 입력되게 연결하고, 디지털 필터부(2)의 병렬 출력은 하나의 병렬-직렬변환부(3)로 입력되게 연결한다.

[0097] 또한, 각 변조모듈(11~1n)의 시그마블록(1s)과 양자화블록(1q) 사이에는 최소한 하나의 하위 델타시그마블록(1ds')을 더 배열할 수 있고, 이 하위델타시그마블록(1ds')은 델타블록과 시그마블록으로 이루어진다. 하위 델타시그마블록(1ds')의 각 델타블록에는 상위 델타시그마블록의 시그마블록 출력과 이전 열의 양자화블록의 출력신호를 입력신호로 받을 수 있게 연결하고, 각 시그마블록에는 각 열의 델타블록의 출력신호와 이전 열의 시그마블록의 출력을 입력신호로 받을 수 있게 연결하며, 최종 하위 델타시그마블록의 출력이 디지털 필터부로 입력되게 연결하고, 복수의 디지털 필터부의 출력은 하나의 병렬-직렬변환부로 입력되게 연결된다.

[0098] 또한 상기와 같이 구성된 병렬처리 시그마델타 변조기를 이용한 신호처리 방법을 설명하면 다음과 같다.

[0099] 먼저, 변조 대상 입력신호를 병렬 연결된 변조모듈의 수만큼 분할하여 상기 복수의 변조모듈에 입력한다.

[0100] 이 후, 각 변조모듈(11~1n)에서 입력과 출력의 오차를 발생시키고 신호를 누적하는 델타시그마 변조한다.

[0101] 델타시그마 변조단계에서 각 델타블록의 입력신호는 변조 대상 입력신호와 이전 열의 양자화블록의 출력신호이고, 각 시그마블록의 입력신호는 각 델타블록의 출력신호와 이전 열의 시그마블록의 출력신호이다.

[0102] 또한, 델타시그마 변조단계는 최소 2회 이상 수행될 수 있고, 최초 델타시그마 변조단계에서 각 델타블록의 입력신호는 변조 대상 입력신호와 이전 열의 양자화블록의 출력신호이고, 각 시그마블록의 입력신호는 각 델타블록의 출력신호와 이전 열의 시그마블록의 출력신호며, 차 순위 델타시그마 변조단계에서 각 델타블록의 입력신호는 상위 델타시그마블록의 시그마블록의 출력신호와 이전 열의 양자화블록의 출력신호이고, 각 시그마블록의 입력신호는 각 델타블록의 출력신호와 이전 열의 시그마블록의 출력신호이다.

[0103] 이 후, 변조된 신호를 양자화시킨다.

[0104] 이 후, 양자화된 각각의 신호를 수신하여 병렬 변형 FIR 필터에서 각 신호로부터 잡음을 동시에 제거한다.

[0105] 이 후, 잡음이 제거된 복수의 병렬 변조 신호를 직렬신호로 변환한다.

[0106] 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0107] 1: 병렬처리 시그마델타 변조기

11: 변조모듈

1d: 델타블록

1s: 시그마블록

1q: 양자화블록

1f: 피드백블록

1ds: 델타시그마블록

1ds: 하위 델타시그마블록

2: 디지털 필터부

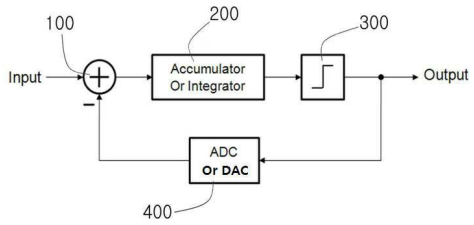
21: 1번째 스테이지 블록

2X: X번째 스테이지 블록

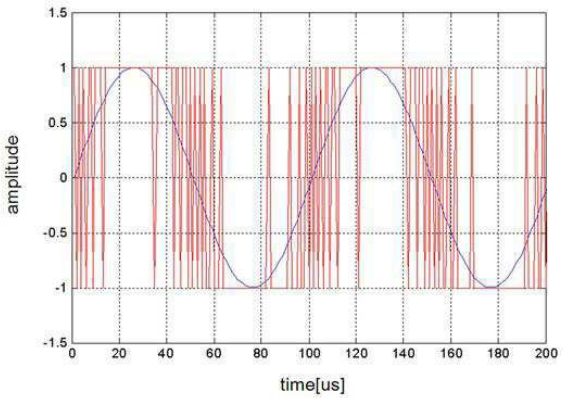
3: 병렬-직렬변환부

도면

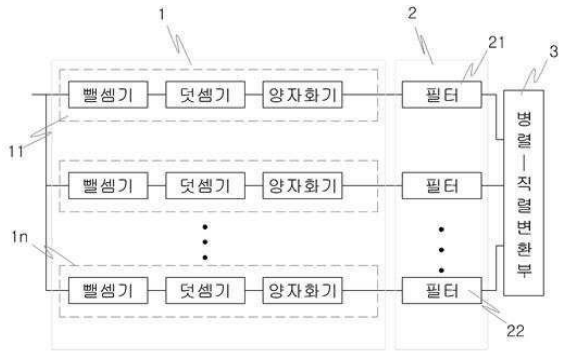
도면1



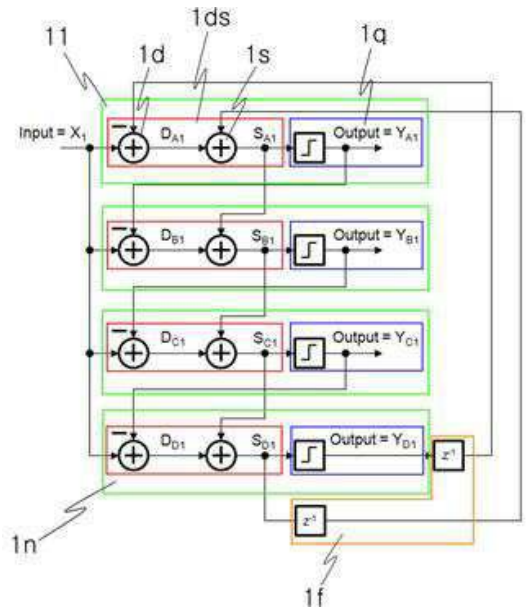
도면2



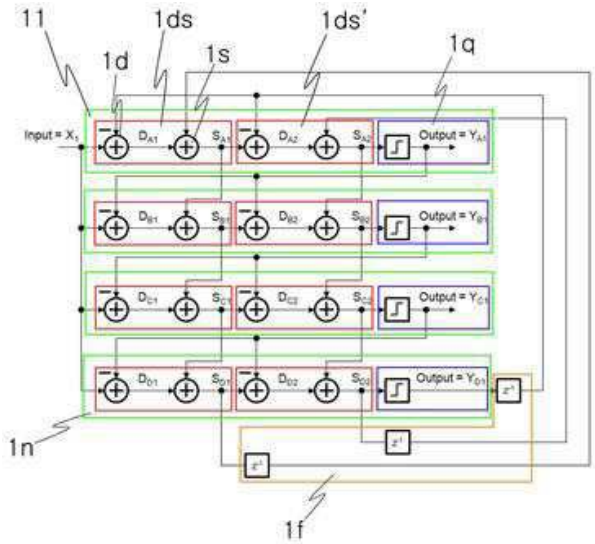
도면3


1
2
21
3
뺄셈기
덧셈기
양자화기
필터
병렬-직렬변환부
11
1n
22

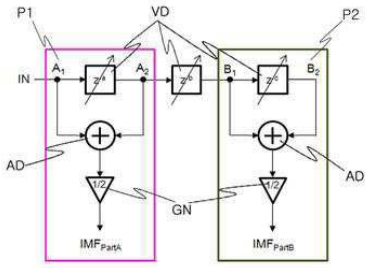
도면4


11
1d
1ds
1s
1q
Input = X1
Output = YA1
Output = YB1
Output = YC1
Output = YD1
1n
1f

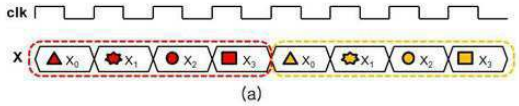
도면5

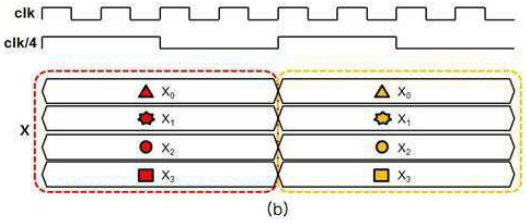

11
1d
1ds
1s
1ds'
1q
Input = X1
1n
1f

도면6

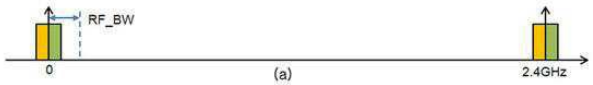


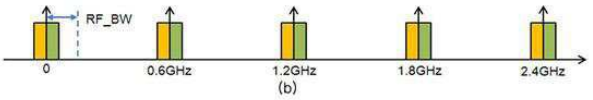
도면7



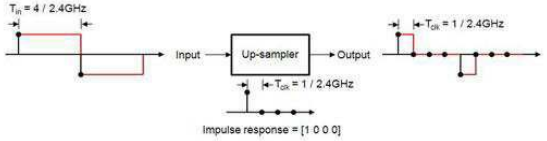


도면8

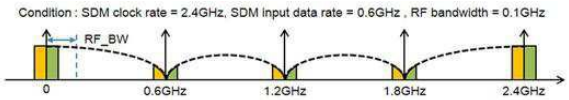




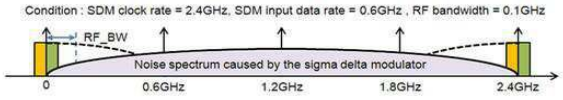
도면9



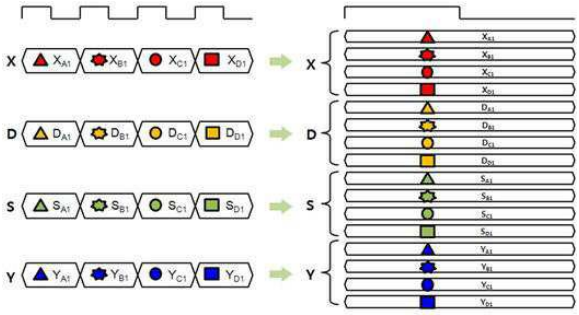
도면10



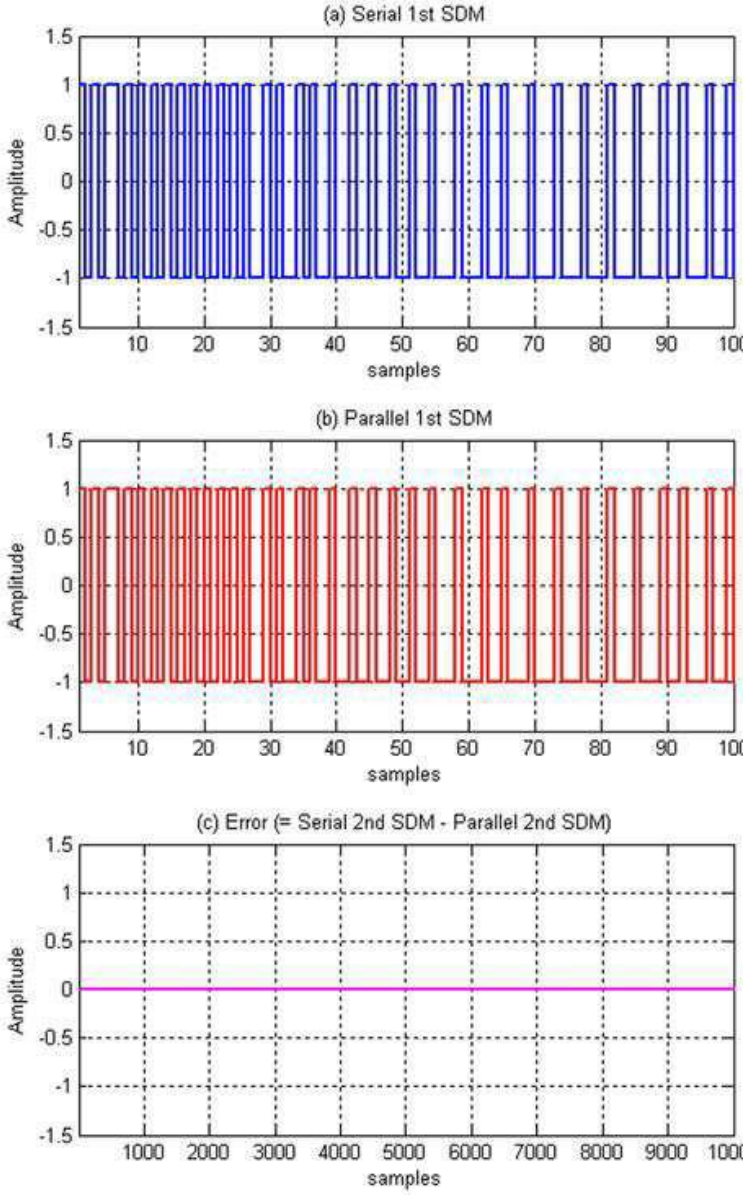
도면11


Condition : SDM clock rate = 2.4GHz, SDM input data rate = 0.6GHz , RF bandwidth = 0.1GHz
RF_BW
Noise spectrum caused by the sigma delta modulator
0
0.6GHz
1.2GHz
1.8GHz
2.4GHz

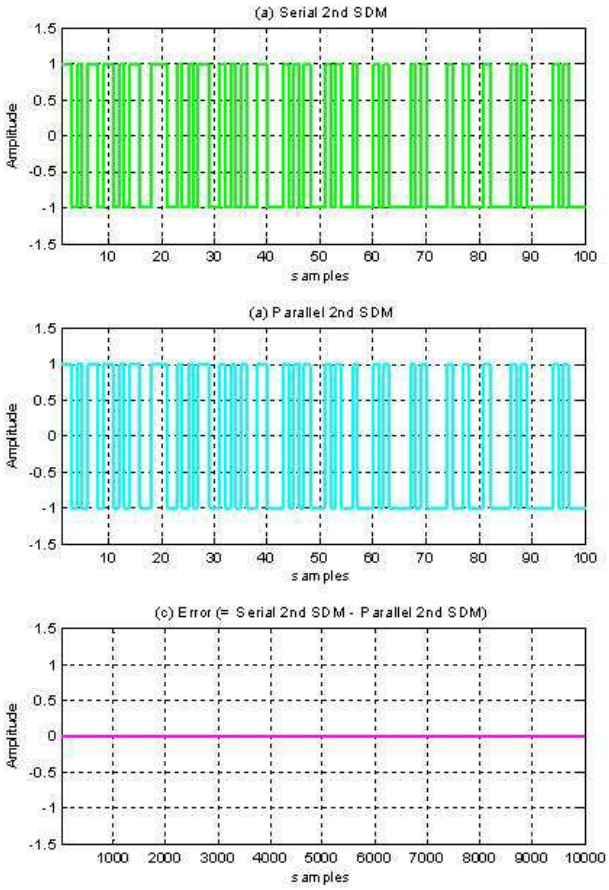
도면12


X
D
S
Y

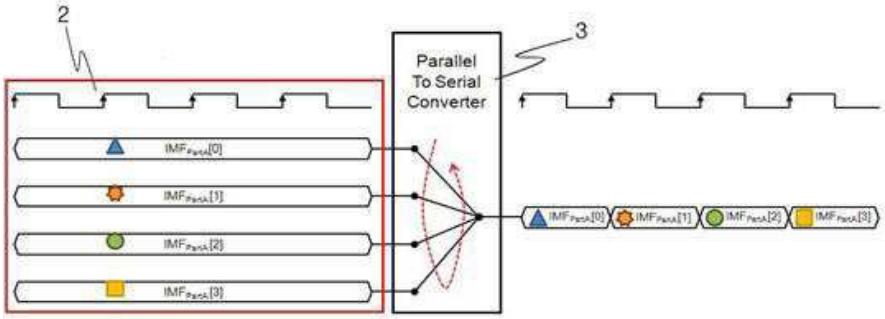
도면13


(a) Serial 1st SDM
Amplitude
samples
(b) Parallel 1st SDM
Amplitude
samples
(c) Error (= Serial 2nd SDM - Parallel 2nd SDM)
Amplitude
samples

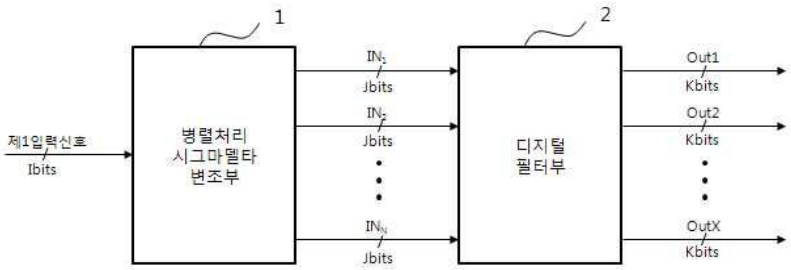
도면14



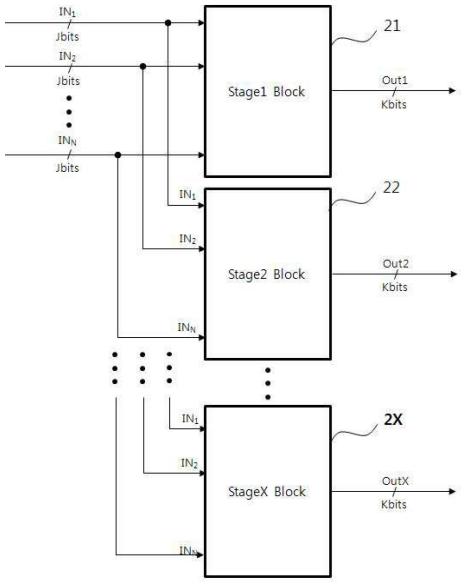
도면15



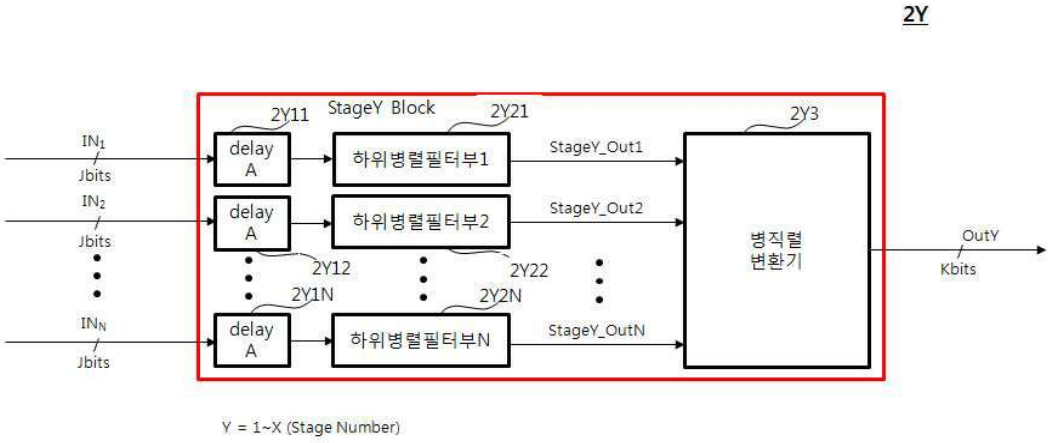
도면16



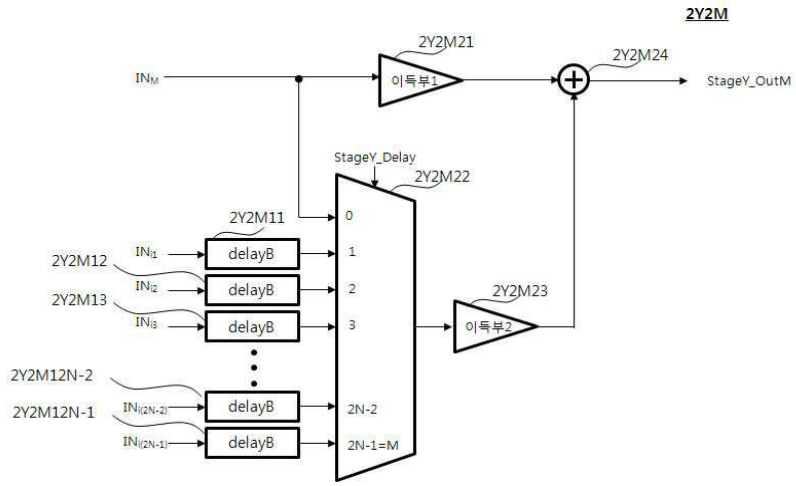
도면17



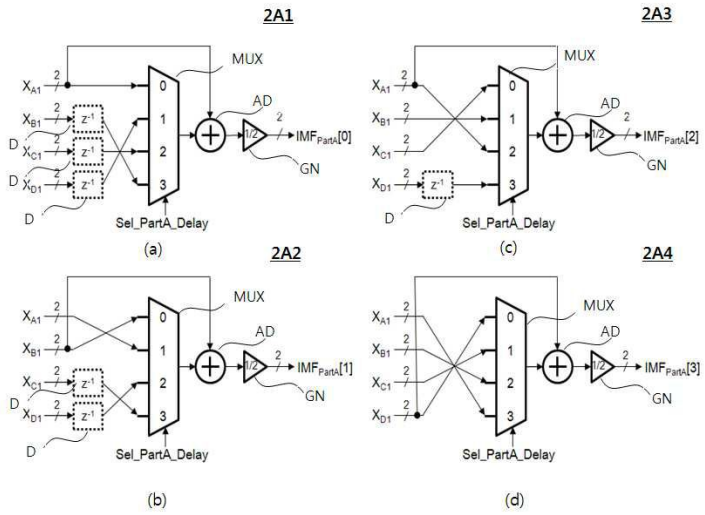
도면18



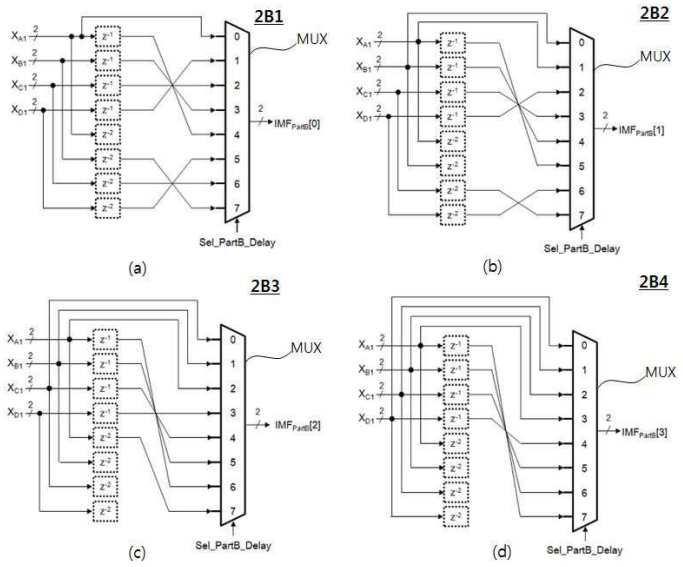
도면19



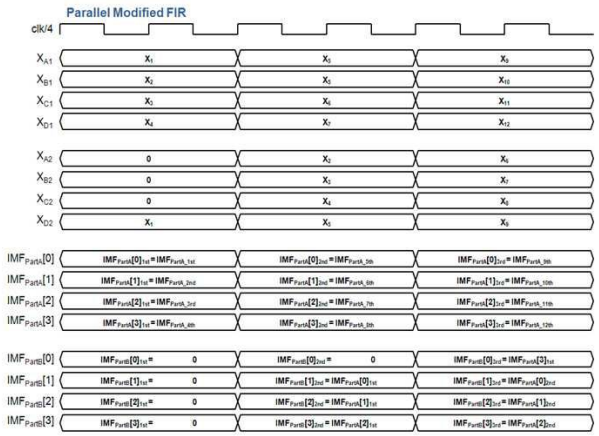
도면20



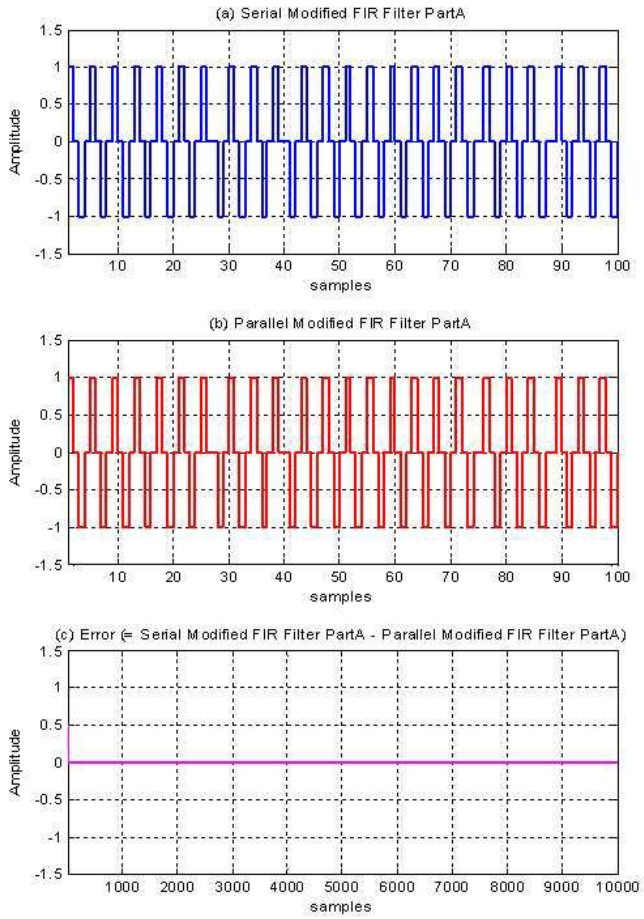
도면21



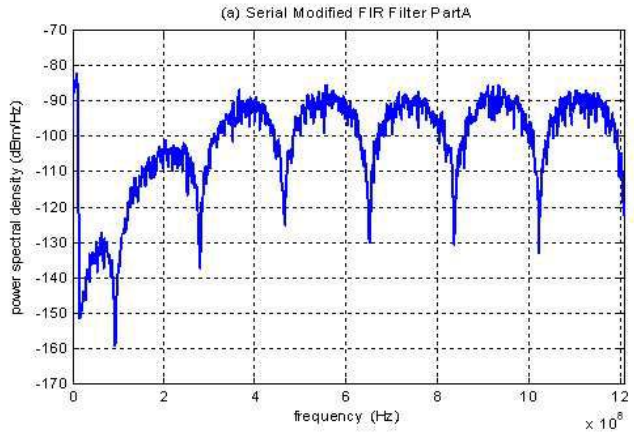
도면22

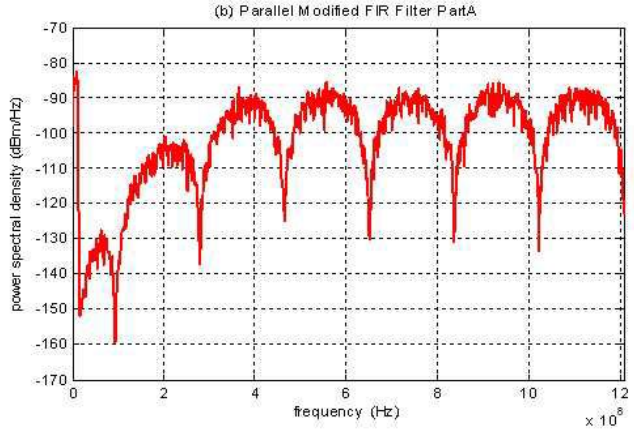


도면23

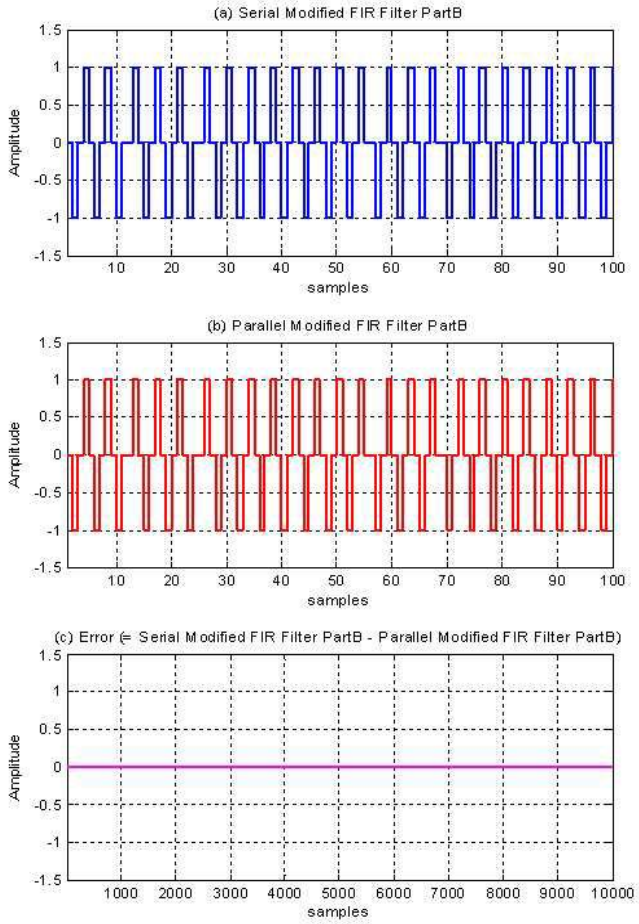

(a) Serial Modified FIR Filter PartA
Amplitude
samples
(b) Parallel Modified FIR Filter PartA
Amplitude
samples
(c) Error (= Serial Modified FIR Filter PartA - Parallel Modified FIR Filter PartA)
Amplitude
samples

도면24

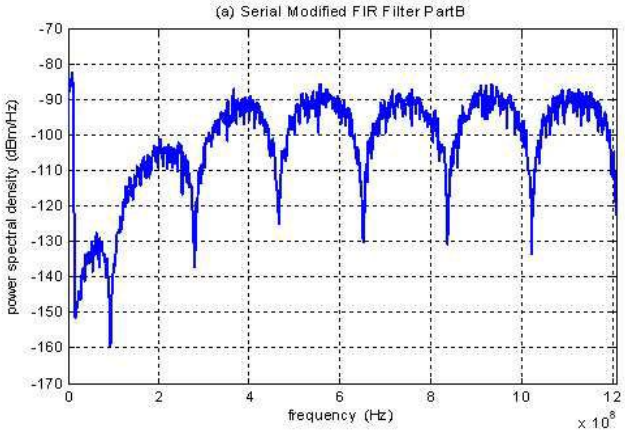

(a) Serial Modified FIR Filter PartA
power spectral density (dBm/Hz)
-70
-80
-90
-100
-110
-120
-130
-140
-150
-160
-170
0
2
4
6
8
10
12
frequency (Hz)
x 10^8

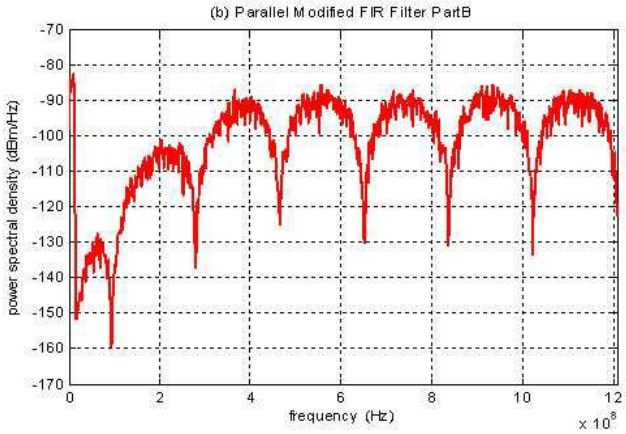

(b) Parallel Modified FIR Filter PartA
power spectral density (dBm/Hz)
-70
-80
-90
-100
-110
-120
-130
-140
-150
-160
-170
0
2
4
6
8
10
12
frequency (Hz)
x 10^8

도면25

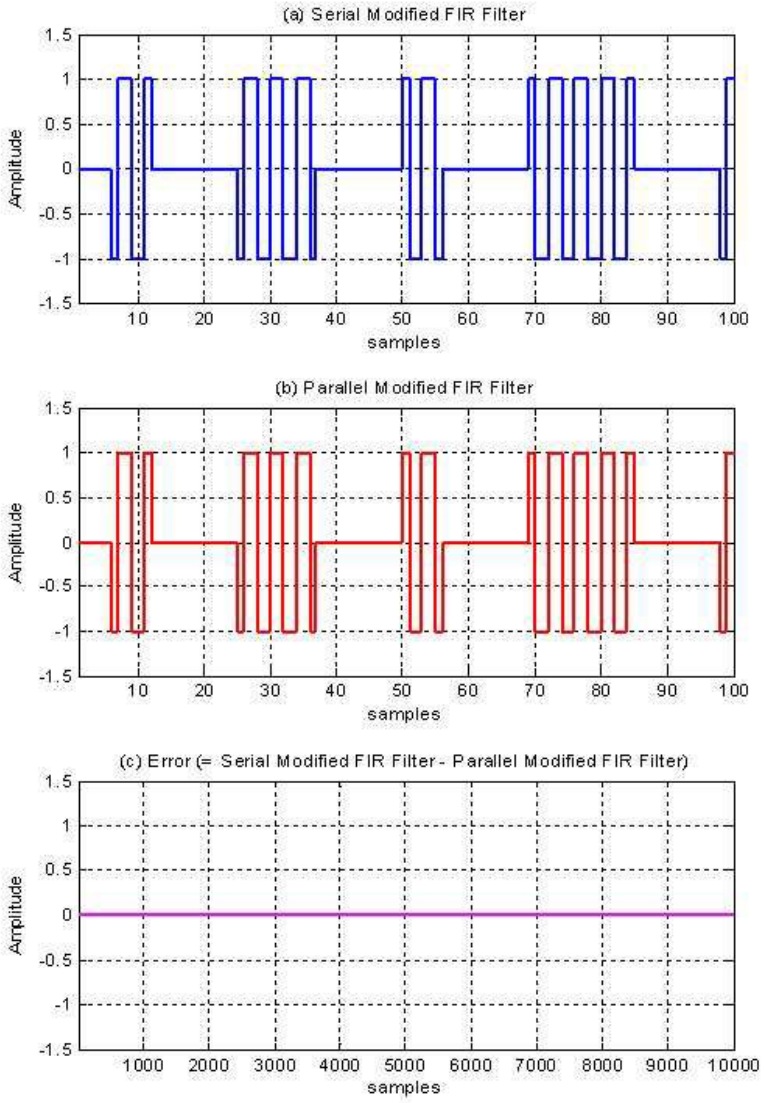

(a) Serial Modified FIR Filter PartB
Amplitude
samples
(b) Parallel Modified FIR Filter PartB
Amplitude
samples
(c) Error (= Serial Modified FIR Filter PartB - Parallel Modified FIR Filter PartB)
Amplitude
samples

도면26

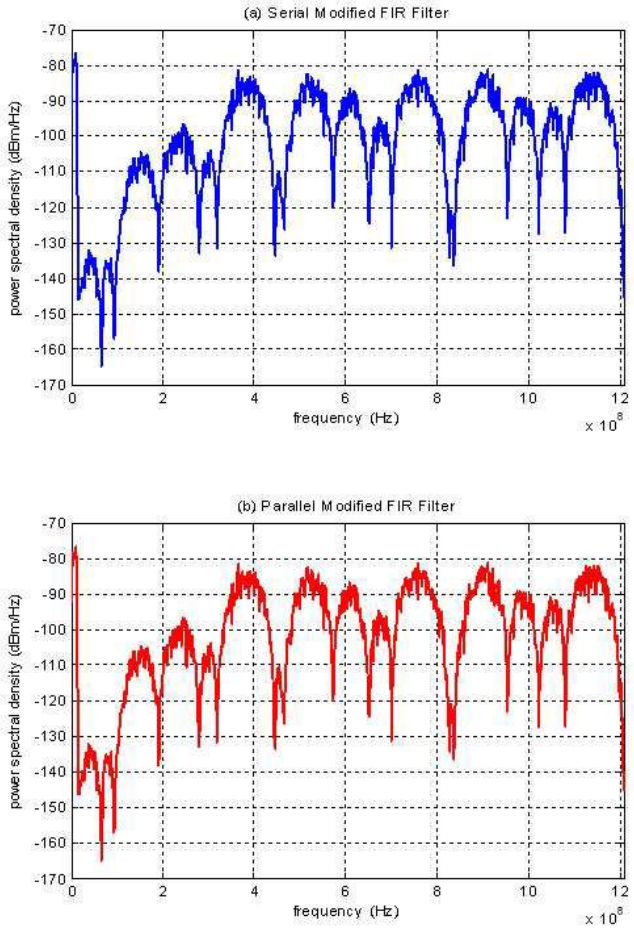

(a) Serial Modified FIR Filter PartB
power spectral density (dBm/Hz)
-70
-80
-90
-100
-110
-120
-130
-140
-150
-160
-170
0
2
4
6
8
10
12
frequency (Hz)
x 10^8


(b) Parallel Modified FIR Filter PartB
power spectral density (dBm/Hz)
-70
-80
-90
-100
-110
-120
-130
-140
-150
-160
-170
0
2
4
6
8
10
12
frequency (Hz)
x 10^8

도면27


(a) Serial Modified FIR Filter
Amplitude
samples
(b) Parallel Modified FIR Filter
Amplitude
samples
(c) Error (= Serial Modified FIR Filter - Parallel Modified FIR Filter)
Amplitude
samples

도면28


(a) Serial Modified FIR Filter
power spectral density (dBm/Hz)
frequency (Hz)
x 10^8
(b) Parallel Modified FIR Filter
power spectral density (dBm/Hz)
frequency (Hz)
x 10^8