



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년10월17일

(11) 등록번호 10-2033324

(24) 등록일자 2019년10월11일

(51) 국제특허분류(Int. Cl.)
H01L 29/739 (2006.01) H01L 29/73 (2006.01)(52) CPC특허분류
H01L 29/7391 (2013.01)
H01L 29/7311 (2013.01)

(21) 출원번호 10-2018-0026269

(22) 출원일자 2018년03월06일

심사청구일자 2018년03월06일

(65) 공개번호 10-2019-0105768

(43) 공개일자 2019년09월18일

(56) 선행기술조사문헌

KR1020160121729 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한경대학교 산학협력단

경기도 안성시 중앙로 327(석정동)

(72) 발명자

유윤섭

경기도 성남시 분당구 분당로 212, 203동 1403호
(분당동, 샛별마을동성아파트)

이주찬

경기도 안산시 상록구 충장로 198, 201동 1403호
(본오동, 태영아파트)

안태준

강원도 속초시 밤골5길 5, 설악유통(교동)

(74) 대리인

전중학, 이용하

전체 청구항 수 : 총 2 항

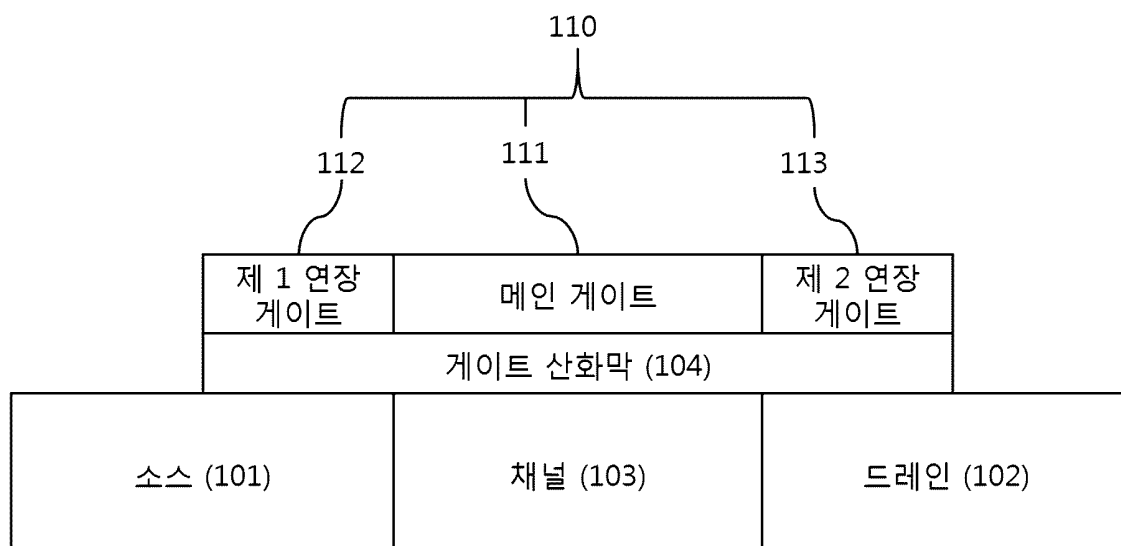
심사관 : 안경민

(54) 발명의 명칭 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터

(57) 요약

본 발명은 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터에 관한 것으로서, 더욱 상세히는 터널링 전계효과 트랜지스터의 소스 영역과 드레인 영역 각각에 오버랩된 연장 게이트 구조를 가지도록 구성되어 라인 터널링과 포인트 터널링으로 인한 험프 현상을 제거한 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터에 관한 것이다. 본 발명에 따른 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터는 단일 게이트 구조의 TFET와 달리 소스와 드레인의 상부에 연장되어 소스와 드레인 각각의 일부에 오버랩된 연장 게이트의 구조를 가지며, 이러한 연장 게이트의 구조를 통해 역방향성 전류를 감소시키면서 라인터널링이 활성화되어 험프 현상을 제거할 수 있을 뿐만 아니라 높은 성능을 보장하는 효과가 있다.

대표도 - 도1



(52) CPC특허분류

H01L 29/7836 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10054888

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원, 한국반도체연구조합

연구사업명 전자정보디바이스산업원천기술개발사업(반도체공정장비), 미래반도체소자원천기술개발사업

연구과제명 회로설계를 위한 터널 트랜지스터 모델링 및 시뮬레이션

기 여 율 1/1

주관기관 한경대학교 산학협력단

연구기간 2015.09.01 ~ 2020.05.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

터널링 전계 효과 트랜지스터에 있어서,

소스;

드레인;

상기 소스와 드레인 사이의 채널; 및

상기 소스의 영역 상부 중 일부에 오버랩되어 형성된 제 1 연장 게이트와 상기 드레인의 영역 상부 중 일부에 오버랩되어 형성된 제 2 연장 게이트 및 상기 채널의 영역 상부에 형성되는 메인 게이트를 포함하는 복수의 게이트로 이루어진 게이트부를 포함하되,

상기 게이트부를 상기 소스와 드레인 및 채널과 절연시키기 위해 HfO_2 로 구성된 게이트 산화막을 더 포함하며,

상기 소스에 오버랩되어 형성된 상기 제 1 연장 게이트는 상기 채널의 상부에 형성된 상기 메인 게이트의 일함수보다 낮은 일함수를 가지도록 구성되어 라인 터널링이 포인트 터널링에 앞서 발생되도록 하여 험프 현상을 방지하도록 구성되고,

상기 드레인에 오버랩되어 형성된 제 2 연장 게이트가 채널과 드레인 사이의 누설 전류를 감소시키고, 채널과 드레인의 에너지가 함께 상승하도록 하여 역방향성 전류가 감소되도록 제 2 연장 게이트의 일함수를 상기 메인 게이트의 일함수와 달리 구성하는 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계 효과 트랜지스터.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

청구항 1에 있어서,

상기 제 1 및 제 2 연장 게이트는 상기 메인 게이트와 별도로 독립적으로 구성되거나, 상기 메인 게이트에 연장되어 상기 메인 게이트와 함께 단일 게이트로 구성되는 것을 특징으로 하는 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계 효과 트랜지스터.

발명의 설명

기술분야

- [0001] 본 발명은 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터에 관한 것으로서, 더욱 상세히는 터널링 전계효과 트랜지스터의 소스 영역과 드레인 영역 각각에 오버랩된 연장 게이트 구조를 가지도록 구성되어 라인 터널링과 포인트 터널링으로 인한 험프 현상을 제거한 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터에 관한 것이다.

배경기술

- [0002] 1947년 쇼클리에 의해 세계 최초의 트랜지스터가 제작된 이후 무어의 법칙에 따라 매년 집적회로(Integrated-Circuit; IC)의 성능은 증가하였으며 수십 나노 단위의 소형화를 통해 집적 밀도는 높아지는 비약한 발전을 이루게 되었다. 그러나 집적 밀도의 증가는 소모 전력 또한 증가하는 결과를 초래하게 되었고 안정적인 소형화를 위해 저전력 소자 개발의 필요성이 높아지고 있다. 저전력 소자란 공급전압과 게이트전압이 낮은 상태에서 구동되는 소자를 말한다.
- [0003] 저전압 상태에서 구동전압을 높이기 위해 문턱전압 이하 기울기(subthreshold swing: SS)는 낮은 특성이 요구되는데, 현재 보편적으로 사용되는 MOSFET은 물리적 특성에 의해 SS가 60 mV/dec의 한계를 극복할 수 없다. 게다가 MOSFET은 단채널효과(short channel effect)로 인한 DIBL(drain induced barrier lowering) 및 누설전류(leakage current) 증가로 소형화에 많은 어려움을 겪고 있다.
- [0004] 이를 극복하기 위해 양자역학적 현상인 가전자대에서 전도대로 이동하는 터널링현상(band to band tunneling: BTBT)을 활용한 터널링 전계 효과 트랜지스터(tunneling field-effect transistor: TFET)에 대한 연구가 활발히 진행되고 있다. 터널링이란 에너지를 가진 가전자대의 전자가 전도대로 이동하는 현상을 말하며 TFET에서 터널링은 라인터널링(line tunneling)과 포인트 터널링(point tunneling)으로 나눌 수 있다.
- [0005] 포인트 터널링은 소스와 채널 또는 채널과 드레인의 접합면에서 게이트 전계에 의해 채널영역의 에너지 밴드가 상승 또는 하강하면서 일어난다. 라인 터널링은 게이트 산화막-소스 접합면에서 게이트 전계에 의해 가전자대와 전도대가 갈라지는 상태가 되면 발생하며 SS와 구동전류면에서 포인트 터널링보다 높은 효율을 나타낸다.
- [0006] TFET에 의한 연구는 이미 SS와 차단전류(off-current)에서 MOSFET보다 더 높은 성능이 확인되었다. 하지만 구동전류가 낮고 채널의 길이 10nm 이하에서 단채널효과로 인한 DIBT가 나타나는 단점으로 현재 실용화 되는데 많은 어려움이 있다. 이에 터널링 현상을 이용한 L-Shape, U-Shape와 같은 TFET 구조 또는 실리콘(Silicon)외 다른 채널 물질을 사용한 이종(hetero) TFET(H- TFET), 2차원 TFET(2D-TFET) 등의 연구가 진행되고 있다.
- [0007] 기존 TFET의 게이트는 채널 위에 있는 구조로서, 이 구조는 포인트 터널링과 라인 터널링이 공존하고 포인트 터널링이 라인 터널링보다 먼저 발생하는 험프(hump)현상이 존재한다.
- [0008] 따라서, 라인 터널링이 먼저 발생해서 험프현상을 제거하는 구조가 필요하다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 한국등록특허 제10-1058370호

발명의 내용

해결하려는 과제

- [0010] 본 발명은 기존 TFET의 게이트를 소스와 드레인 영역으로 오버랩한 구조에서 소스 영역의 게이트와 드레인 영역의 게이트, 채널 영역의 게이트에 다른 물질을 사용한 소스와 드레인 각각의 영역에 오버랩된 이중물질 게이트 TFET를 제안한다.

과제의 해결 수단

- [0011] 본 발명의 실시예에 따른 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계 효과 트랜지스터는, 소스와, 드레인과, 상기 소스와 드레인 사이의 채널 및 상기 소스의 영역 상부 중 일부에 오버랩되어 형성된 제 1

연장 게이트와 상기 드레인의 영역 상부 중 일부에 오버랩되어 형성된 제 2 연장 게이트 및 상기 채널의 영역 상부에 형성되는 메인 게이트를 포함하는 복수의 게이트로 이루어진 게이트부를 포함하되, 상기 게이트부를 구성하는 복수의 게이트의 일함수 중 적어도 하나가 상이한 일함수를 가지도록 구성되는 것을 특징으로 할 수 있다.

- [0012] 본 발명과 관련된 일 예로서, 상기 복수의 게이트 중 일함수가 상이한 적어도 하나의 게이트는 도핑의 정도 또는 도핑의 물질이 다른 게이트와 상이한 것을 특징으로 할 수 있다.
- [0013] 본 발명과 관련된 일 예로서, 상기 소스에 오버랩되어 형성된 상기 제 1 연장 게이트는 상기 채널의 상부에 형성된 상기 메인 게이트의 일함수보다 낮은 일함수를 가지도록 구성되어 라인 터널링이 포인트 터널링에 앞서 발생되도록 하여 험프 현상을 방지하도록 구성되는 것을 특징으로 할 수 있다.
- [0014] 본 발명과 관련된 일 예로서, 상기 드레인에 오버랩되어 형성된 제 2 연장 게이트의 일함수는 상기 메인 게이트의 일함수와 상이하도록 구성되어 상기 역방향성 전류가 감소되도록 구성되는 것을 특징으로 할 수 있다.
- [0015] 본 발명과 관련된 일 예로서, 상기 게이트부를 상기 소스와 드레인 및 채널과 절연시키기 위한 게이트 산화막을 더 포함하는 것을 특징으로 할 수 있다.
- [0016] 본 발명과 관련된 일 예로서, 상기 게이트 산화막은 HfO_2 로 구성되는 것을 특징으로 할 수 있다.
- [0017] 본 발명과 관련된 일 예로서, 상기 제 1 및 제 2 연장 게이트는 상기 게이트와 별도로 독립적으로 구성되거나, 상기 게이트에 연장되어 상기 게이트와 함께 단일 게이트로 구성되는 것을 특징으로 할 수 있다.

발명의 효과

- [0018] 본 발명에 따른 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터는 단일 게이트 구조의 TFET와 달리 소스와 드레인의 상부에 연장되어 소스와 드레인 각각의 일부에 오버랩된 연장 게이트의 구조를 가지며, 이러한 연장 게이트의 구조를 통해 역방향성 전류를 감소시키면서 라인터널링이 활성화되어 험프 현상을 제거할 수 있을 뿐만 아니라 높은 성능을 보장하는 효과가 있다.
- [0019] 또한, 본 발명에 따른 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터는 기존 터널링 전계효과 트랜지스터에 비해 누설 전류를 감소시켜 성능을 높일 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 실시예에 따른 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터의 구성도.
- 도 2는 단일 게이트 TFET, 이중 게이트 TFET 및 본 발명에 따른 삼중 게이트 TFET의 구조를 나타낸 도면.
- 도 3은 단일 게이트 TFET, 이중 게이트 TFET 및 본 발명에 따른 삼중 게이트 TEET 각각의 터널링 분포를 나타낸 도면.
- 도 4 내지 도 6은 단일 게이트 TFET와 이중 게이트 TFET 및 본 발명에 따른 삼중 게이트 TFET 각각의 실리콘 표면의 에너지 밴드와 실리콘 벌크의 에너지 밴드를 나타낸 도면.
- 도 7 내지 도 9는 각각 단일 게이트 TFET, 이중 게이트 TFET 및 본 발명에 따른 삼중게이트 TFET 각각의 터널링율을 나타낸 도면.
- 도 10은 단일 게이트 TFET, 이중 게이트 TFET 및 본 발명에 따른 삼중 게이트 TFET 각각의 전류-전압 특성곡선을 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 도면을 참고하여 본 발명의 상세 실시예를 설명한다.
- [0022] 도 1은 본 발명의 실시예에 따른 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터(tunneling field-effect transistor: TFET)의 구성도로서, 도시된 바와 같이 소스(source)(101), 드레인(drain)(102) 및 채널(channel)(103)을 포함하며, 메인 게이트(gate)(111) 및 복수의 연장 게이트(112, 113)로 이루어진 게이트부(110)를 포함할 수 있다.

- [0023] 이때, 채널(103)은 소스(101)와 드레인(102) 사이에 구성될 수 있으며, 상기 복수의 연장 게이트 및 메인 게이트는 각각 트랜지스터의 게이트(gate)로서 동작할(또는 형성될) 수 있다.
- [0024] 또한, 상기 게이트부(110)는 상기 소스(101)의 소스 영역 및 상기 드레인(102)의 드레인 영역 각각의 상부(또는 상면 또는 상단) 중 일부에 오버랩(overlap)되어 형성된 복수의 연장 게이트(112, 113) 및 상기 채널(103)의 영역 상부(또는 상면 또는 상단)에 형성되는 메인 게이트(111)를 포함할 수 있다.
- [0025] 이때, 상기 복수의 상기 연장 게이트(112, 113) 중 제 1 연장 게이트(112)는 상기 소스(101)의 영역 상부 중 일부와 마주보도록(또는 오버랩되도록) 형성될 수 있고, 상기 복수의 연장 게이트(112, 113) 중 제 2 연장 게이트(113)는 상기 드레인(102)의 영역 상부 중 일부와 마주보도록(오버랩되도록) 형성될 수 있으며, 상기 메인 게이트(111)는 상기 채널(103)의 영역 상부(또는 상면 또는 상단)와 마주보도록 형성될 수 있다.
- [0026] 또한, 상기 연장 게이트(112, 113)는 상기 메인 게이트(111)의 일측에 연장되어 상기 메인 게이트(111)와 함께 단일 게이트로서 구성될 수 있으며, 상기 메인 게이트(111)와 별도로 독립적으로 구성될 수도 있다.
- [0027] 이때, 상기 복수의 연장 게이트(112, 113)와 메인 게이트(111)가 일체로 형성되어 단일 게이트로 구성되는 게이트부(110)는 상기 게이트부(110) 중 상기 제 1 연장 게이트(112)에 해당하는 일부가 상기 소스(101)의 상부(또는 상면 또는 상단) 영역 중 일부 영역과 마주보도록 형성되며, 상기 게이트부(110) 중 상기 제 2 연장 게이트(113)에 해당하는 일부가 상기 드레인(102)의 상부(또는 상면 또는 상단) 영역 중 일부 영역과 마주보도록 형성될 수 있다.
- [0028] 또한, 본 발명에 따른 상기 터널링 전계효과 트랜지스터(TFET)는 상기 게이트부(110)를 상기 소스(101)와 채널(103) 및 드레인(102)과 전기적으로 절연시키기 위한 게이트 산화막(104)을 더 포함하여 구성될 수 있다.
- [0029] 이에 따라, 상기 제 1 연장 게이트(112)와 소스(101)의 사이에 상기 게이트 산화막(104)이 위치하여 형성될 수 있고, 상기 제 1 연장 게이트(112)의 하부(또는 하면 또는 하단)가 상기 소스(101)의 상부(또는 상면 또는 상단) 중 일부 영역과 마주보도록 오버랩되어 상기 게이트 산화막(104)의 상부(또는 상면 또는 상단)에 형성될 수 있다.
- [0030] 또한, 상기 제 2 연장 게이트(113)와 드레인(102)의 사이에 상기 게이트 산화막(104)이 위치하여 형성될 수 있고, 상기 제 2 연장 게이트(113)의 하부(또는 하면 또는 하단)가 상기 드레인(102)의 상부(또는 상면 또는 상단) 중 일부 영역과 마주보도록 오버랩되어 상기 게이트 산화막(104)의 상부(또는 상면 또는 상단)에 형성될 수 있다.
- [0031] 또한, 상기 메인 게이트(111)와 상기 채널(103)의 사이에 상기 게이트 산화막(104)이 위치하여 형성될 수 있다.
- [0032] 또한, 소스(101), 드레인(102), 채널(103), 게이트부(110) 및 게이트 산화막(104) 각각의 전부 또는 일부가 기판(미도시) 상에 형성될 수 있다.
- [0033] 한편, 소스(101)는, 본 기술분야에서 일반적으로 이해되는 바와 같이, 터널링 전계 효과 트랜지스터(이하, TFET)의 채널 안으로 캐리어들을 주입하도록 동작 가능하다. 유사하게, 드레인(102)은, 본 기술분야에서 일반적으로 이해되는 바와 같이, 상기 TFET의 채널(103)로부터 캐리어들을 제거하도록 동작 가능하다.
- [0034] 도 1의 실시예에서, 소스(101)는 채널(103) 안으로 캐리어들을 주입하도록 기능하고, 드레인(102)은 채널(103)로부터 캐리어들을 제거하도록 기능한다. 소스(101) 및 드레인(102)은 각각 하나 이상의 소스 및 드레인 콘택트(미도시)에 결합될 수 있다.
- [0035] 또한, 소스(101) 및 드레인(102)은 각각 임의의 적합한 n 또는 p형 반도체 재료로 형성될 수 있다.
- [0036] 또한, 채널(103)은 일반적으로 소스(101)와 드레인(102) 사이의 소스-채널 인터페이스를 형성하고, 캐리어들이 소스(101)에서 드레인(102)으로 흐르는 것을 방지하거나 허용하도록 동작 가능하다.
- [0037] 또한, 게이트 산화막(104)은 일반적으로 소스(101), 채널(103), 드레인(102) 및 게이트부(110)를 서로로부터 절연시키도록 기능한다. 그러므로 게이트 산화막(104)은 임의의 적합한 전기 절연성 재료로 형성될 수 있다.
- [0038] 일례로, 상기 게이트 산화막은 HfO_2 와 SiO_2 중 어느 하나로 구성될 수 있으나, HfO_2 로 구성되는 것이 바람직하다.
- [0040] 상술한 구성을 토대로, 본 발명은 소스 영역과 드레인 영역 각각에 오버랩된 게이트 구조를 가진 본 발명에 따른 터널링 전계효과 트랜지스터(이하, 삼중 게이트 TFET)를 제공함으로써, 기존의 채널의 상부에만 형성된 단일

게이트를 가진 단일 게이트 TFET에서 발생하는 험프(hump) 현상을 용이하게 제거하도록 동작하는데 이를 이하 도면을 통해 상세히 설명한다.

- [0041] 우선, 도 2(a)는 일반적인 단일 게이트 TFET의 구조를 나타낸 도면이고, 도 2(b)는 본 발명에 따른 삼중 게이트 TFET와의 비교를 위한 소스 영역으로 오버랩된 게이트 구조를 가진 이중 게이트 TFET의 구조를 나타낸 도면이며, 도 2(c)는 본 발명에 따른 소스(101)와 드레인(102) 영역으로 오버랩된 게이트의 구조를 가진 삼중 게이트 TFET의 구조를 나타낸 도면이다.
- [0042] 이때, 도 2(b)에 따른 소스 영역과 채널 영역 각각의 상부에 구성되는 연장 게이트 및 메인 게이트를 포함하는 복수의 게이트와, 도 2(c)에 따른 소스(101) 영역과 드레인(102) 영역 각각의 상부에 구성되는 복수의 연장 게이트(112, 113) 및 채널 영역의 상부에 구성되는 메인 게이트(111)를 포함하는 복수의 게이트(111, 112, 113)를 구성하는 물질은 상기 복수의 게이트(111, 112, 113) 상호간 서로 상이하게 구성될 수 있다.
- [0043] 즉, 본 발명에 따른 삼중 게이트 TFET의 제 1 연장 게이트(112)와 제 2 연장 게이트(113) 및 메인 게이트(111) 상호간 서로 상이한 물질로 구성될 수 있다.
- [0044] 이때, 상기 제 1 연장 게이트(112) 및 제 2 연장 게이트(113)는 상기 메인 게이트(111)와는 상이한 물질로 구성되되, 상기 제 1 연장 게이트(112) 및 상기 제 2 연장 게이트(113) 상호 간은 동일한 물질로 구성될 수도 있다.
- [0045] 다시 말해, 본 발명에 따른 삼중 게이트 TFET는 상기 제 1 연장 게이트(112) 및 상기 제 2 연장 게이트(113)의 도핑에 사용되는 물질이 상기 메인 게이트(111)의 물질(또는 메인 게이트(111)의 도핑에 사용되는 물질)과 서로 상이하도록 구성될 수 있다.
- [0046] 또한, 소스 도핑 $N_s = 1 \times 10^{20} \text{ cm}^{-3}$ (p-type), 드레인 도핑 $N_d = 1 \times 10^{20} \text{ cm}^{-3}$ (n-type), 채널 도핑 $N_{ch} = 1 \times 10^{17} \text{ cm}^{-3}$ (n-type), 게이트 산화막 두께 $t_{ox} = 2 \text{ nm}$, 실리콘 채널층 두께 $t_{si} = 10 \text{ nm}$, 드레인과 소스 영역 길이 $L_d = L_s = 40 \text{ nm}$, 채널의 길이 $L_{ch} = 50 \text{ nm}$ 로 설정될 수 있다.
- [0047] 또한, 상기 게이트 산화막(104)를 구성하는 산화막 물질은 전계 영향을 극대화하여 터널링 효율을 높이기 위해 HfO_2 로 구성될 수 있다.
- [0049] 도 3은 드레인-소스 전압 $V_{ds}=0.7 \text{ V}$, $V_{gs}=0.7 \text{ V}$ 에서 단일 게이트 TFET, 이중 게이트 TFET, 삼중 게이트 TEET 각각의 터널링 분포를 나타낸 것이다.
- [0050] 우선, 도 3(a)에 따른 단일 게이트 TFET는 소스 영역으로 오버랩된 게이트가 없어 라인 터널링은 거의 존재하지 않으며 게이트 산화막-채널 접합부분에서 높은 포인트 터널링 분포를 확인할 수 있다.
- [0051] 반면, 도 3(b)에 따른 이중 게이트 TFET와 도 3(c)에 따른 삼중 게이트 TFET는 소스(101) 영역 및 드레인(102) 영역 각각에 연장 게이트(112, 113)가 오버랩된 영역에서 라인 터널링이 존재하며 소스(101) 영역에서 전계의 영향으로 게이트 산화막(104)과 채널(103)이 접합한 접합영역에서 포인트 터널링이 없고 벌크(bulk)영역에서 약한 포인트 터널링 분포를 확인할 수 있다.
- [0053] 도 4 내지 도 6은 단일 게이트 TFET와 이중 게이트 TFET 및 삼중 게이트 TFET 각각의 실리콘 표면의 에너지 밴드와 실리콘 벌크의 에너지 밴드를 나타낸 도면이다.
- [0054] 우선, 도 4를 참조하면, 도 4(a)는 단일 게이트 TFET의 게이트 산화막에 연결된 실리콘 표면의 에너지 밴드를 나타낸 것으로서, 게이트-소스 전압이 $V_{gs}=0.7 \text{ V}$ 일때 소스와 채널사이의 터널링(#1)과, $V_{gs}=-0.7 \text{ V}$ 때 채널과 드레인 사이에서 터널링(#2)이 관찰되며, 이 터널링(#1, #2)은 소스에서 드레인 방향으로의 포인트 터널링이다.
- [0055] 또한, 상기 포인트 터널링은 실리콘 벌크에서 게이트 산화막 방향의 라인 터널링에 비해서 SS(subthreshold swing, 문턱전압 이하 기울기) 및 구동전류의 효율은 낮으며, 상기 터널링(#2)은 역방향성 전류이기 때문에, 누설전류(leakage current, ambipolar current)를 증가시키는 원인이 된다.
- [0056] 도 4(b)에서 보여진 것처럼 실리콘 벌크 영역의 포인트 터널링도 동일하게 관찰된다. 도 4(a)와 도 4(b)를 비교했을 때 실리콘 벌크에서 전계의 영향이 실리콘 표면보다 작아짐에 따라 터널링 길이(tunneling length)가 길어져 터널링율(tunneling rate)은 더 작아지는 것을 알 수 있다.
- [0057] 또한, 단일 게이트 TFET는 라인 터널링 현상이 관찰되지 않는다. 터널링 #3은 소스에서 채널로 이동하는 터널링을 나타낸 것으로서, 터널링 길이가 길기 때문에 큰 영향은 없지만, $V_{gs} = 0 \text{ V}$ 에서 나타나는 미세 전류의 원인이

된다. 이 전류는 채널의 길이가 작아질수록 증가하게 되는데, 이와 같은 현상은 단채널효과(Short channel effect) 중 하나로 차단전류(off-current)를 증가시킨다.

- [0058] 또한, 상기 도 4의 단일 게이트 TFET의 에너지 밴드와 대비하여 이중 게이트 TFET의 에너지 밴드를 나타낸 도 5를 참조하면, 도 5(a)는 이중 게이트 TFET의 게이트 산화막에 접한 실리콘 표면의 에너지 밴드를 나타낸 것으로서, 이중 게이트 TFET는 도시된 바와 같이 채널 상부에 형성된 메인 게이트를 포함해서 소스 영역의 상부에 게이트가 연장된 연장 게이트를 포함하는 구조이다.
- [0059] 상기 이중 게이트 TFET는 소스 상부에 형성된 연장 게이트와 채널 상부에 형성된 메인 게이트 상호간 서로 다른 물질을 사용하여 일함수(workfunction)가 연장 게이트와 메인 게이트 상호간 상이하게 조절되도록 구성되며, 이를 통해 험프현상을 최소화하도록 구성된다.
- [0060] 소스 상부에 형성된 연장 게이트는 채널 상부에 형성된 메인 게이트의 일함수보다 낮은 물질을 사용하여 소스 영역에서 평탄 전압(flat band voltage)인 V_{FB} 가 충분히 낮도록 조정될 수 있다.
- [0061] 이를 통해, 소스에서 게이트 산화막 방향으로 라인터널링(#11)이 가장 먼저 나타나고, 소스 내에서 게이트 영향을 받아 휘어지는 부분과 휘어지지 않는 부분에서 포인트 터널링(#12)이 나타나기 때문에 험프가 존재하지 않는다.
- [0062] 다만, 채널과 드레인에서 나타나는 포인트 터널링(#14)은 누설전류를 증가시킨다. 터널링 #13은 단일 게이트 TFET와 동일한 소스에서 드레인으로 이동하는 터널링을 나타낸 것으로서, 도 4(a)의 단일 게이트 TFET와 비교했을 때 이중 게이트 TFET의 경우에 실리콘 표면에서 게이트 물질에 따른 V_{FB} 를 다르게 조정하기 때문에 소스와 채널 사이에서의 포인트 터널링은 나타나지 않는다.
- [0063] 하지만 도 5(b)의 실리콘 벌크 영역에서는 V_{FB} 의 영향이 없기 때문에, 소스에서 채널 사이에 포인트 터널링(#21)이 나타난다. 도 5(b)에 도시된 바와 같이, 채널과 드레인 사이에 포인트 터널링(#22)인 누설전류도 존재하지만, 단일 게이트 TFET에 비해 터널링을 분포는 훨씬 낮게 나타난다.
- [0064] 도 6은 본 발명에 따른 소스와 드레인에 오버랩된 게이트 구조를 가진 삼중게이트 TFET의 에너지 밴드로서, 도시된 바와 같이 이중게이트 TFET의 구조에 더하여 드레인(102) 상단(또는 상부)에 연장 게이트(113)가 추가 구성된 구조이다.
- [0065] 드레인(102) 상단(또는 상부)의 게이트인 제 2 연장 게이트(113)는 이중 게이트 TFET 및 단일게이트 TFET의 채널(103)과 드레인(102) 사이에서 나타나는 누설전류를 감소시킬 수 있다.
- [0066] 도 6(a)의 삼중 게이트 TFET에서 실리콘 표면의 에너지 밴드는 단일 게이트 TFET 및 이중 게이트 TFET와 달리 채널(103)과 드레인(102) 사이의 포인트 터널링이 없어 누설전류가 존재하지 않는 것을 확인할 수 있다.
- [0067] 이때, 상기 삼중 게이트 TFET는 소스(또는 소스 영역)(101) 상부 및 드레인(또는 드레인 영역)(102) 상부에 각각 형성된 제 1 및 제 2 연장 게이트(112, 113)와 채널(103) 상부에 형성된 메인 게이트(111) 상호간 서로 다른 물질을 사용하여 일함수(work function)가 연장 게이트(112, 113)와 메인 게이트(111) 상호간 상이하게 조절되도록 구성될 수 있으며, 이를 통해 험프 현상을 최소화하도록 구성된다.
- [0068] 특히, 소스(101)의 상부에 형성된 제 1 연장 게이트(112)는 채널(103) 상부에 형성된 메인 게이트(111)의 일함수보다 낮은 물질을 사용하여 소스(101) 영역에서 평탄 전압(flat band voltage)인 V_{FB} 가 충분히 낮도록 조정될 수 있다.
- [0069] 이에 따라, 삼중 게이트 TFET는 이중 게이트 TFET와 마찬가지로 험프 현상을 제거할 수 있다.
- [0070] 즉, 본 발명에 따른 삼중 게이트 TFET는 상기 소스(101) 영역에 오버랩된 제 1 연장 게이트(112)의 일함수 변화에 따라 일함수가 낮아지면 문턱전압 또한 낮아지므로 라인 터널링(#11)이 활성화되어 라인 터널링(#11)에 의해 지배되도록 동작하여 포인트 터널링(#12)에 선행하여(앞서서) 라인 터널링(#11)이 발생하므로 용이하게 험프 현상을 방지할 수 있다.
- [0071] 이때, 드레인(102) 영역의 상부에 오버랩된 제 2 연장 게이트(113)의 일함수 변화는 상술한 바와 같이 단일 게이트 TFET와 이중 게이트 TFET에서 발생하는 누설 전류를 감소시킬 수 있다.
- [0072] 즉, 본 발명에 따른 삼중 게이트 TFET는 소스(101) 뿐만 아니라 드레인(102)에 오버랩된 게이트부(110)의 구조

를 가짐으로써, 도 6(b)의 실리콘 벌크 영역에서는 누설전류가 존재할 수 있으나, 벌크 영역에 미치는 전계의 크기가 작기 때문에 벌크(실리콘 벌크) 영역과 표면(실리콘 표면) 영역을 포함한 전체 누설전류는 단일 게이트 TFET 및 이중 게이트 TFET의 구조보다 감소하게 된다.

- [0073] 도 6(a)에 도시된 바와 같이, 삼중 게이트 TFET의 터널링은 도 5(a)와 마찬가지로 소스(101)와 게이트 산화막(104)으로 라인 터널링(#11)이 일어난 후에 소스(101) 내부에서 일어나는 포인트 터널링(#12) 순으로 발생하기 때문에 험프 현상이 나타나지 않는다.
- [0074] 또한, 상기 삼중 게이트 TFET는 드레인(102) 상부에 형성되는 게이트(제 2 연장 게이트(113))의 영향으로 채널(103)과 드레인(102)의 에너지가 함께 상승하기 때문에 역방향성 전류가 나타나지 않는다.
- [0075] 이에 따라, 상기 삼중 게이트 TFET는 상기 드레인(102) 상부에 형성되는 제 2 연장 게이트(113)의 일함수를 조절하여 상기 역방향성 전류를 감소시킬 수 있으며, 상기 제 2 연장 게이트(113)의 물질을 상기 메인 게이트(111)의 물질과 상이하도록 구성하여 상기 제 2 연장 게이트(113)의 일함수가 조절될 수 있다.
- [0076] 한편, 상기 게이트부(110)를 구성하는 상기 제 1 연장 게이트(112)와 상기 제 2 연장 게이트(113) 및 상기 메인 게이트(111) 각각이 게이트로서 동작하고(또는 구성되고), 상기 제 1 연장 게이트(112)와 상기 제 2 연장 게이트(113) 및 상기 메인 게이트(111)로 이루어진 복수의 게이트(111, 112, 113) 중 적어도 하나의 일함수를 나머지 게이트(또는 게이트들)의 일함수와 상이하도록 조절하기 위해 상기 복수의 게이트 중 상기 일함수가 상이한 상기 적어도 하나의 게이트를 구성하는 도핑 정도나 도핑 물질이 상기 나머지 게이트(또는 게이트들)를 구성하는 도핑 정도 또는 도핑 물질과 상이하도록 구성(조절)될 수 있다.
- [0077] 이를 통해, 상기 제 1 연장 게이트(112)를 형성하기 위한 도핑 정도나 도핑 물질을 상기 메인 게이트(111)의 도핑 정도나 도핑 물질과 상이하도록 구성하여 상술한 바와 같이 험프 현상을 방지(제거)하거나, 상기 제 2 연장 게이트(113)를 형성하기 위한 도핑 정도나 도핑 물질을 상기 메인 게이트(111)의 도핑 정도나 도핑 물질과 상이하도록 구성하여 상기 역방향성 전류를 감소시킬 수 있다.
- [0078] 이때, 상기 삼중 게이트 TFET는 상기 제 1 연장 게이트(112)와 상기 제 2 연장 게이트(113) 상호간에도 상이한 일함수를 가지도록 구성될 수 있으며, 상술한 바와 같이 상기 제 1 및 제 2 연장 게이트(112, 113) 상호간 도핑 정도나 도핑 물질을 상이하게 조절하여 상기 제 1 및 제 2 연장 게이트(112, 113) 상호간 일함수가 상이하도록 조절(형성)될 수 있다.
- [0079] 상술한 바와 같이, 본 발명에 따른 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터는 단일 게이트 구조의 TFET와 달리 소스와 드레인의 상부에 연장되어 소스와 드레인 각각의 일부에 오버랩된 연장 게이트의 구조를 가지며, 이러한 연장 게이트의 구조를 통해 역방향성 전류를 감소시키면서 라인터널링이 활성화되어 험프 현상을 제거할 수 있을 뿐만 아니라 높은 성능을 보장할 수 있다.
- [0080] 이때, 본 발명에 따른 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터는 연장 게이트들과 메인 게이트로 이루어진 복수의 게이트로 구성된 게이트 구조와 더불어 상기 복수의 게이트 상호간의 일함수를 상이하게 조절하여 역방향성 전류와 험프 현상을 방지함으로써 저전력 TEFT의 성능을 보장하는 동시에 기존 TEFT보다 높은 효율을 보장할 수 있다.
- [0081] 또한, 본 발명에 따른 소스와 드레인에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터는 기존 터널링 전계효과 트랜지스터에 비해 누설 전류를 감소시켜 성능을 높일 수 있다.
- [0083] 도 7 내지 도 9는 각각 단일 게이트 TFET, 이중 게이트 TFET 및 삼중게이트 TFET 각각의 터널링율을 나타낸 도면이다.
- [0084] 도 7(a)에 도시된 바와 같이, 단일 게이트 TFET의 $V_{GS} = 0.7V$ 에서 포인트 터널링만 존재하며 실리콘 벌크 영역과 실리콘 표면 영역 모두에서 나타난다.
- [0085] 도 7(b)에 도시된 바와 같이, 단일 게이트 TFET의 $V_{GS} = 0V$ 에서 실리콘 표면의 소스에서 채널로 포인트 터널링이 나타나며 도 7(c)에서 보여진 것처럼 $V_{GS} = -0.7V$ 인 경우에 실리콘 벌크와 표면 모두에서 채널에서 소스로의 포인트 터널링이 나타난다.
- [0086] 도 8(a)에 도시된 바와 같이, 이중 게이트 TFET에서 라인 터널링과 포인트 터널링이 모두 관찰된다.
- [0087] 하지만, 이중 게이트 TFET는 단일 게이트 TFET와 달리 실리콘 표면의 포인트 터널링이 소스와 채널 사이가 아닌

소스 내에서 소스 상부의 게이트가 존재하는 영역과 존재하지 않는 영역이 접하는 영역에서 발생한다.

[0088] 도 8(b)와 8(c)에 도시된 바와 같이, 이중 게이트 TFET는 단일 게이트 TFET와 거의 동일하게 터널링이 발생한다.

[0089] 이에 반해, 도 9(a)와 9(b)에 도시된 바와 같이, 삼중 게이트 TFET는 이중 게이트 TFET와 터널링율이 거의 동일하지만 도 9(c)에서 도시된 바와 같이 삼중 게이트 TFET는 단일 게이트 TFET나 이중 게이트 TFET에서 보였던 실리콘 표면의 포인트 터널링이 사라져서 누설 전류가 줄어든 것을 알 수 있다.

[0091] 도 10은 단일 게이트 TFET, 이중 게이트 TFET 및 삼중게이트 TFET 각각의 전류-전압 특성곡선을 나타낸 도면이다.

[0092] 도시된 바와 같이, 소스 영역에 게이트를 추가한 이중 게이트 TFET 및 삼중게이트 TFET의 경우에 단일 게이트 TFET보다 구동전류가 약 10^4 배 정도 증가하고, $I_{60}(SS=60\text{mV/dec}$ 일 때 드레인 전류)은 약 1×10^9 배 정도 증가하며, SS 최소값인 $SS_{\min}$ 은 약 10배 정도 감소하고, 차단전류는 약 100배 정도 감소되는 것을 알 수 있다.

[0093] 또한, 삼중 게이트 TFET는 누설 전류가 단일 게이트 TFET 및 이중 게이트 TFET보다 약 100배 정도 감소하는 것을 알 수 있다.

[0095] 본 발명의 실시예에 따른 소스 영역과 게이트 영역에 오버랩된 게이트 구조를 가진 터널링 전계효과 트랜지스터(삼중 게이트 TFET)는 드레인 영역의 전계에 의해 역방향성 전류를 줄였으면서도 라인터널링이 활성화 되어 높은 성능을 제공할 수 있다.

[0096] 또한, 본 발명에 따른 삼중 게이트 TFET는 게이트 산화막을 유전율이 높은 물질로 대체했을 때 높은 성능을 보이며, 소스 영역 게이트의 일함수 변화에 따라 문턱전압이 변하는 것을 보였으며 일함수가 낮아지면 문턱전압 또한 낮아진다.

[0097] 또한, 본 발명에 따른 삼중 게이트 TFET는 포인트 터널링과 라인 터널링으로 인한 험프현상을 제거하도록 동작하며, 이를 통해 단일 게이트를 가진 TFET보다 구동전류는 약 104 배, SS는 10배 정도의 높은 효율을 나타내며, 누설전류를 약 100배 정도 감소시킬 수 있다.

[0098] 이를 통해, 본 발명에 따른 삼중 게이트 TFET는 게이트 물질을 별도로 조절하여 구동전류, 차단전류, 누설전류, SS 효율을 높일 수 있다.

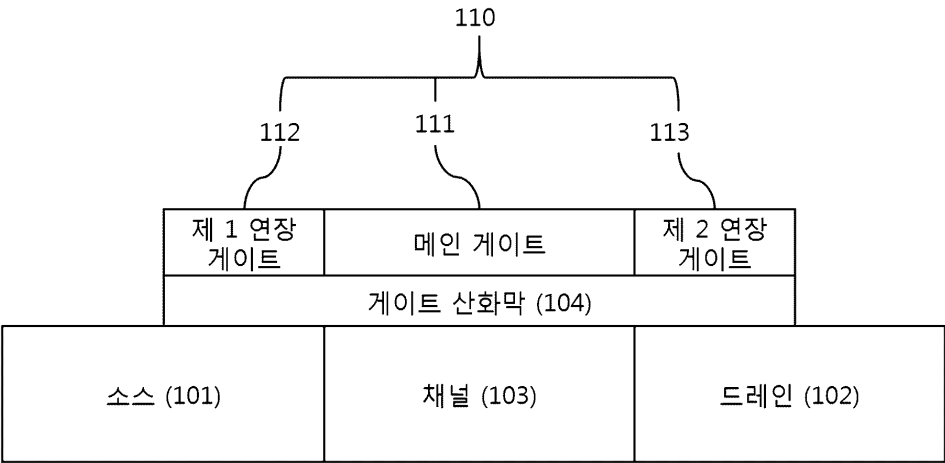
[0100] 전술된 내용은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

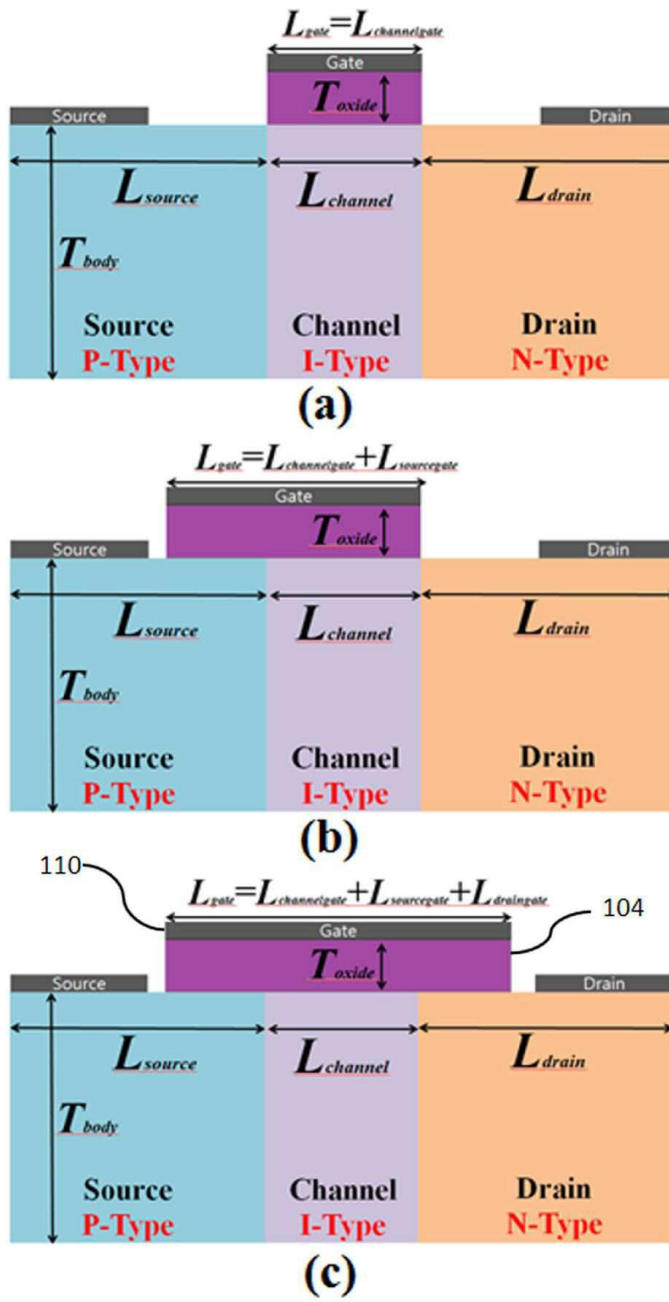
[0101]	101: 소스	102: 드레인
	103: 채널	104: 게이트 산화막
	110: 게이트부	111: 메인 게이트
	112: 제 1 연장 게이트	113: 제 2 연장 게이트

도면

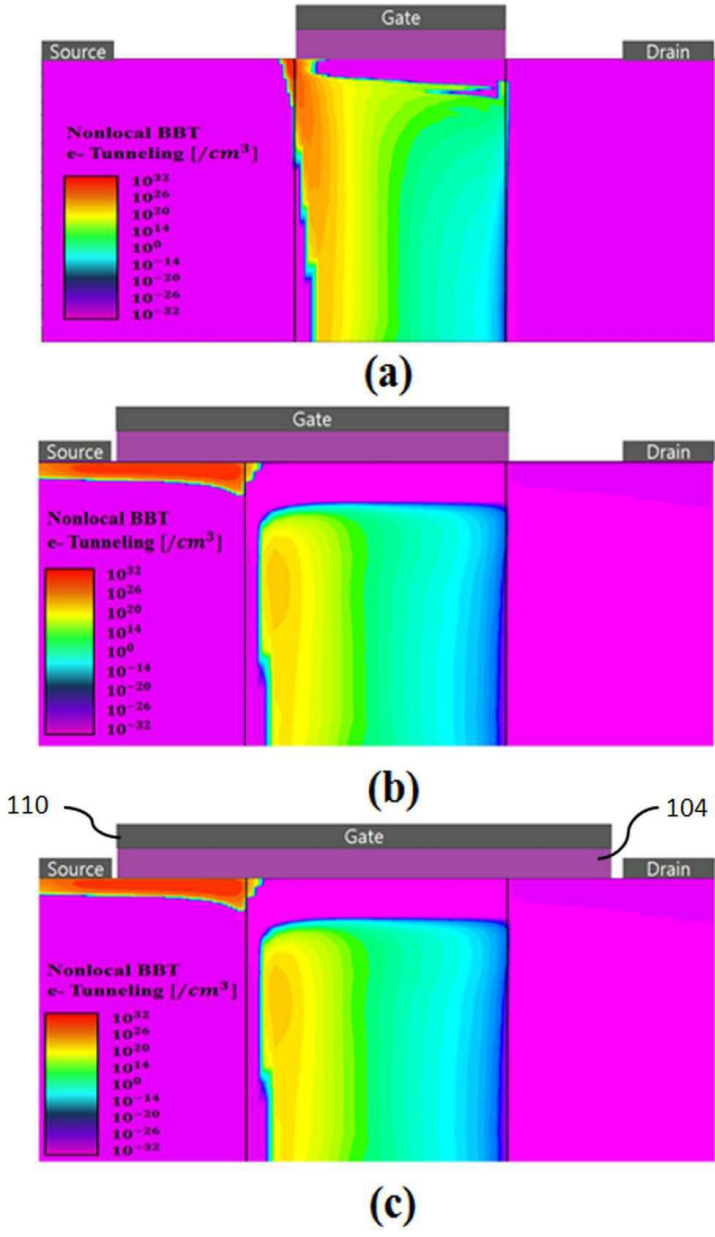
도면1



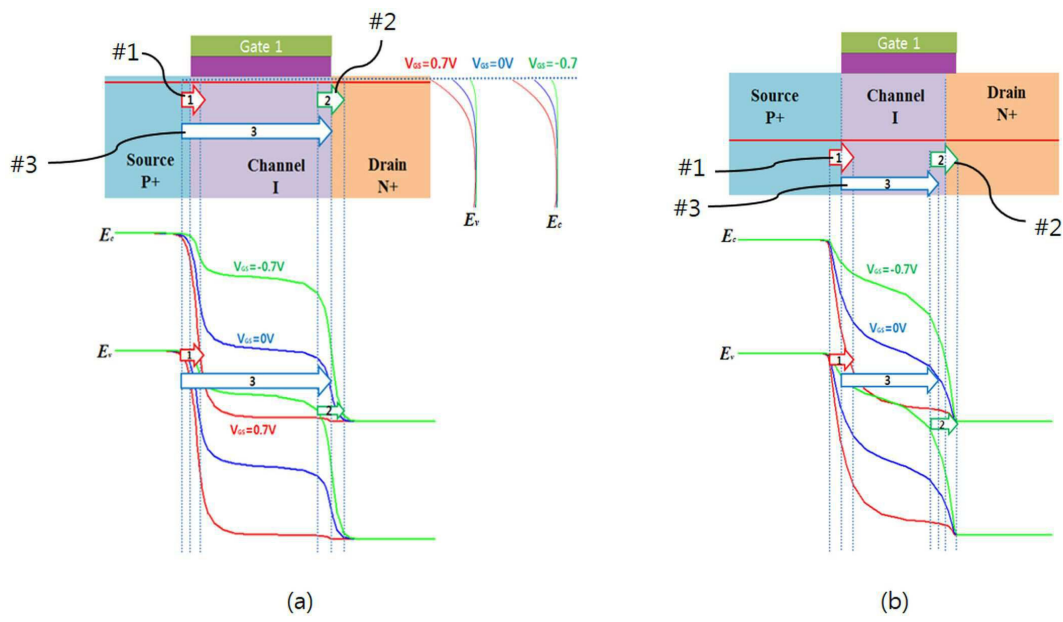
도면2



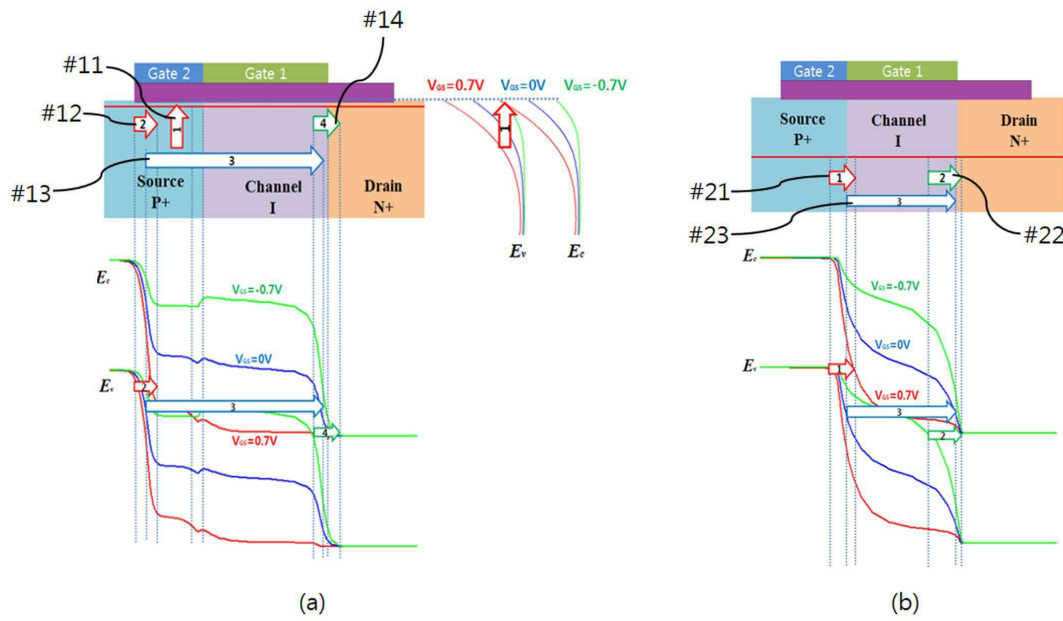
도면3



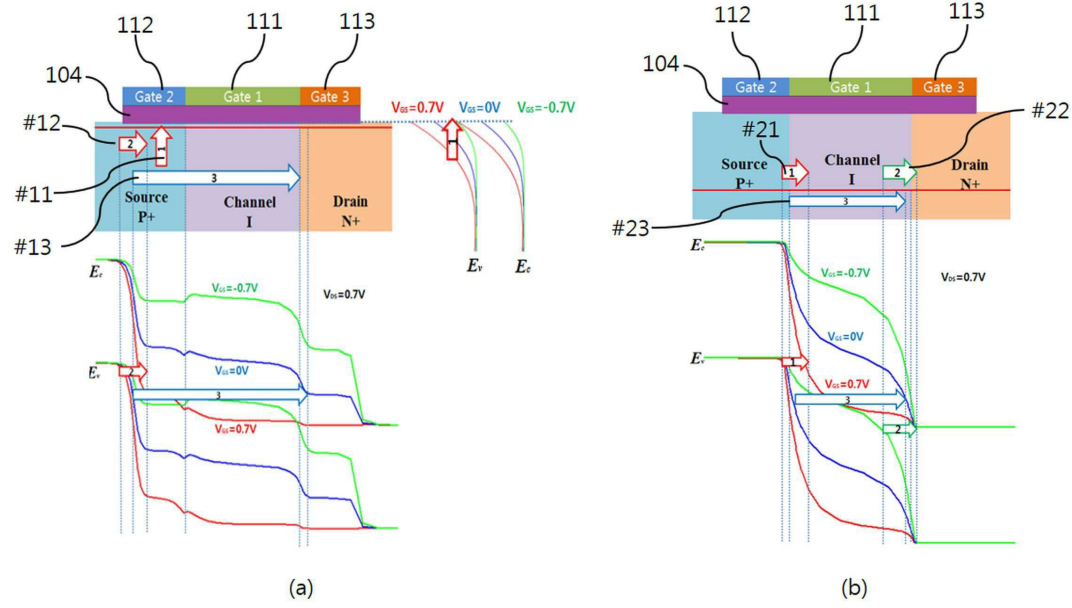
도면4



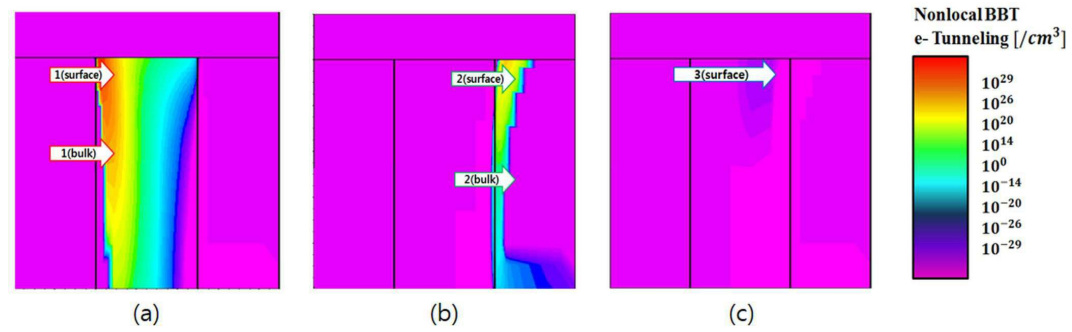
도면5



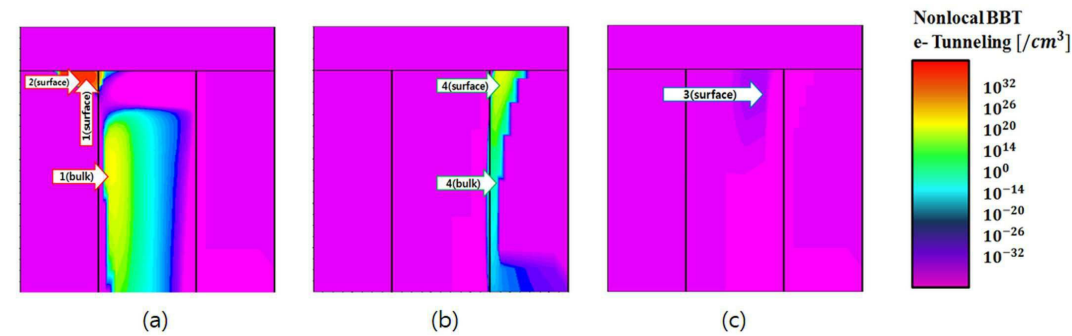
도면6



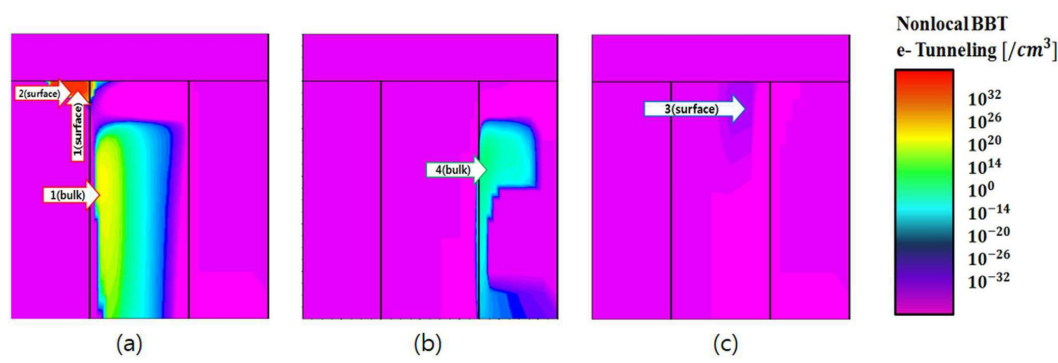
도면7



도면8



도면9



도면10

