



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년12월20일  
 (11) 등록번호 10-1684798  
 (24) 등록일자 2016년12월02일

(51) 국제특허분류(Int. Cl.)  
 H01L 29/73 (2006.01) H01L 29/66 (2006.01)  
 H01L 29/78 (2006.01)  
 (52) CPC특허분류  
 H01L 29/7311 (2013.01)  
 H01L 29/66348 (2013.01)  
 (21) 출원번호 10-2015-0124889  
 (22) 출원일자 2015년09월03일  
 심사청구일자 2015년09월03일  
 (56) 선행기술조사문헌  
 KR100791342 B1  
 KR101270643 B1  
 KR1020150005584 A

(73) 특허권자  
**명지대학교 산학협력단**  
 경기도 용인시 처인구 명지로 116 (남동, 명지대학교)  
 (72) 발명자  
**조일환**  
 서울특별시 강남구 압구정로 113, 22동 705호 (압구정동, 미성아파트)  
**서동선**  
 경기도 용인시 기흥구 중부대로746번길 21, 201동 1004호 (상하동, 지식마을진흥터루벤스2단지아파트)  
 (74) 대리인  
**송인호, 최관락**

전체 청구항 수 : 총 9 항

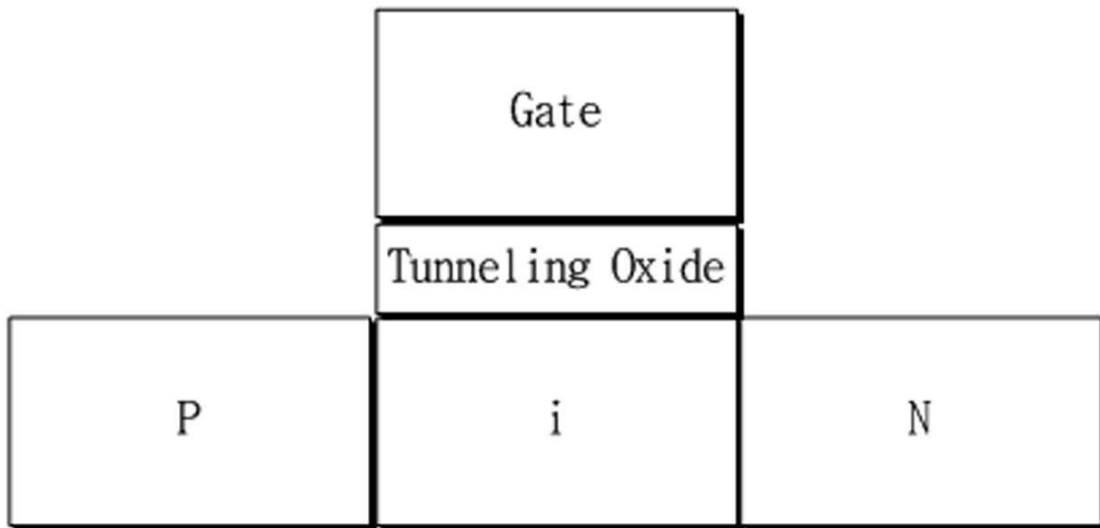
심사관 : 안경민

(54) 발명의 명칭 **터널링 트랜지스터 및 이의 제조 방법**

**(57) 요약**

터널링 트랜지스터 및 이의 제조 방법이 개시된다. 터널링 트랜지스터는, 소정의 깊이를 가지는 리세스(recess) 채널을 포함하는 기관; 상기 리세스 채널 이면에 절연막이 개재되어 형성되는 게이트; 및 상기 리세스 채널 표면에 고농도 도펀트를 도핑하여 형성되는 소스와 드레인을 포함하되, 상기 리세스 채널의 제1 측면을 절곡하여 제2 측면과 상이한 비대칭 구조로 형성될 수 있다.

**대표도** - 도1



(52) CPC특허분류

*H01L 29/7835* (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 #B0101-15-1347

부처명 미래창조과학부

연구관리전문기관 한국방송통신전파진흥원

연구사업명 정보통신방송기술개발사업

연구과제명 400G 광전송 기술 구현을 위한 광변조 및 신호처리 원천기술 연구

기 여 율 1/1

주관기관 명지대학교산학협력단

연구기간 2015.04.01 ~ 2016.02.28

---

## 명세서

### 청구범위

#### 청구항 1

소정의 깊이를 가지는 리세스(recess) 채널을 포함하는 기관;

상기 리세스 채널 이면에 절연막이 개재되어 형성되는 게이트; 및

상기 리세스 채널 표면에 고농도 도펀트를 도핑하여 형성되는 소스와 드레인을 포함하되,

상기 리세스 채널의 제1 측면을 절곡하여 제2 측면과 상이한 비대칭 구조로 형성되는 것을 특징으로 하는 터널링 트랜지스터.

#### 청구항 2

제1 항에 있어서,

상기 리세스 채널의 상기 제1 측면의 절곡된 영역의 간격은 상기 제2 측면의 상기 리세스 채널의 간격과 상이한 것을 특징으로 하는 터널링 트랜지스터.

#### 청구항 3

제1 항에 있어서,

상기 드레인은 상기 리세스 채널의 상기 제1 측면의 절곡된 영역에 의해 분리된 표면 영역에 형성되는 것을 특징으로 하는 터널링 트랜지스터.

#### 청구항 4

제1 항에 있어서,

상기 리세스 채널의 이면은 상기 절연막이 개재되기 이전에 저농도로 도핑되는 것을 특징으로 하는 터널링 트랜지스터.

#### 청구항 5

소정의 깊이를 가지는 리세스(recess) 채널을 포함하는 기관;

상기 리세스 채널 이면에 절연막이 개재되어 형성되는 게이트; 및

상기 리세스 채널 표면에 고농도 도펀트를 도핑하여 형성되는 소스와 드레인을 포함하되,

상기 리세스 채널의 제1 측면을 절곡하여 제2 측면과 상이한 비대칭 구조로 형성되고, 하단부의 폭이 나머지 영역의 폭과 상이하게 형성되는 것을 특징으로 하는 터널링 트랜지스터.

#### 청구항 6

제5 항에 있어서,

상기 리세스 채널의 하단부는 원형으로 식각되어 형성되는 것을 특징으로 하는 터널링 트랜지스터.

**청구항 7**

터널링 트랜지스터를 제조하는 방법에 있어서,  
 반도체 기판을 식각하여 소정의 깊이를 가지는 리세스 채널을 형성하는 단계;  
 상기 리세스 채널의 표면을 고농도 도펀트로 도핑하여 소스 영역과 드레인 영역을 형성하는 단계; 및  
 상기 리세스 채널 이면에 절연막이 개재된 게이트 영역을 형성하는 단계를 포함하되,  
 상기 리세스 채널은 상기 반도체 기판을 식각하여 상기 리세스 채널의 제1 측면이 절곡된 형상을 가지도록 제2 측면과는 상이한 비대칭 구조를 가지도록 형성되는 것을 특징으로 하는 터널링 트랜지스터 제조 방법.

**청구항 8**

터널링 트랜지스터를 제조하는 방법에 있어서,  
 반도체 기판을 식각하여 소정의 깊이를 가지는 리세스 채널을 형성하는 단계;  
 상기 리세스 채널의 표면을 고농도 도펀트로 도핑하여 소스 영역과 드레인 영역을 형성하는 단계; 및  
 상기 리세스 채널 이면에 절연막이 개재된 게이트 영역을 형성하는 단계를 포함하되,  
 상기 리세스 채널은 상기 반도체 기판을 식각하여 상기 리세스 채널의 제1 측면이 절곡된 형상을 가지도록 제2 측면과는 상이한 비대칭 구조를 가지도록 형성되고, 하단부의 폭이 나머지 영역의 폭과 상이하도록 형성되는 것을 특징으로 하는 터널링 트랜지스터 제조 방법.

**청구항 9**

제7 항 또는 제8 항에 기재된 터널링 트랜지스터 제조 방법에 의해 제조된 터널링 트랜지스터를 포함하는 반도체 칩.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 터널링 트랜지스터 및 이의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 터널링 트랜지스터는 기존의 트랜지스터와는 달리 밴드간 터널링 전류를 발생시키는 매커니즘을 사용하여 문턱 전압 아래에서 소모되는 전력소모가 기존의 소자에 비해 적게 소모되는 장점을 가지고 있다.

[0003] 도 1은 종래의 터널링 트랜지스터의 구조를 도시한 도면이다.

[0004] 도 1을 참조하면, 종래의 터널링 트랜지스터는 고농도로 도핑된 소스와 드레인을 갖으며, 저농도로 도핑된 기판 영역을 갖는다. 또한, 기판 영역 위에는 게이트 영역과의 절연을 위한 절연막이 형성되며, 그 위에는 터널링 트랜지스터의 전기적인 특성을 제어하는 게이트 영역이 형성된다.

[0005] 기존의 트랜지스터와 마찬가지로, 종래의 터널링 트랜지스터는 게이트에 인가된 전압에 의해서 발생하는 전기장이 채널 영역의 전류의 흐름을 제어하게 되고, 전류의 경우 소스와 드레인 사이에 인가한 전압에 의해서 흐르게 된다. 이때, 기존의 트랜지스터와 달리 터널링 트랜지스터는 소스와 기판 사이 밴드간 터널링 장벽을 제어함으

로써 전류의 흐름을 제어하게 된다. 이는 낮은 전압에서의 전류를 억제하여 저전력 특성을 개선하지만 반대로 터널링 매커니즘의 특성상 많은 전류를 흘리기에 부적절한 특성이 된다.

[0006] 이러한 문제를 해결하기 위해 서로 다른 밴드갭을 갖는 물질들을 조합하여 전류 밀도를 증가시키는 기술과 같이, 기판과 소스 영역 사이의 밴드를 조절하는 기술들이 연구되어 왔다.

[0007] 다른 예로는 터널링 영역을 증가시키는 구조 변경을 통해 전류 밀도를 증가시키는 연구, 일부 영역에서의 절연체를 변경시키는 기술등이 현재 연구되고 있다.

[0008] 그러나, 종래의 터널링 트랜지스터는 서로 다른 밴드갭을 갖는 물질을 조합하여 동작전류를 증가시키는 경우 실제 공정 적합성 및 수율이 문제될 수 있으며, 반도체 공정의 기반이 되는 실리콘 물질 기반의 공정을 고려할 때, 단위 공정에 사용된 적이 적은 물질을 적용하여 소재를 개발하는 경우 수율 및 경제성에 나쁜 영향을 미칠 수 있는 단점이 있다.

[0009] 또한, 터널링 영역의 구조를 변경하는 기술의 경우 기존에 사용되던 공정을 그대로 사용할 수 있는 장점을 가지고 있으나, 실질적인 소자의 크기가 증가하는 문제점이 있다.

### 발명의 내용

#### 해결하려는 과제

[0010] 본 발명은 비대칭적 리세스 채널 구조를 갖는 터널링 트랜지스터를 제조함으로써 소자 면적의 증가 없이 동작 전류를 증가시킬 수 있는 터널링 트랜지스터 및 이의 제조 방법을 제공하기 위한 것이다.

[0011] 또한, 본 발명은 터널링이 발생하는 소스와 기판 사이의 영역이 소자 면적의 증가 없이 증가하게 되며, 이를 통해 전류 밀도를 증가시킬 수 있는 터널링 트랜지스터 및 이의 제조 방법을 제공하기 위한 것이다.

#### 과제의 해결 수단

[0012] 본 발명의 일 측면에 따르면, 비대칭적 리세스 채널 구조를 갖는 터널링 트랜지스터를 제조함으로써 소자 면적의 증가 없이 동작 전류를 증가시킬 수 있는 터널링 트랜지스터가 제공된다.

[0013] 제1 실시예에 따르면, 소정의 깊이를 가지는 리세스(recess) 채널을 포함하는 기판; 상기 리세스 채널 이면에 절연막이 개재되어 형성되는 게이트; 및 상기 리세스 채널 표면에 고농도 도펀트를 도핑하여 형성되는 소스와 드레인을 포함하되, 상기 리세스 채널의 제1 측면을 절곡하여 제2 측면과 상이한 비대칭 구조로 형성되는 것을 특징으로 하는 터널링 트랜지스터가 제공될 수 있다.

[0014] 상기 리세스 채널의 제1 측면의 절곡된 리세스 영역의 간격은 제2 측면의 리세스 영역의 간격과 상이할 수 있다.

[0015] 상기 드레인은 상기 리세스 채널의 제1 측면의 절곡된 리세스 영역에 의해 분리된 표면 영역에 형성될 수 있다.

[0016] 상기 리세스 채널의 이면은 상기 절연막이 개재되기 이전에 저농도 상태로 증착될 수도 있다.

[0017] 제2 실시예에 따르면, 소정의 깊이를 가지는 리세스(recess) 채널을 포함하는 기판; 상기 리세스 채널 이면에 절연막이 개재되어 형성되는 게이트; 및 상기 리세스 채널 표면에 고농도 도펀트를 도핑하여 형성되는 소스와 드레인을 포함하되, 상기 리세스 채널의 제1 측면을 절곡하여 제2 측면과 상이한 비대칭 구조로 형성되고, 하단부의 폭이 나머지 영역의 폭과 상이하게 형성되는 것을 특징으로 하는 터널링 트랜지스터가 제공될 수 있다.

[0018] 상기 리세스 채널의 하단부는 원형으로 식각되어 형성될 수 있다.

[0019] 본 발명의 다른 측면에 따르면, 비대칭적 리세스 채널 구조를 갖는 터널링 트랜지스터를 제조함으로써 소자 면적의 증가 없이 동작 전류를 증가시킬 수 있는 터널링 트랜지스터 제조 방법이 제공된다.

[0020] 제1 실시예에 따르면, 터널링 트랜지스터를 제조하는 방법에 있어서, 반도체 기판을 식각하여 소정의 깊이를 가지는 리세스 채널을 형성하는 단계; 상기 리세스 채널의 표면을 고농도 도펀트로 도핑하여 소스 영역과 드레인 영역을 형성하는 단계; 상기 리세스 채널 이면에 절연막이 개재된 게이트 영역을 형성하는 단계를 포함하되, 상기 리세스 채널은 상기 반도체 기판을 식각하여 상기 리세스 채널의 제1 측면이 절곡된 형상을 가지도록 제2 측면과는 상이한 비대칭 구조를 가지도록 형성되는 것을 특징으로 하는 터널링 트랜지스터 제조 방법이 제공될 수 있다.

[0021] 제2 실시예에 따르면, 터널링 트랜지스터를 제조하는 방법에 있어서, 반도체 기판을 식각하여 소정의 깊이를 가지는 리세스 채널을 형성하는 단계; 상기 리세스 채널의 표면을 고농도 도펀트로 도핑하여 소스 영역과 드레인 영역을 형성하는 단계; 상기 리세스 채널 이면에 절연막이 개재된 게이트 영역을 형성하는 단계를 포함하되, 상기 리세스 채널은 상기 반도체 기판을 식각하여 상기 리세스 채널의 제1 측면이 절곡된 형상을 가지도록 제2 측면과는 상이한 비대칭 구조를 가지도록 형성되고, 하단부의 폭이 나머지 영역의 폭과 상이하도록 형성되는 것을 특징으로 하는 터널링 트랜지스터 제조 방법이 제공될 수 있다.

**발명의 효과**

[0022] 본 발명의 일 실시예에 따른 터널링 트랜지스터 및 이의 제조 방법을 제공함으로써, 비대칭적 리세스 채널 구조를 갖는 터널링 트랜지스터를 제조함으로써 소자 면적의 증가 없이 동작 전류를 증가시킬 수 있는 이점이 있다.

[0023] 또한, 본 발명은 터널링이 발생하는 소스와 기판 사이의 영역이 소자 면적의 증가 없이 증가하게 되며, 이를 통해 전류 밀도를 증가시킬 수 있는 이점이 있다.

**도면의 간단한 설명**

- [0024] 도 1은 종래의 터널링 트랜지스터의 구조를 도시한 도면.
- 도 2는 제1 실시예에 따른 터널링 트랜지스터의 구조를 도시한 도면.
- 도 3은 제2 실시예에 따른 터널링 트랜지스터의 구조를 도시한 도면.
- 도 4는 제1 실시예에 따른 터널링 트랜지스터를 제조하는 방법을 나타낸 흐름도.

**발명을 실시하기 위한 구체적인 내용**

[0025] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0026] 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 본 명세서의 설명 과정에서 이용되는 숫자(예를 들어, 제1, 제2 등)는 하나의 구성요소를 다른 구성요소와 구분하기 위한 식별기호에 불과하다.

[0027] 또한, 본 명세서에서, 일 구성요소가 다른 구성요소와 "연결된다" 거나 "접속된다" 등으로 언급된 때에는, 상기 일 구성요소가 상기 다른 구성요소와 직접 연결되거나 또는 직접 접속될 수도 있지만, 특별히 반대되는 기재가 존재하지 않는 이상, 중간에 또 다른 구성요소를 매개하여 연결되거나 또는 접속될 수도 있다고 이해되어야 할 것이다.

[0028] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명한다.

[0029] 도 2는 제1 실시예에 따른 터널링 트랜지스터의 구성도이다.

[0030] 도 2를 참조하면, 제1 실시예에 따른 터널링 트랜지스터(200)는 초박막 에너지 장벽층을 통과하는 전자들의 양자기계학적인 터널링 현상을 이용하는 트랜지스터로서, 기존의 평면형 터널링 트랜지스터보다 전류 밀도를 증가

시시키 위한 리세스 채널(210)을 포함한다. 여기서, 리세스 채널(210)은 반도체 기판을 소정의 깊이로 식각하여 형성될 수 있다. 또한, 리세스 채널(210)의 깊이는 제조하고자 하는 소자에 따라 상이하게 형성될 수 있다.

- [0031] 이와 같이, 반도체 기판(201)을 소정의 깊이로 식각하여 리세스 채널(210)을 형성함으로써, 소스 영역(215)과 기판 영역(210)을 입체적으로 형성할 수 있으며, 이를 통해 결과적으로 트랜지스터 전체의 면적 증가 없이 소스 영역(215)과 기판 영역 사이의 면적 증가를 통해 전류 밀도를 증가시킬 수 있는 이점이 있다.
- [0032] 즉, 터널링 트랜지스터(200)는 터널링 영역을 증가시키기 위한 구조를 가지며, 일 예로서, 소스 영역(215)과 기판 영역(210) 사이의 면적을 최대한 증가시키기 위한 리세스 채널(210)을 입체 구조로 형성한다. 리세스 채널(210)의 측면들은 도 2에 도시된 바와 같이, 선형 형상을 가지나 곡선 형상을 가질 수 있으며, 또한 측면들 중 일부는 선형 형상을 가지고 일부는 곡선 형상을 가질 수도 있다.
- [0033] 다만, 리세스 채널(210)은 최대한 넓은 면적을 가지는 구조로 설계하는 것이 최적의 구조는 아닐 수 있으며, 이는 리세스 채널(210)을 최대한 하면 전류 증가 외의 다른 전기적 특성이 저하될 수 있기 때문이다. 따라서, 터널링 트랜지스터(200)의 전반적인 전기적 특성을 고려하여 우수한 전기적 특성을 만족시키는 전류 증가를 최대화할 수 있도록 리세스 채널(210)이 설계될 것이다.
- [0034] 한편, 본 명세서에서 기판 영역과 리세스 채널(210)은 각각 동일한 영역을 지칭하는 것으로 이해되어야 할 것이다.
- [0035] 도 2에 도시된 바와 같이, 리세스 채널(210)은 반도체 기판을 소정의 깊이로 식각하여 형성하되, 일측면과 타측면의 구조가 상이한 비대칭 구조로 형성될 수 있다.
- [0036] 예를 들어, 리세스 채널(210)은 일측면이 절곡(bend)되어 형성될 수 있다. 따라서, 리세스 채널(210)에서 절곡된 형상이 아닌 일측면 전부와 하단부에서 전부 터널링 현상이 발생하여 동작전류를 형성하는데 사용될 수 있다.
- [0037] 보다 상세하게, 리세스 채널(210)은 일측면이 절곡(bend)되어 타측면과는 상이한 비대칭 구조로 형성될 수 있으며, 절곡된 부분은 소스 영역(215)과 드레인 영역(220)을 충분히 구분시키기 위하여 다른 측면의 폭보다 넓은 폭을 가질 수 있다. 이때, 도 2에서 리세스 채널(210)의 우측 측면을 기준으로 드레인 영역(220)이 정상적인 드레인영역으로 기능할 수 있는 기본적인 영역을 드레인 영역(220)으로 할당하고, 나머지 영역은 더 많은 터널링 영역을 확보하기 위해 소스 영역(215)으로 확보할 수 있다. 이하에서는 이해와 설명의 편의를 도모하기 위해 절곡된 영역을 절곡 영역이라 칭하기로 한다.
- [0038] 이와 같이, 리세스 채널(210)의 일측면은 절곡되도록 형성됨으로써, 일측면에서는 기판 영역(210)과 게이트 영역(230)이 절연막(225)을 사이에 두고 마주볼 수 있으나, 타측면에서는 게이트 영역(230)의 일부만이 기판 영역(210)과 마주볼 수 있다.
- [0039] 이와 같이, 리세스 채널(210)이 반도체 기판(에 형성되면, 리세스 채널(210) 표면 중 일부에 고농도 도펀트(이하, 제1 고농도 도펀트라 칭하기로 함)를 도핑하여 소스 영역(215)을 형성한다.
- [0040] 이어, 리세스 채널(210) 표면 중 나머지 일부에 고농도 도펀트(이하, 제2 고농도 도펀트라 칭하기로 함)를 도핑하여 드레인 영역(220)을 형성한다.
- [0041] 소스 영역(215)과 드레인 영역(220)을 형성한 후, 리세스 채널(210)의 이면에 저농도 도펀트를 도핑하여 기판 영역(210)을 형성할 수 있다.
- [0042] 제1 실시예에서는 소스 영역(215)과 드레인 영역(220)을 형성한 후 기판 영역(210)을 형성하는 것으로 설명하고 있으나, 기판 영역(210)이 소스 영역(215)과 드레인 영역(220)보다 먼저 형성될 수도 있다. 즉, 소스 영역(215), 드레인 영역(220) 및 기판 영역(210)이 형성되는 순서는 상기에 기술된 순서와 상이할 수도 있음은 당연하다.
- [0043] 이와 같이, 소스 영역(215), 드레인 영역(220) 및 기판 영역(210)을 각각 형성한 후, 기판 영역(210), 드레인 영역(220) 및 터널링 트랜지스터의 제어를 위한 절연막(225)이 리세스 채널(210) 이면에 개재되어 게이트 영역(230)이 형성될 수 있다.
- [0044] 이와 같이, 기판(201)에 소정의 깊이를 갖는 리세스 채널(210)을 형성하여 터널링 트랜지스터를 제조함으로써, 트랜지스터 소자 면적의 증가 없이 기판 영역(210)과 소스 영역(215) 사이의 터널링 영역의 면적을 증가시켜 동작 전류를 증가시킬 수 있는 이점이 있다. 이때, 리세스 채널(210)의 폭은 부분적으로 다를 수 있다.



- [0045] 도 3은 제2 실시예에 따른 터널링 트랜지스터의 구조를 도시한 도면이다.
- [0046] 제2 실시예에 따른 터널링 트랜지스터(300)는 반도체 기관(301)을 소정 깊이로 식각하여 형성된 리세스 채널(310)을 포함한다.
- [0047] 리세스 채널(310)은 도 3에 도시된 바와 같이, 하단부가 원형으로 형성되는 점에서 도 2에 도시된 제1 실시예에 따른 리세스 채널과 상이하다.
- [0048] 즉, 제2 실시예에 따른 리세스 채널(310)은 반도체 기관(301)을 소정의 깊이로 식각하여 형성되며, 하단부는 원형으로 식각되어 형성되며, 제1 측면은 제2 측면과 상이한 비대칭 구조로 형성된다.
- [0049] 따라서, 제2 실시예에 따른 터널링 트랜지스터(300)의 리세스 채널(310)의 상부 폭과 하단부 폭은 각각 상이하게 형성될 수 있다. 보다 상세하게, 리세스 채널(310)의 하단부는 원형으로 형성되므로, 상부보다 하단부의 폭이 더 넓게 형성될 수 있다.
- [0050] 여기서, 제2 실시예에 따른 터널링 트랜지스터(300)의 리세스 채널(310)의 하단부의 폭이 상부보다 넓다는 의미는 하단부의 폭 중 가장 큰 폭(최대 폭)이 상부의 폭 중 가장 큰 폭(최대 폭)보다 넓다는 의미로 이해되어야 할 것이다.
- [0051] 또한, 제2 실시예에 따른 리세스 채널(310)의 제1 측면은 절곡되어 제2 측면과 상이한 비대칭 구조로 형성될 수 있다. 이때, 리세스 채널(310)의 절곡되어 형성되는 영역의 간격은 타측면의 리세스 채널의 간격보다 크게(넓게) 형성될 수 있다.
- [0052] 리세스 채널(310)을 제외한 나머지 구조는 도 2에서 설명한 바와 동일하므로 중복되는 설명은 생략하기로 한다.
- [0053] 도 4는 제1 실시예에 따른 터널링 트랜지스터를 제조하는 방법을 나타낸 흐름도이다.
- [0054] 단계 410에서 반도체 기관(201)을 정해진 패턴에 따라 소정의 깊이로 식각하여 리세스 채널(210)을 형성한다. 여기서, 리세스 채널(210)은 반도체 기관(201)에 게이트 영역이 예정된 영역을 식각하여 형성될 수 있다.
- [0055] 이때 형성된 리세스 채널(210)은 도 2에서 설명한 바와 같이, 리세스 채널(210)의 제1 측면이 절곡된 형상으로 제2 측면과는 상이한 비대칭 구조로 형성될 수 있다.
- [0056] 다른 예를 들어, 반도체 기관(201)의 하단부를 원형으로 식각하여 리세스 채널의 상부와 하단부가 상이한 폭을 가지도록 리세스 채널(310)을 형성할 수도 있다.
- [0057] 단계 415에서 리세스 채널(210)의 표면을 고농도 도펀트로 도핑하여 소스 영역과 드레인 영역을 형성한다.
- [0058] 이때, 리세스 채널(210)의 제1 측면이 절곡되어 분리된 표면에 드레인 영역(220)을 형성할 수 있다.
- [0059] 이와 같이, 소스 영역(215)과 드레인 영역(220)이 형성된 후 단계 420에서 리세스 채널(210) 이면에 저농도로 도핑된 반도체 물질을 증착하여 기관 영역을 형성한다.
- [0060] 이어, 단계 425에서 리세스 채널(210)의 이면에 절연막이 개재된 게이트 영역(230)을 형성한다.

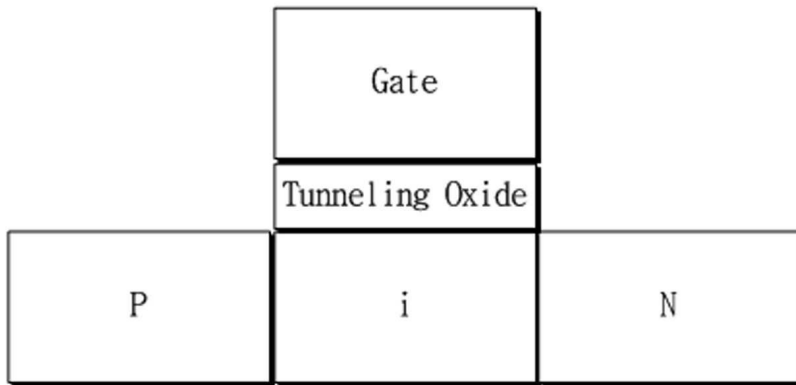
**부호의 설명**

- [0061] 210: 리세스 채널(기관 영역)
- 215: 소스
- 220: 드레인
- 225: 절연막
- 230: 게이트



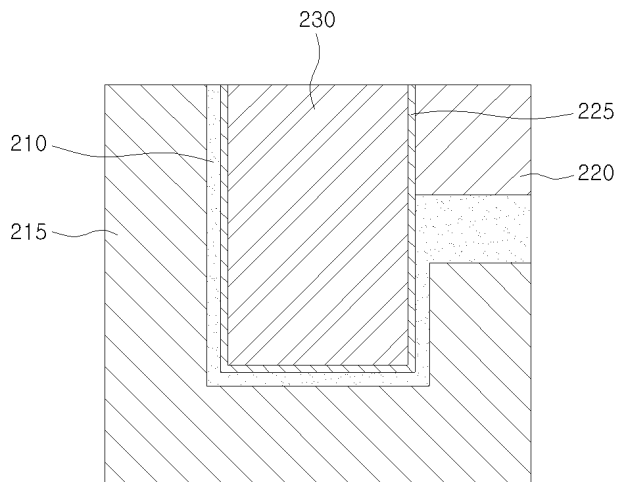
도면

도면1

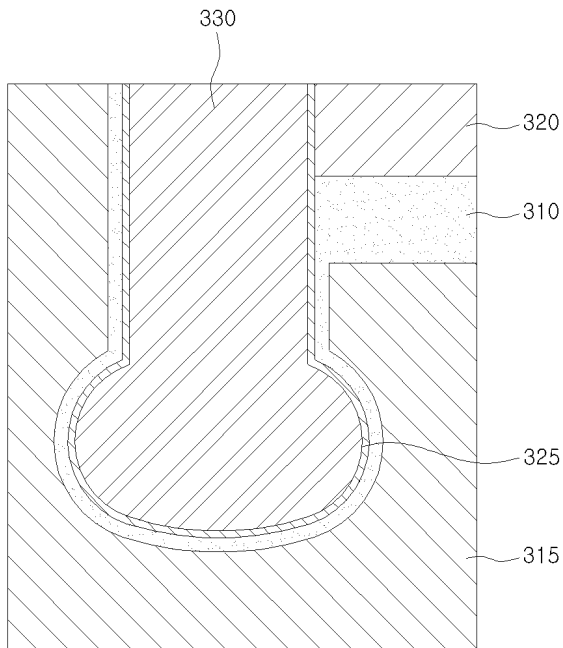


도면2

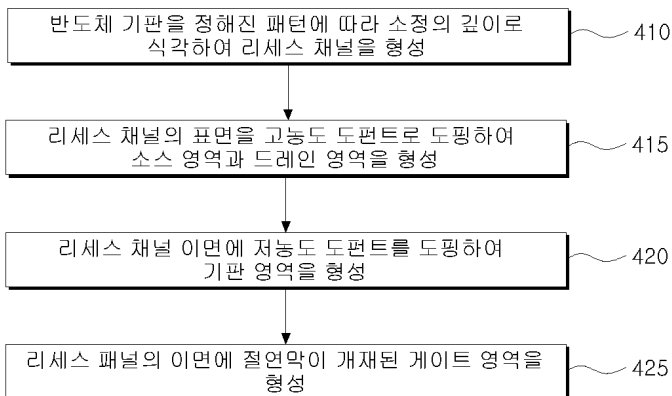
터널링 트랜지스터 (200)



도면3



도면4



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 9

【변경전】

제 7항 또는 제8 항에 의해

【변경후】

제7 항 또는 제8 항에 기재된 터널링 트랜지스터 제조 방법에 의해