



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년12월01일  
 (11) 등록번호 10-1803740  
 (24) 등록일자 2017년11월27일

(51) 국제특허분류(Int. Cl.)  
 H01L 45/00 (2006.01)

(52) CPC특허분류  
 H01L 45/04 (2013.01)  
 H01L 45/1233 (2013.01)

(21) 출원번호 10-2016-0002969

(22) 출원일자 2016년01월11일

심사청구일자 2016년01월11일

(65) 공개번호 10-2017-0083730

(43) 공개일자 2017년07월19일

(56) 선행기술조사문헌

KR1020060017826 A

KR1020150094387 A

KR101474812 B1

(73) 특허권자

명지대학교 산학협력단

경기도 용인시 처인구 명지로 116 (남동, 명지대학교)

(72) 발명자

윤태식

경기도 성남시 분당구 미금일로 58 까치마을1단지 롯데아파트 416-704

노영준

인천광역시 연수구 청량로164번길 21, 남도빌라 103호

(74) 대리인

특허법인다울

전체 청구항 수 : 총 19 항

심사관 : 노영철

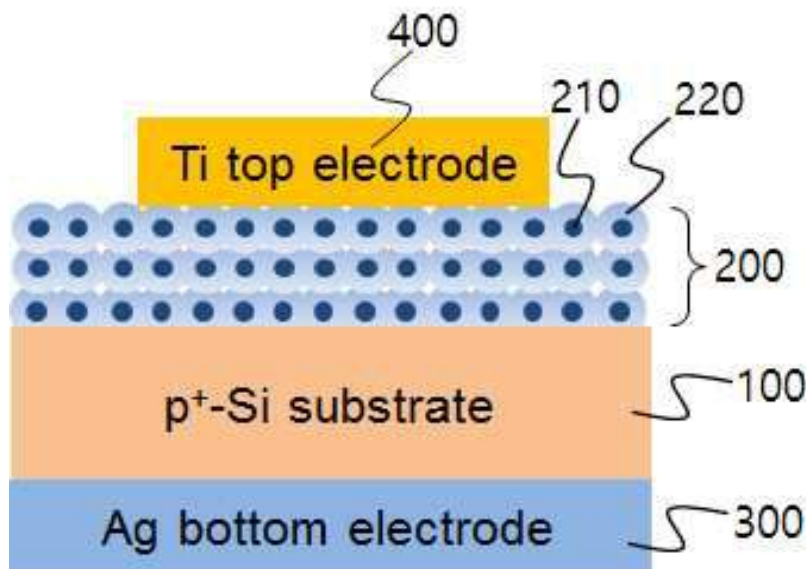
(54) 발명의 명칭 **아날로그 메모리스트어 및 메모캐패시터 특성을 갖는 전자소자와 그 제조방법**

**(57) 요약**

본 발명은 새로운 개념의 전자소자에 관한 것으로, n형 또는 p형 반도체 물질로 구성된 제1층; 상기 제1층과 p-n 접합다이오드를 구성하는 동시에 전하를 저장하는 전하저장 기능을 함께 수행하는 제2층; 및 p-n접합을 구성한 상기 제1층과 상기 제2층에 각각 연결된 제1전극과 제2전극을 포함한다.

(뒷면에 계속)

**대표도** - 도1



본 발명은, p-n 접합을 형성한 다이오드 구조를 기반으로 전하 저장특성을 추가함으로써, 아날로그적으로 전기 저항 및 전기 용량이 동시에 변하는 새로운 형태의 전자소자를 제공할 수 있는 효과가 있다. 또한, 본 발명의 전자소자는 전기 저항과 전기 용량의 변화를 동시에 기억하는 비휘발성 특성을 나타내어, 메모리스터와 메모캐패시터로서 사용할 수 있는 효과가 있다.

본 발명의 전자소자는 아날로그적인 전기 저항 변화와 전기 용량 변화를 동시에 가지기 때문에, 메모리스터 소자 또는 메모캐패시터 소자로서 메모리 소자와 논리 소자 및 신경모사 소자에 적용될 수 있으며, 종래의 소자보다 더욱 뛰어난 성능의 메모리 소자와 논리 소자 및 신경모사 소자를 구성할 수 있는 뛰어난 효과가 있다.

(52) CPC특허분류

**H01L 45/1253** (2013.01)

**H01L 45/14** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 NRF-2013R1A1A1A05005442

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 일반연구자지원사업\_신진연구(후속연구지원)

연구과제명 나노입자를 이용한 메모캐패시터 기반 스위치 및 비휘발성 메모리 소자

기여율 1/2

주관기관 명지대학교

연구기간 2013.06.01 ~ 2016.05.31

이 발명을 지원한 국가연구개발사업

과제고유번호 NRF-2011-0030228

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 원천기술개발사업, 나노소재기술개발사업

연구과제명 저차원 메모리스터 기반 기억/연산 통합형 나노신경소자 및 시스템

기여율 1/2

주관기관 명지대학교

연구기간 2011.09.01 ~ 2018.08.31

공지예외적용 : 있음

## 명세서

### 청구범위

#### 청구항 1

n형 또는 p형 반도체 물질로 구성된 제1층;

상기 제1층과 p-n 접합다이오드를 구성하는 동시에 전하를 저장하는 전하저장 기능을 함께 수행하는 제2층; 및  
p-n접합을 구성한 상기 제1층과 상기 제2층에 각각 연결된 제1전극과 제2전극을 포함하여 구성되며,

상기 제2층이 전하 저장을 위한 금속재질의 코어와 상기 제1층과 p-n접합을 구성하기 위한 반도체재질의 셸을 포함하는 코어-셸 나노입자들로 구성된 것을 특징으로 하는 전자소자.

#### 청구항 2

삭제

#### 청구항 3

청구항 1에 있어서,

상기 코어-셸 나노입자들이 자기조립 구조를 통해서 막형태의 제2층을 구성한 것을 특징으로 하는 전자소자.

#### 청구항 4

삭제

#### 청구항 5

청구항 1에 있어서,

상기 전자소자는 제2층에 저장된 전하의 영향으로, 인가된 전압에 따라서 저항이 변하는 것을 특징으로 하는 전자소자.

#### 청구항 6

청구항 5에 있어서,

상기 전자소자의 저항이 아날로그적으로 변하는 것을 특징으로 하는 전자소자.

#### 청구항 7

청구항 5에 있어서,

상기 전자소자의 저항 변화가 비휘발성인 것을 특징으로 하는 전자소자.

#### 청구항 8

청구항 1에 있어서,

상기 전자소자는 확산용량(diffusion capacitance)과 접합용량(junction capacitance)의 작용에 의해서 전체

전기 용량이 결정되는 것을 특징으로 하는 전자소자.

**청구항 9**

청구항 8에 있어서,

상기 전자소자는 확산용량과 접합용량의 작용에 의해서 인가된 전압에 따라서 전기 용량이 변하는 것을 특징으로 하는 전자소자.

**청구항 10**

청구항 8에 있어서,

상기 전자소자는 p-n 접합을 기준으로 순방향 전압이 인가된 경우에는 확산용량에 의해서 전체 전기 용량이 정해지고, 역방향 전압이 인가된 경우에는 접합용량에 의해서 전체 전기 용량이 정해지는 것을 특징으로 하는 전자소자.

**청구항 11**

청구항 8에 있어서,

상기 전자소자는 전기 용량이 아날로그적으로 변하는 것을 특징으로 하는 전자소자.

**청구항 12**

청구항 8에 있어서,

상기 전자소자는 전기 용량의 변화가 비휘발성인 것을 특징으로 하는 전자소자.

**청구항 13**

청구항 1에 있어서,

상기 제1층에 전하를 저장하기 위한 전하 저장체가 형성된 것을 특징으로 하는 전자소자.

**청구항 14**

p형 또는 n형의 반도체물질 기판을 제1층으로서 준비하는 단계;

상기 기판의 표면에 상기 기판과 반대되는 반도체형을 나타내며 전하를 저장하는 특성이 있는 물질로 제2층을 형성하여 p-n접합을 구성하는 단계;

상기 제1층과 상기 제2층 각각에 전극을 형성하는 단계를 포함하며,

상기 제2층이 전하 저장을 위한 금속재질의 코어와 상기 제1층과 p-n접합을 구성하기 위한 반도체재질의 셸로 구성된 코어-셸 나노입자들을 배열하여 형성되는 것을 특징으로 하는 전자소자의 제조방법.

**청구항 15**

청구항 14에 있어서,

상기 p-n접합을 구성하는 단계가 상기 코어-셸 나노입자들을 상기 기판 표면에 자기조립시켜서 수행되는 것을

특징으로 하는 전자소자의 제조방법.

**청구항 16**

삭제

**청구항 17**

데이터 저장을 위한 메모리 소자로서, 청구항 1의 전자소자를 멤리스터 소자로서 사용한 것을 특징으로 하는 메모리 소자.

**청구항 18**

데이터 저장을 위한 메모리 소자로서, 청구항 1의 전자소자를 멤캐패시터 소자로서 사용한 것을 특징으로 하는 메모리 소자.

**청구항 19**

논리회로를 구성하기 위한 논리 소자로서, 청구항 1의 전자소자를 멤리스터 소자로서 사용한 것을 특징으로 하는 논리 소자.

**청구항 20**

논리회로를 구성하기 위한 논리 소자로서, 청구항 1의 전자소자를 멤캐패시터 소자로서 사용한 것을 특징으로 하는 논리 소자.

**청구항 21**

신경망을 모사하기 위한 신경모사 소자로서, 청구항 1의 전자소자를 멤리스터 소자로서 사용한 것을 특징으로 하는 신경모사 소자.

**청구항 22**

신경망을 모사하기 위한 신경모사 소자로서, 청구항 1의 전자소자를 멤캐패시터 소자로서 사용한 것을 특징으로 하는 신경모사 소자.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 회로 소자에 관한 것으로, 더욱 자세하게는 메모리 소자, 로직 소자 및 신경 소자 등에 적용할 수 있는 아날로그 멤리스터 및 멤캐패시터 특성의 전자소자에 관한 것이다.

**배경 기술**

[0002] 최근 전통적인 회로의 구성요소로서 알려진 R(저항), L(코일), C(콘덴서)에 대하여, 새로운 특성을 가진 회로 구성요소가 등장하고 있다.

[0003] 새로운 회로 구성요소로서 가장 대표적인 것은 멤리스터(memristor)이다. 멤리스터는 메모리(memory)와 레지스

터(resistor)의 합성어로서, 이론가 Leon Chua에 의해 1971년도에 만들어진 용어이며, 전하와 자속과의 결합에 관련된 비선형 수동 두 단자 전기 구성요소이다. 이전의 수동소자인 R, L, C에 대하여 4번째 수동소자로 알려져 있고, 전원공급이 끊어졌을 때도 직전에 통과한 전류의 방향과 양을 기억하기 때문에 다시 전원이 공급되면 기존의 상태가 그대로 복원되는 것을 특징으로 한다. 맴리스터에 대해서는 많은 연구가 진행되어 왔지만, 디지털 형태의 저항 변화를 나타내고 구조와 제조 방법이 복잡한 단점이 있다.(대한민국 공개특허 10-2012-0107304)

[0004] 최근 이러한 맴리스터와 유사하게 캐패시터(콘덴서)와 인덕터(코일)에 대해서도 메모리적 요소가 도입된 맴캐패시터(memcapacitor)나 맴인덕터(meminductor)에 대한 연구도 진행되고 있다.

[0005] 맴캐패시터는 인가된 전압에 의해서 비휘발적으로 용량(capacitance)이 변화하는 캐패시터 소자이며, 두 개의 전극 사이에 배치된 절연층 또는 반도체층 내부에서 발생하는 이온분포의 변화를 통해서 용량의 변화를 얻는 기술(미국등록 8,750,024)과 트랜지스터 구조에서 게이트 절연막 부근의 이온분포 변화를 통해서 용량의 변화를 얻는 기술(미국등록 8,437,174) 등이 개발되고 있으나, 속도와 안정성 및 용량 변화폭 등이 더 우수한 소자에 대한 요구가 계속되고 있다.

**선행기술문헌**

**특허문헌**

- [0006] (특허문헌 0001) 대한민국 공개특허 10-2012-0107304
- (특허문헌 0002) 미국등록 8,750,024
- (특허문헌 0003) 미국등록 8,437,174

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명은 맴리스터 및 맴캐패시터 소자를 구현함에 있어서, 기존의 디지털 형태의 저항변화가 아닌 아날로그 형태의 저항변화를 갖는 맴리스터를 구현하고, 맴캐패시턴스 현상도 아날로그 형태의 맴캐패시턴스 현상을 구현하기 위한 것으로서, p-n 접합 다이오드 구조를 가지는 새로운 개념의 아날로그 맴리스터 및 맴캐패시터 소자를 제공하는데 그 목적이 있다.

**과제의 해결 수단**

[0008] 상기 목적을 달성하기 위한 본 발명에 의한 전자소자는, n형 또는 p형 반도체 물질로 구성된 제1층; 상기 제1층과 p-n 접합다이오드를 구성하는 동시에 전하를 저장하는 전하저장 기능을 함께 수행하는 제2층; 및 p-n접합을 구성한 상기 제1층과 상기 제2층에 각각 연결된 제1전극과 제2전극을 포함한다.

[0009] 본 발명의 전자소자는 n형 또는 p형의 반도체 물질인 제1층과 반대되는 반도체형을 나타내어 제1층과 p-n접합을 구성하는 제2층이 전하를 저장하는 기능을 동시에 수행함으로써, 전압이 인가됨에 따라서 전기저항과 용량이 변화하는 새로운 형태의 전자소자를 제공한다.

[0010] 이때, 제2층이 나노구조체들이 자기조립 구조를 통해서 막형태를 구성한 경우에 전하저장 성능이 향상되어 특성이 좋아진다. 기존의 박막증착 형태가 아니라, 나노입자의 자기조립 구조를 채택하여, 나노입자의 특성을 합성 단계에서 조절함으로써 n형 물질의 특성을 제어하는 것을 특징으로 한다.

[0011] 구체적으로 전하저장을 위한 금속재질 코어의 표면에 반도체재질 셸이 형성된 코어-셸 나노입자를 적용하는 경우에, 코어에 의해서 전하를 저장할 수 있고, 반도체재질의 셸이 제1층과 p-n접합을 구성할 수 있다. 또한, 앞서 설명한 것과 같이 금속코어와 반도체 셸을 갖는 나노입자를 자기조립에 의해 적층하여 박막을 형성함으로써, 나노입자 각각이 하나의 금속코어를 포함하고 있으므로 매우 높은 밀도의 금속코어를 포함하는 p-n접합을 구성할 수 있다. 그리고 그리고 금속재질의 코어에 전하가 저장되는 것에 의해서 맴리스터와 맴캐패시터 특성을 얻는 것이므로, 반도체재질의 나노입자와 금속재질의 나노입자를 혼합하여 구성된 혼합층을 이용하는 것도 가능하다.

- [0012] 본 발명의 전자소자는 제1층과 제2층이 p-n 접합을 구성하는 것과 함께, 제2층이 전하를 저장하기 때문에, 다음과 같은 2가지 특성을 동시에 나타낸다.
- [0013] 먼저, p-n 접합을 가로지르는 전류의 크기가 제2층에 저장된 전하의 영향으로 전자소자의 저항이 변화하여 정방향 전류와 역방향 전류가 변하는 메모리스터로서의 특성을 나타낸다.
- [0014] 이때, 정방향 전류와 역방향 전류는 아날로그적으로 변하는 것을 특징으로 하며, 변화된 저항값이 전원의 제거에 의해서 바로 사라지지 않고 잔류하는 비휘발성을 나타낸다.
- [0015] 또한, p-n접합의 캐패시턴스값이 제2층에 저장된 전하에 의해 확산용량과 접합용량이 상호 작용하여 전체 용량이 결정되며, 결과적으로 인가된 전압에 따라서 용량이 변화하는 메모캐패시터로서의 특성을 나타낸다.
- [0016] 메모캐패시턴스 특성의 경우에는 순방향 전압이 인가된 경우에는 확산용량(diffusion capacitance)에 의해서 용량이 정해지고, 역방향 전압이 인가된 경우에는 접합용량(junction capacitance)에 의해서 용량이 정해진다.
- [0017] 이때, 확산용량과 접합용량에 의해서 변하는 용량은 아날로그적으로 변하는 것을 특징으로 하며, 변화된 용량이 전원의 제거에 의해서 바로 사라지지 않고 잔류하는 비휘발성을 나타낸다.
- [0018] 그리고 제1층에도 전하를 저장하기 위한 전하 저장매체가 형성될 수도 있다. 이 경우에, 제1층과 제2층이 모두 전하를 저장할 수 있는 구조가 된다.
- [0019] 본 발명의 다른 형태에 의한 전자소자의 제조방법은, p형 또는 n형의 반도체물질 기판을 제1층으로서 준비하는 단계; 상기 기판의 표면에 상기 기판과 반대되는 반도체형을 나타내며 전하를 저장하는 특성이 있는 물질로 제2층을 형성하여 p-n접합을 구성하는 단계; 상기 제1층과 상기 제2층 각각에 전극을 형성하는 단계를 포함한다.
- [0020] 이때, 제2층이 나노구조체들로 구성되고, p-n접합을 구성하는 단계가 나노구조체들을 기판 표면에 자기조립시켜서 수행되는 것이 바람직하다.
- [0021] 또한, 나노구조체가 금속재질의 코어와 반도체재질의 셸로 구성된 코어-셸 나노입자인 것이 바람직하다. 그리고 금속재질의 코어에 전하가 저장되는 것에 의해서 메모리스터와 메모캐패시터 특성을 얻는 것이므로, 반도체재질의 나노입자와 금속재질의 나노입자를 혼합하여 구성된 혼합층을 형성하는 방법으로 제2층을 구성하는 것도 가능하다.
- [0022] 본 발명의 또 다른 형태에 의한 메모리 소자와 논리 소자 및 신경모사 소자는, 상기한 전자소자를 메모리스터 소자 또는 메모캐패시터 소자로서 사용한 것을 특징으로 한다. 이러한 메모리 소자와 논리 소자 및 신경모사 소자는, 상기한 것과 같은 본 발명의 전자소자를 메모리스터 소자 또는 메모캐패시터 소자로서 적용하는 것을 제외하고는 기존의 기술을 모두 적용할 수 있고, 메모리스터 특성과 메모캐패시터의 특성을 동시에 구비하는 물성을 반영한 새로운 구성 또한 모두 적용할 수 있으므로, 구체적인 설명은 생략한다.

**발명의 효과**

- [0023] 상술한 바와 같이 구성된 본 발명은, p-n 접합을 형성한 다이오드 구조를 기반으로 전하 저장특성을 추가함으로써, 아날로그적으로 전기 저항과 전기 용량이 변하는 새로운 형태의 전자소자를 제공할 수 있는 효과가 있다.
- [0024] 또한, 본 발명의 전자소자는 전기 저항과 전기 용량의 변화를 기억하는 비휘발성 특성을 나타내어, 메모리스터와 메모캐패시터로서 사용할 수 있는 효과가 있다.
- [0025] 본 발명의 전자소자는 아날로그적인 전기 저항 변화과 전기 용량 변화를 동시에 가지기 때문에, 메모리스터 소자 또는 메모캐패시터 소자로서 메모리 소자와 논리 소자 및 신경모사 소자에 적용될 수 있으며, 종래의 소자보다 더욱 뛰어난 성능의 메모리 소자와 논리 소자 및 신경모사 소자를 구성할 수 있는 뛰어난 효과가 있다.

**도면의 간단한 설명**

- [0026] 도 1은 본 발명의 실시예에 따른 메모리스터 특성과 메모캐패시터 특성을 동시에 나타내는 소자의 구조를 나타낸 모식도이다.
- 도 2는 본 실시예에 따라서 제조된 코어-셸 나노입자를 촬영한 전자현미경 사진이다.

- 도 3은 본 실시예에 따라서 실리콘 기판의 표면에 코어-셸 나노입자로 제2층을 형성한 모습을 나타낸다.
- 도 4는 본 실시예에 따른 메모리스터 특성과 메모캐패시터 특성을 동시에 나타내는 소자의 에너지 밴드 구조를 나타낸 도면이다.
- 도 5는 본 실시예의 전자소자에 대하여 메모리스터 특성으로서 측정된 전류-전압 커브이다.
- 도 6은 본 실시예의 전자소자에 대하여 메모리스터 특성으로서 전압펄스 후에 그에 따른 0.5V에서 측정된 전류를 나타낸 그래프이다.
- 도 7은 본 실시예의 전자소자에 대하여 메모리스터 특성으로서 소자의 리텐션(retention) 특성을 측정된 결과를 나타낸 도면이다.
- 도 8은 본 실시예의 전자소자에 대하여 메모캐패시터 특성으로서 측정된 용량-전압 커브이다.
- 도 9는 본 실시예의 전자소자에 대하여 메모캐패시터 특성으로서 전압스윙을 진행하는 중에 0V에서 측정된 용량을 나타낸 그래프이다.
- 도 10은 본 실시예의 전자소자에 대하여 메모캐패시터 특성으로서 시간에 따른 용량의 변화를 측정된 결과를 나타내는 그래프이다.
- 도 11은 본 실시예의 전자소자에 대하여 메모캐패시터 특성으로서 소자의 리텐션(retention) 특성을 측정된 결과를 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0027] 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.
- [0028] 도 1은 본 발명의 일실시예에 따른 메모리스터와 메모캐패시터 특성을 동시에 나타내는 소자의 구조를 나타낸 모식도이다.
- [0029] 도시된 것과 같이, 본 실시예의 메모리스터 및 메모캐패시터 소자는 p형으로 도핑된 실리콘 기판인 제1층(100)의 표면에 Pt 코어(210)를  $\gamma$ -Fe<sub>2</sub>O<sub>3</sub> 셸(220)이 감싸고 있는 코어-셸 나노입자가 정렬된 제2층(200)이 형성되며, 실리콘 기판 제1층(100)에는 제1전극(300)으로서 Ag 전극이 형성되고, 코어-셸 나노입자로 구성된 제2층(200)에는 제2전극(400)으로서 Ti 전극이 형성된다.
- [0030] 도 1에 도시된 본 실시예에 따른 소자의 제조과정은, 도핑된 실리콘 기판과 코어-셸 나노입자를 준비하는 단계, 제조된 코어-셸 나노입자를 도핑된 실리콘 기판인 제1층에 부착하여 제2층을 형성하는 단계 및 제1층과 제2층 각각에 제1전극과 제2전극을 형성하는 단계로 구분된다.
- [0031] 상기한 각 단계들을 구체적으로 설명하면 다음과 같다.
- [0032] 먼저, Pt를 중심(코어)에 두고  $\gamma$ -Fe<sub>2</sub>O<sub>3</sub>가 둘러싼(셸) 코어-셸 형태의 나노입자를 제조한다.
- [0033] Pt(acac)<sub>2</sub>과 1,2-Hexadecanediol을 질소분위기에서 옥타데센(octadecene)과 함께 혼합하고 100℃까지 가열한다. 그리고 올레일아민(C<sub>18</sub>H<sub>34</sub>N), 올레산(C<sub>18</sub>H<sub>34</sub>O<sub>2</sub>) 및 Fe(CO)<sub>5</sub>를 첨가한 뒤에 320℃까지 가열한다. 용액을 1시간동안 환류한 뒤에 실온까지 냉각하고, 에탄올로 세척한 다음 헥산에 분산시켰다.
- [0034] 이상의 제조과정은, FePt 나노입자를 형성한 뒤에 용액에 잔류하는 산소를 통해 Fe를 산화시켜 Fe<sub>2</sub>O<sub>3</sub> 셸을 형성하는 동시에 나노사이즈의 Pt 코어를 둘러싸도록 한 것이다.
- [0035] 도 2는 본 실시예에 따라서 제조된 코어-셸 나노입자를 촬영한 전자현미경 사진이다.
- [0036] 상기한 과정으로 제조된 코어-셸 나노입자는, Pt 코어(210)가 2nm 이하의 입경을 가지며, 전체 코어-셸 나노입자는 10nm 이하의 입경을 나타내었다. 한편, 본 실시예의 코어-셸 나노입자를 제조하는 방법은 이에 한정되는 것은 아니며, Pt 나노입자의 표면을 반도체인 Fe<sub>2</sub>O<sub>3</sub>로 둘러싼 형태로 제조할 수 있는 것이면 모든 방법을 적용할 수 있다.

- [0037] 제조된 코어-셸 나노입자의 표면에 형성된 셸은 분석결과  $\gamma$ -Fe<sub>2</sub>O<sub>3</sub>인 것으로 확인되었으며,  $\gamma$ -Fe<sub>2</sub>O<sub>3</sub>는 마그네타이트 구조의 철산화물로서 밴드갭이 2.03eV인 n형 반도체이다.
- [0038] 다음으로 n형 반도체인  $\gamma$ -Fe<sub>2</sub>O<sub>3</sub>셀로 둘러싸인 코어-셸 나노입자를 p형으로 도핑된 실리콘 기판의 표면에 부착하여 p-n 접합을 형성한다.
- [0039] 코어-셸 나노입자를 부착하기 위하여, 코어-셸 나노입자가 분산된 콜로이드 용액에 실리콘 기판을 침지한 뒤에 0.01mm/s의 속도로 빼내고 공기 중에서 건조시키는 공정을 반복하였으며, 반데르발스 상호작용에 의해서 실리콘 기판 표면에 코어-셸 나노입자가 자기조립구조로 정렬되었다.
- [0040] 도 3은 본 실시예에 따라서 실리콘 기판의 표면에 코어-셸 나노입자로 제2층을 형성한 모습을 나타낸다.
- [0041] 코어-셸 나노입자가 분산된 콜로이드 용액에 실리콘 기판을 침지한 뒤에 건조하는 공정을 반복하여, 실리콘 기판인 제1층(100)의 표면에 코어-셸 입자로 이루어진 막형태의 제2층(200)을 형성하였으며, 200℃에서 열처리하여 콜로이드 분산을 위하여 계면활성제로 사용된 올레산을 제거하였다.
- [0042] 마지막으로 실리콘 기판의 뒷면에는 Ag 페이스트를 사용하여 제1전극인 Ag 전극을 형성하고, 제2층의 표면에는 제2전극으로서 Ti 전극을 형성한다.
- [0043] Ag 전극은 Ag 페이스트를 사용하여 형성하며, Ti 전극은 열증착공정을 적용하였고 웨도우 마스크를 사용하여 지름 100 $\mu$ m의 원형으로 형성하였다.
- [0044] 상기한 과정을 통해서 도 1에 도시된 것과 같은 구조의 메모리스터 및 메모캐패시터 소자를 제조할 수 있었으며, 이하에서는 제조된 본 실시예 소자의 메모리스터 및 메모캐패시터 특성에 대하여 설명한다.
- [0045] 먼저, 메모리스터로서의 특성에 대하여 살펴보면 다음과 같다.
- [0046] 도 4는 본 실시예에 따른 전자소자의 에너지 밴드 구조를 나타낸 도면이다.
- [0047] 본 실시예의 전자소자는 위쪽에서부터 순차적으로 제2전극, 코어-셸 나노입자(제2층), 실리콘 기판(제1층) 및 제1전극이 순차적으로 적층되어 있으며, 이들은 도 4의 아래쪽에 제2전극의 재질인 Ti, n형 반도체 셸을 구비한 나노입자인 n-NPs, p형으로 도핑된 실리콘 기판인 p<sup>+</sup>-Si 및 제1전극의 재질인 Ag로 나타내었다.
- [0048] 실리콘 기판의 일함수  $\phi$ Si는 원자가 전자 락(valence band edge)에 가까운 페르미에너지 레벨에서 5.1eV로 계산되었다. 실리콘은 p<sup>+</sup>로 도핑량이 높기 때문에, 상부의 제2전극(Ti)과 하부의 실리콘 기판(p<sup>+</sup>-Si)이 본 실시예의 전자소자에서 유일하게 공핍층을 갖는 접합면이다.
- [0049] 코어-셸 나노입자의 내부에 포함된 Pt코어는  $\gamma$ -Fe<sub>2</sub>O<sub>3</sub>셸의 금지대역에서 전하 트랩 사이트 또는 전하 도약 사이트로 기능한다.  $\gamma$ -Fe<sub>2</sub>O<sub>3</sub>셸의 밴드갭은 앞서 살펴본 것과 같이, 2.03eV이고, 일함수와 전자친화도는 정확한 측정이 어렵다. 다만,  $\gamma$ -Fe<sub>2</sub>O<sub>3</sub>셸의 저항이 0V 근처에서 4.7 $\times$ 10<sup>8</sup> $\Omega$ 으로 벌크상태의 저항보다 매우 크게 나타났고, 이는 제2전극과 코어-셸 나노입자의 계면(Ti/n-NPs)에 쇼트키 배리어와 같은 배리어가 존재하는 것으로 가정할 수 있고, 일함수가 제2전극(Ti)의 일함수인 4.33eV 및 실리콘 기판(p<sup>+</sup>-Si)의 일함수인 5.1eV보다 작은 것으로 가정할 수 있다. 그리고 실리콘 기판이 도핑량이 높기 때문에 실리콘 기판과 제1전극의 계면(p<sup>+</sup>-Si/Ag)의 공핍은 무시할 수 있을 정도이다. 결국, 본 실시예의 전자소자는 제2전극과 코어-셸 나노입자 사이의 계면(Ti/n-NPs) 및 코어-셸 나노입자와 실리콘 기판 사이의 계면(n-NPs/p<sup>+</sup>-Si)의 2곳에 공핍층을 가진다.
- [0050] 도 5는 본 실시예의 전자소자에 대하여 메모리스터 특성으로서 측정된 전류-전압 커브이다.
- [0051] 0~5V로 전압스윙 후에 다시 -5~0V로 전압스윙을 반복하는 경우에 전류값이 아날로그 형태로 점진적으로 증가하는 것이 측정되었다. 이는 -V 전압을 인가함에 따라 저항이 이전 값을 기억하면서 아날로그 형태로 감소하여 새로운 저항값을 나타낸 것으로서 메모리스터의 특성이다.
- [0052] 그 이후에 0~+5V로 전압스윙 후에 다시 +5~0V로 전압스윙을 반복하는 경우에 전류값이 앞서 -V 전압스윙의 경우와는 반대로 아날로그 형태로 점진적으로 감소하는 것이 측정되었다. 즉, +V 전압을 인가함에 따라 저항이 이전

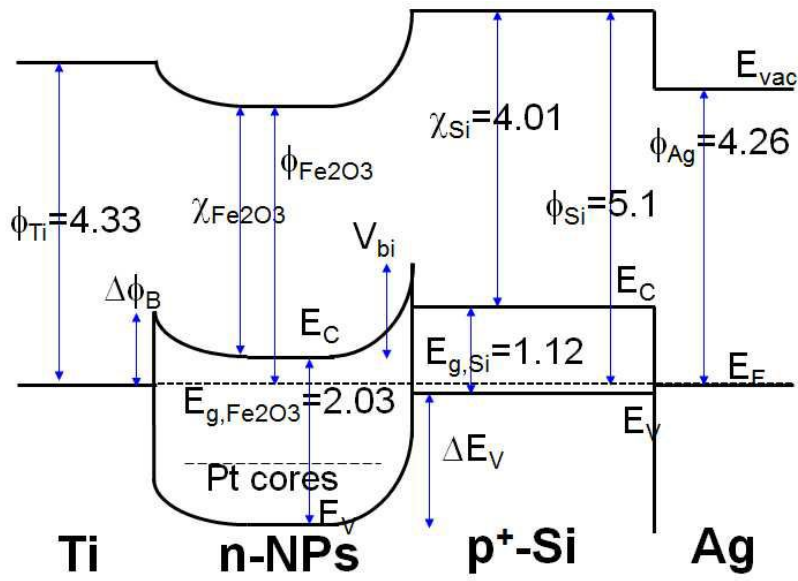
값을 기억하면서 아날로그 형태로 증가하여 새로운 저항값을 나타낸 것으로서 메모리스터의 특성이다.

- [0053] 도 6은 본 실시예의 전자소자에 대하여 메모리스터 특성으로서 전압펄스 후에 그에 따른 0.5V에서 측정된 전류를 나타낸 그래프이다.
- [0054] 즉, 전압 -5V를 펄스 형태로 100ms 간 입력한 이후에 +0.5V의 전압에서 전류값 측정을 반복하고, 다시 전압 +5V를 펄스 형태로 100ms 간 입력한 이후에 +0.5V의 전압에서 전류값 측정을 반복한 결과이다. -5V를 펄스 이후에 측정된 전류값을 보면, 전압인가를 반복함에 따라 전류값이 아날로그 형태로 점진적으로 증가하는 모습을 보인다. 즉 저항이 아날로그 형태로 감소하는 결과이다. 반면에 +5V 펄스를 반복함에 따라 전류값이 아날로그 형태로 감소하는, 즉 저항이 아날로그 형태로 증가하는 결과를 나타낸다. 이러한 결과는 시냅스가 강화되거나 약화될 때의 시냅스 거동과 유사하다. 즉, 메모리스터의 저항차이에 의해서 시냅스 가중치를 조절하고 감지하는 특성을 재현할 수 있다.
- [0055] 도 7은 본 실시예의 전자소자에 대하여 메모리스터 특성으로서 소자의 리텐션(retention) 특성을 측정한 결과를 나타낸 도면이다.
- [0056] -5V의 전압 펄스를 100ms의 시간동안 인가하는 것을 50번 반복한 이후에 +0.5V의 전압에서 전류를 측정하였을 때, 전압펄스를 인가하기 전에는 0.5nA의 전류값을 나타내었으나 전압펄스 인가 후에는 전류가 1.6nA로 증가하였다. 그 이후에 시간에 따라 전류값이 변하는 것을 측정한 결과, 90분이 지난 이후에도 약 60%의 전류변화량을 유지한 결과를 나타내며, 이러한 전류감소는 지수완화 모델에 잘 맞는 결과이다. 지속적인 전류 감소가 일어나기는 하지만, 이러한 특성은 생체계의 짧은 메모리 상실에 비하여 매우 뛰어난 리텐션 특성이다.
- [0057] 다음으로 메모캐패시터로서의 특성을 살펴본다.
- [0058] 도 8은 본 실시예의 전자소자에 대하여 메모캐패시터 특성으로서 측정된 용량-전압 커브이다.
- [0059] -2V에서 +2V 및 -2V로 전압 스위칭을 5회 수행하며 전압변화에 따른 용량의 변화를 측정하였다.
- [0060] 제2전극(Ti)에 마이너스 전압이 인가된 경우는, 제2전극과 코어-셸 나노입자 사이의 계면(Ti/n-NPs)에 역방향 바이어스가 인가된 것이지만, p-n접합 구조에서 n형 반도체인 제2층에 마이너스 전압이 인가된 것으로서 소자 전체로는 순방향 바이어스가 인가된 것이며, 제2전극에 인가된 마이너스 전압이 커질수록 본 실시예의 전자소자는 용량이 증가하여 본 실시예에 따른 소자의 전체 용량이 코어-셸 나노입자와 실리콘 기판 사이 접합면(n-NPs/p<sup>+</sup>-Si)의 용량에 좌우되는 것을 알 수 있다.
- [0061] 마이너스 전압이 인가된 경우에 측정된 용량은 확산용량(C<sub>d</sub>)이며, 소수 캐리어의 주입과 확산에 의해 발생하는 용량이다. 반대로 플러스 전압이 인가된 경우에는 접합면의 공핍영역에서 발생하는 접합용량(C<sub>j</sub>)이 측정되며, 역방향 전압이 커질수록 공핍영역이 폭이 넓어지면서 접합용량이 감소한다.
- [0062] 또한, 본 실시예의 소자는 도 8에서 시계방향의 히스테리시스를 나타내었고, 전압 스위칭을 반복할수록 용량이 점차 감소하는 것으로 측정되었다.
- [0063] 도 9는 본 실시예의 전자소자에 대하여 메모캐패시터 특성으로서 전압스위칭을 진행하는 중에 0V에서 측정된 용량을 나타낸 그래프이다.
- [0064] 0V에서 +2V로의 전압 스위칭과 0V에서 -2V로의 전압 스위칭을 반복하는 과정에서 0V에서의 용량을 측정한 결과, 플러스 전압(+2V)로 스위칭되는 과정에서는 용량이 점차 감소하였고 마이너스 전압(-2V)으로 스위칭되는 과정에서는 용량이 점차 증가하였다. 이러한 결과는 시냅스가 강화되거나 약화될 때의 시냅스 거동과 유사하다. 그리고 메모리스터의 저항차이에 의해서 시냅스 가중치를 감지하는 것과 유사하게, 메모캐패시터의 용량차이에 의해서 시냅스 가중치를 감지할 수 있다.
- [0065] 도 10은 본 실시예의 전자소자에 대하여 메모캐패시터 특성으로서 시간에 따른 용량의 변화를 측정한 결과를 나타내는 그래프이다.
- [0066] 본 실시예의 전자소자에 일정한 전압을 인가한 상태에서 시간에 따른 용량의 변화를 측정하였다. 1회에는 +2V를 인가하고 2회째에는 -2V를 인가하였으며, 3회와 4회째에는 각각 +2V와 -2V를 인가하였다. 1회와 3회째에 +2V를 인가한 경우에는 시간이 진행됨에 따라서 용량이 점차적으로 감소하였고, 2회와 4회째에 -2V를 인가한 경우에는 시간이 지남에 따라서 용량이 점차 증가하였다. 3회째 +2V를 인가한 경우에는 1회째에 비하여 시작 용량을 포함한 전체적으로 용량이 증가하였으며, 이는 2회째에 -2V를 인가했을 때에 증가된 용량의 영향이다.

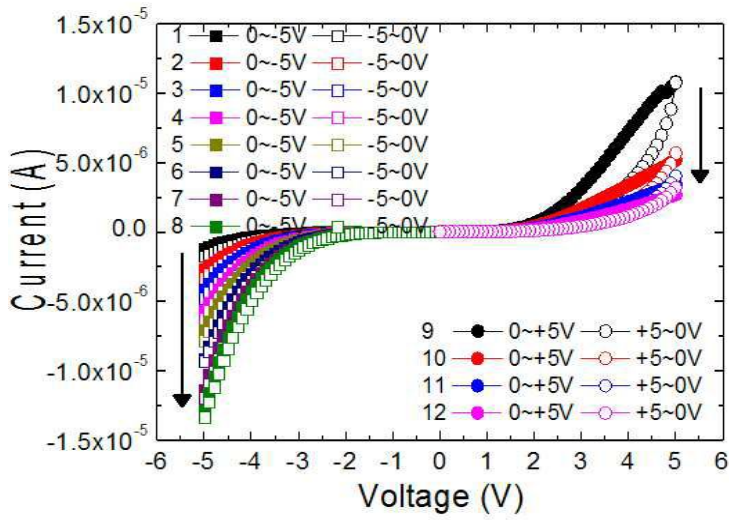
- [0067] 이상 살펴본 도 8 내지 도 10을 통해서 본 실시예의 전자소자는 전압을 인가함에 따라서 용량이 아날로그 형태로 변화하는 것을 확인할 수 있었으며, 전압 인가 이력에 의해서 용량 변화를 기억하는 메모리 소자의 동작을 보이는 것을 확인할 수 있었다.
- [0068] 도 11은 본 실시예의 전자소자에 대하여 메모리 소자 특성으로서 리텐션(retention) 특성을 측정된 결과를 나타낸 도면이다.
- [0069] 0V에서 -3V로의 전압스윙을 각각 20회와 40회 수행하여 시간 경과에 따른 용량을 측정하였다. 전압스윙을 20회 수행한 경우에는 80분이 지난 이후에도 50% 이상의 용량이 잔존하였고, 40회 수행한 경우에는 50분이 지난 이후에도 50% 이상의 용량이 잔존하였으며, 이러한 용량감소는 지수완화 모델에 잘 맞는 결과이다. 지속적인 용량 감소가 일어나기는 하지만, 1000분이 지난 이후에도 전압스윙 이전의 용량보다 높은 용량을 나타내는 것을 확인할 수 있으며, 이는 생체계의 짧은 메모리 상실에 비하여 매우 뛰어난 리텐션 특성이다.
- [0070] 이상 본 발명의 실시예로서 p형으로 도핑된 실리콘 기판인 제1층의 표면에 실리콘 기판과 p-n 접합을 구성하는 동시에 전하를 저장할 수 있도록 Pt 코어에  $\gamma$ -Fe<sub>2</sub>O<sub>3</sub> 셸이 형성된 코어-셸 나노입자를 자기조립 방식으로 적층하여 제2층을 형성한 메모리 소자 및 메모리 소자의 구조와 제조방법 및 특성에 대하여 살펴보았다.
- [0071] 본 실시예의 전자소자는 상부 Ti 전극에 인가된 전압의 부호에 따라 p-n 접합을 가로지르는 전류의 변화에 의해 저항이 조절됨으로써, 전압에 따라 아날로그적으로 저항이 변화하는 메모리 소자 특성을 나타내는 메모리 소자이다.
- [0072] 또한 본 실시예의 전자소자는 순방향 전압이 인가된 경우에는 확산용량에 의한 조절이 수행되고 역방향 전압이 인가된 경우에는 접합용량에 의한 조절이 수행됨으로써, 전압에 따라서 아날로그적으로 용량이 변화하는 메모리 소자 특성을 나타내는 메모리 소자이다.
- [0073] 이러한 메모리 소자 및 메모리 소자 특성은, 제2층이 제1층과 p-n접합을 형성하여 전체적으로 다이오드의 구조를 구성하는 동시에 전하를 저장하는 기능을 수행하기 때문이며, 따라서 이러한 2가지 기능을 수행할 수 있는 제2층과 제1층을 구비한 경우라면 상기한 실시예에 한정되지 않고 본 발명의 기술적 범위에 속한다.
- [0074] 구체적으로, 상기한 실시예에서와 같이 전하 저장을 위한 금속 코어의 표면을 반도체 셸로 둘러싼 코어-셸 구조의 입자를 적용할 수 있고, 특히 전하 저장 특성 향상을 위하여 나노입자를 적용할 수 있다. 또한, 나노입자 이외에도 다양한 나노구조물 형태로 전하 저장과 p-n 접합 구성을 동시에 수행하는 제2층을 구성할 수 있다.
- [0075] 나아가 제1층의 반도체 물질과 제2층의 반도체 물질도 특별히 제한되지 않으며, p-n 접합을 형성하기 위하여 제1층의 반도체 물질과 제2층의 반도체 물질의 반도체형이 다르면 된다.
- [0076] 또한, 본 실시예의 전자소자는 비휘발성의 저항 및 용량 변화를 얻을 수 있는 메모리 소자 또는 메모리 소자 내지는 메모리 소자와 메모리 소자를 겸하는 소자로서 적용할 수 있고, 이러한 전자소자는 데이터 저장을 위한 메모리 소자와 논리회로를 구성하기 위한 논리 소자 및 신경망을 모사하기 위한 신경모사 소자에 적용이 가능하다.
- [0077] 본 발명의 메모리 소자와 논리 소자 및 신경모사 소자는, 본 발명에 따라서 전하 저장 기능과 p-n접합을 구성하는 기능을 동시에 수행하는 제2층을 구비한 전자소자를 메모리 소자, 메모리 소자 또는 메모리 소자와 메모리 소자를 겸하는 소자로서 사용한 것을 특징으로 한다. 이러한 메모리 소자와 논리 소자 및 신경모사 소자는, 본 발명의 전자소자를 메모리 소자와 메모리 소자 소자로서 적용하는 것을 제외하고는 기존의 기술을 모두 적용할 수 있고, 메모리 소자나 메모리 소자 또는 이들 특성을 동시에 구비하는 특성을 반영한 새로운 구성 또한 모두 적용할 수 있으므로, 구체적인 설명은 생략한다.
- [0078] 이상 본 발명을 바람직한 실시예를 통하여 설명하였는데, 상술한 실시예는 본 발명의 기술적 사상을 예시적으로 설명한 것에 불과하며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화가 가능함은 이 분야에서 통상의 지식을 가진 자라면 이해할 수 있을 것이다. 따라서 본 발명의 보호범위는 특정 실시예가 아니라 특허청구범위에 기재된 사항에 의해 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술적 사상도 본 발명의



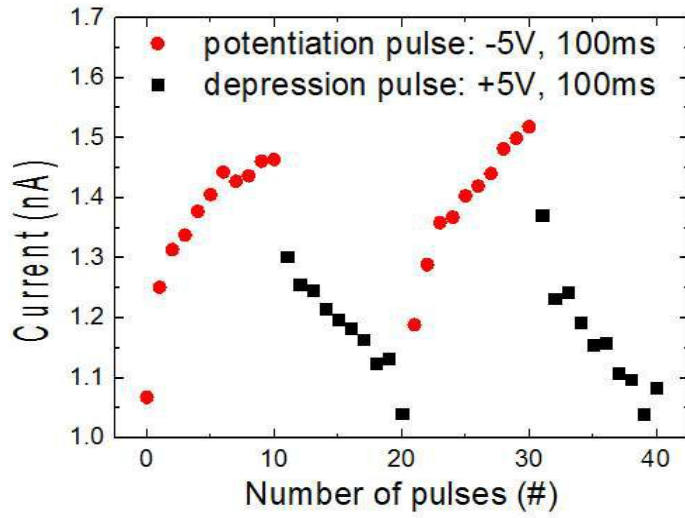
도면4



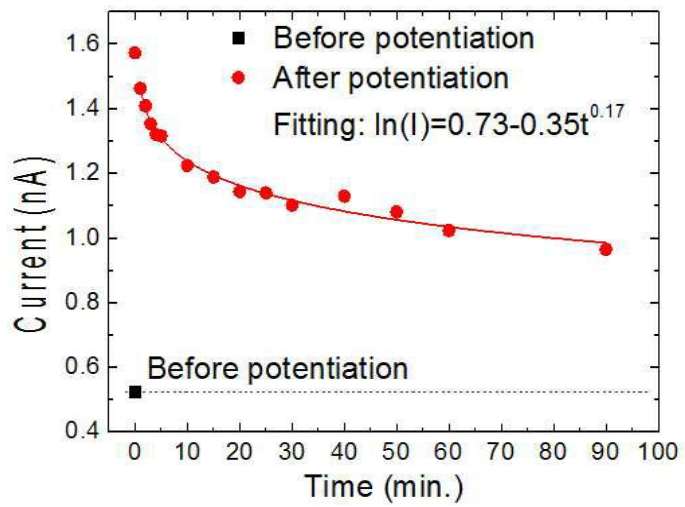
도면5



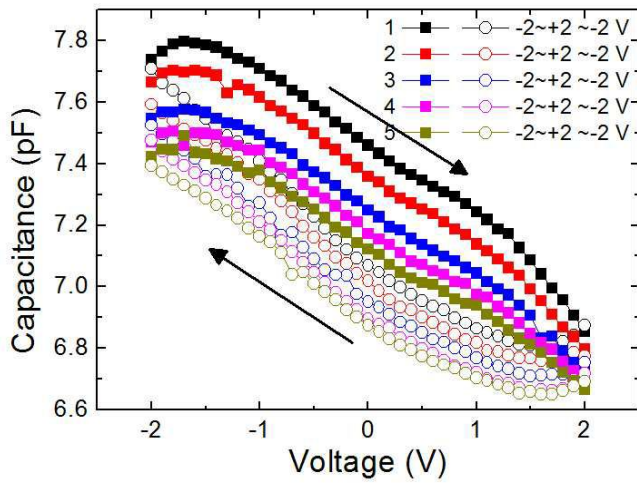
도면6



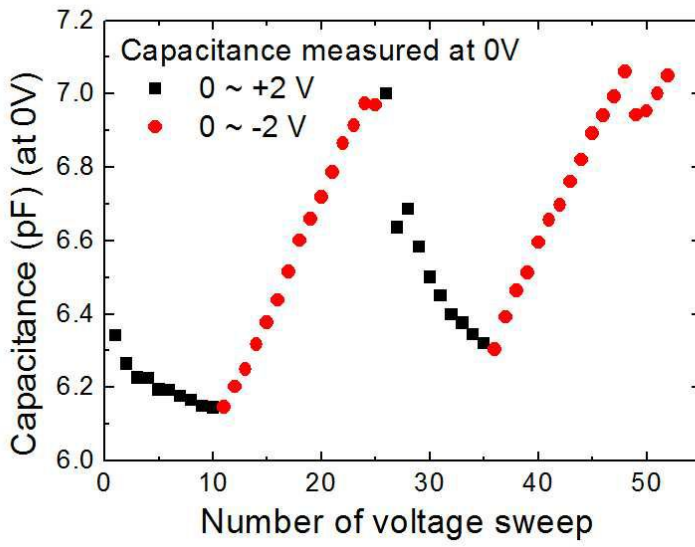
도면7



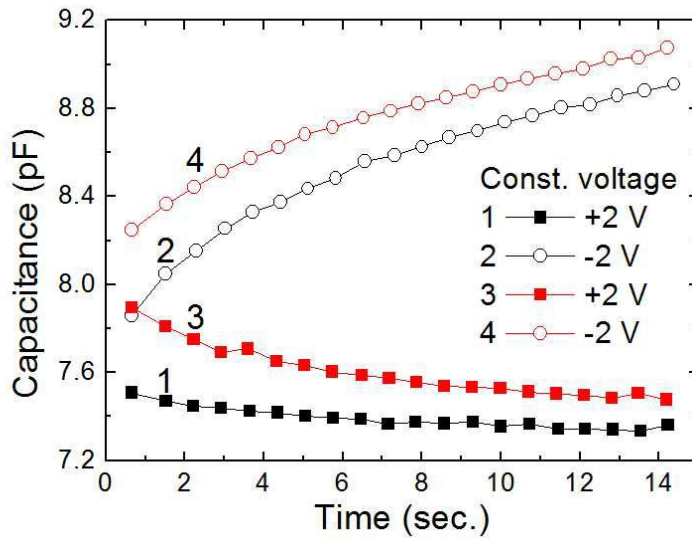
도면8



도면9



도면10



도면11

