



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년03월26일  
(11) 등록번호 10-2093894  
(24) 등록일자 2020년03월20일

(51) 국제특허분류(Int. Cl.)  
H01L 29/739 (2006.01) H01L 29/10 (2006.01)  
H01L 29/66 (2006.01)  
(52) CPC특허분류  
H01L 29/7391 (2013.01)  
H01L 29/1029 (2013.01)  
(21) 출원번호 10-2019-0005092  
(22) 출원일자 2019년01월15일  
심사청구일자 2019년01월15일  
(56) 선행기술조사문헌  
JP2016115686 A  
KR1020190105768 A  
US20160218211 A1

(73) 특허권자  
환경대학교 산학협력단  
경기도 안성시 중앙로 327(석정동)  
(72) 발명자  
유윤섭  
경기도 성남시 분당구 분당로 212, 203동 1403호  
(분당동, 셋별마을동성아파트)  
파라즈 나잠  
경기도 안성시 중앙로 327 환경대학교 나래관 63  
9호  
(74) 대리인  
전종학, 이용하

전체 청구항 수 : 총 6 항

심사관 : 안경민

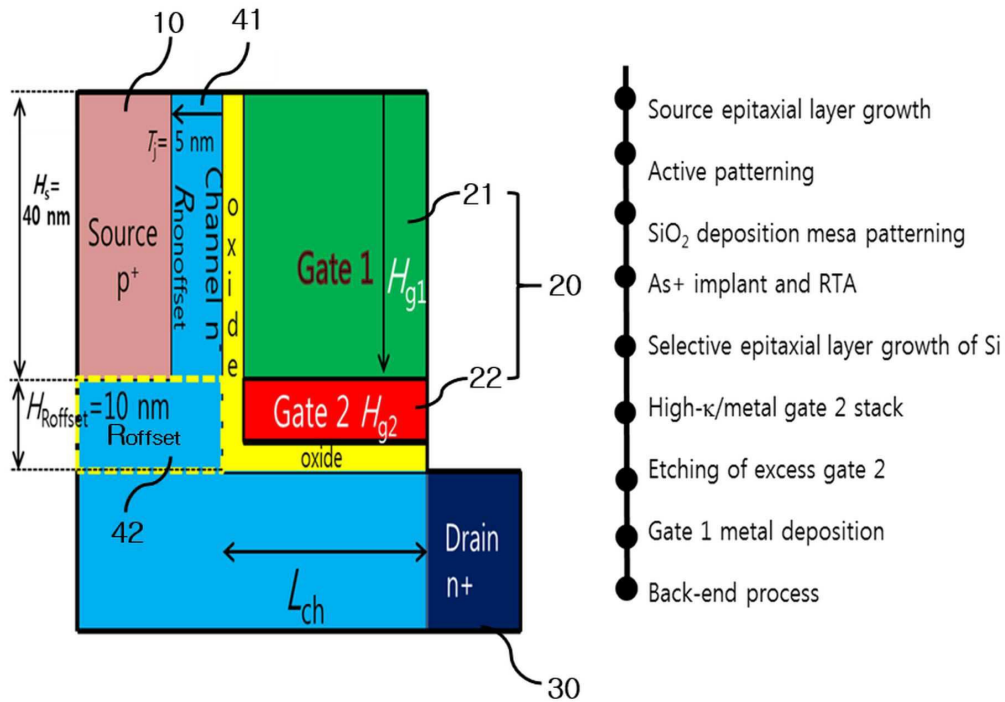
(54) 발명의 명칭 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터

(57) 요약

본 발명은 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터에 관한 것으로서, 더욱 상세히는 L형 터널 전계 효과 트랜지스터를 구성하는 게이트부를 복수의 서로 다른 게이트로 분할하고, 복수의 게이트 상호 간 일함수를 상이하도록 구성하여 문턱 전압 이하에서 소스부와 드레인부 사이에 전류가 신속하게 흐르도록 지원함으로써 ON

(뒷면에 계속)

대표도 - 도5a



및 OFF에 대한 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터에 관한 것이다. 본 발명은 기존 LTFET의 소스 영역의 모서리에서 발생하는 코너 효과로 인해 문턱 전압 이하에서 소스의 하부에 위치하는 오프셋 영역에 전계가 집중되어 소스와 게이트 사이에 위치하는 채널의 전류 흐름이 미약하여 문턱 전압 이하에서 ON 및 OFF 사이의 스위칭 동작이 신속히 이루어지지 못하는 문제를 개선하여, 복수의 서로 다른 일함수를 가진 게이트로 구성되는 LTFET를 제공하여 문턱 전압 이하에서 소스와 게이트 사이에 위치하는 오프셋 영역의 채널에서 표면 전위가 우선 형성되도록 LTFET를 동작시킬 수 있으며, 이를 통해 문턱 전압 이하 기울기를 크게 상승시켜 LTFET의 ON 및 OFF 사이의 스위칭 동작이 신속하게 이루어지도록 지원함으로써 동작 성능이 크게 개선된 LTFET를 제공하는 효과가 있다.

(52) CPC특허분류

*H01L 29/66356* (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10054888

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원, 한국반도체연구조합

연구사업명 전자정보디바이스산업원천기술개발사업(반도체공정장비), 미래반도체소자원천기술개발사업

연구과제명 회로설계를 위한 터널 트랜지스터 모델링 및 시뮬레이션

기여율 1/1

주관기관 한경대학교 산학협력단

연구기간 2015.09.01 ~ 2020.05.31

공지예외적용 : 있음

---

## 명세서

### 청구범위

#### 청구항 1

L형 터널 전계 효과 트랜지스터에 있어서,

소스부;

드레인부; 및

제 1 게이트 및 제 2 게이트를 포함하는 게이트부

를 포함하며,

상기 게이트부는 상기 제 1 게이트가 상기 제 2 게이트의 상부에 적층된 상태로 구성되고, 상기 게이트부에 문턱 전압 이하의 전압 인가시 상기 소스부와 상기 제 1 게이트 사이에 형성되는 제 1 오프셋 영역의 제 1 문턱 전압이 상기 소스부와 상기 제 2 게이트 사이에 형성되는 제 2 오프셋 영역의 제 2 문턱 전압보다 낮게 형성되기 위해 상기 제 1 게이트 및 상기 제 2 게이트 상호 간 서로 다른 일함수를 가지도록 구성되는 것을 특징으로 하는 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터.

#### 청구항 2

청구항 1에 있어서,

상기 게이트부는 상기 제 1 게이트 및 상기 제 2 게이트 상호 간 서로 다른 높이를 가지도록 구성되는 것을 특징으로 하는 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터.

#### 청구항 3

청구항 1에 있어서,

상기 소스부는 상기 제 1 게이트의 높이와 동일한 높이를 가지도록 구성되는 것을 특징으로 하는 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터.

#### 청구항 4

청구항 1에 있어서,

상기 게이트부는 상기 제 1 및 제 2 게이트를 상기 소스부 및 드레인부와 절연시키기 위한 산화물을 포함하여 구성되는 것을 특징으로 하는 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터.

#### 청구항 5

청구항 1에 있어서,

상기 드레인부는 상기 게이트부에 문턱 전압 이상의 전압 인가시 상기 소스부에서 상기 드레인부로 흐르는 양극성 전류가 억제되는 도핑 레벨로 도핑되는 것을 특징으로 하는 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터.

#### 청구항 6

청구항 1에 있어서,

상기 제 1 게이트의 일함수는 상기 제 2 게이트의 일함수보다 작도록 구성되는 것을 특징으로 하는 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터에 관한 것으로서, 더욱 상세히는 L형 터널 전계 효과 트랜지스터를 구성하는 게이트부를 복수의 서로 다른 게이트로 분할하고, 복수의 게이트 상호 간 일함수를 상이하도록 구성하여 문턱 전압 이하에서 소스부와 드레인부 사이에 전류가 신속하게 흐르도록 지원함으로써 ON 및 OFF에 대한 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터에 관한 것이다.

**배경 기술**

[0002] 터널 전계 효과 트랜지스터(TFET: tunnel field-effect transistor)는 전통적인 CMOS(complementary metal-oxide-semiconductor)기술의 잠재적인 대체품으로 활발히 연구되고있다. TFET은 문턱 전압 이하 기울기(SS: Subthreshold Slope)를 제공하지만 온 전류( $I_{ON}$ ) 성능이 제한적이다. 이러한 한계를 극복하기 위해 L형 TFET(이하, LTFET), U형(UTFET) 및 Z형 TFET(ZTFET)를 비롯하여 최근 다양한 유형의 라인 터널링 TFET가 도입되었으나, LTFET가 가장 효율적인 성능을 나타내고 있다.

[0003] 그러나, 이러한 LTFET는 소스의 모서리에서 발생하는 2 차원(2D) 코너 효과로 인해 상기 SS 성능을 저하 시키는 문제가 있으며, 이로 인해 소스와 드레인 사이의 신속한 전류 흐름이 필요한 LTFET의 동작 성능이 떨어지는 문제가 발생한다.

[0004] 이러한 LTFET에 구성되는 소스의 모서리에 의해 유발된 코너 효과로 인한 SS 열화를 제거하기 위해 점차적인 도핑 프로파일을 갖는 완전히 공핍된 둥근 모서리를 사용하여 해결하고자 하나, 이러한 방식 역시 SS의 성능 저하의 개선 효과가 미미한 문제가 있다.

**선행기술문헌**

**특허문헌**

[0005] (특허문헌 0001) 한국등록특허 제10-0622675호

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은 L형 터널 전계 효과 트랜지스터를 구성하는 게이트부를 복수의 게이트로 분할하고, 복수의 게이트 상호 간 일함수를 상이하도록 구성하여 소스부와 드레인부 사이에 신속한 전류 흐름이 발생하도록 지원함으로써, 문턱전압 이하 기울기(SS)의 성능을 개선하여 ON 및 OFF의 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터를 제공하는데 그 목적이 있다.

**과제의 해결 수단**

[0007] 본 발명의 실시예에 따른 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터는 소스부와, 드레인부 및 제 1 게이트 및 제 2 게이트를 포함하는 게이트부를 포함하며, 상기 게이트부는 상기 제 1 게이트가 상기 제 2 게이트의 상부에 적층된 상태로 구성되고, 상기 게이트부에 문턱 전압 이하의 전압 인가시 상기 소스부와 상기 제 1 게이트 사이에 형성되는 제 1 오프셋 영역의 제 1 문턱 전압이 상기 소스부와 상기 제 2 게이트 사이에 형성되는 제 2 오프셋 영역의 제 2 문턱 전압보다 낮게 형성되기 위해 상기 제 1 게이트 및 상기 제 2 게이트 상호 간 서로 다른 일함수를 가지도록 구성되는 것을 특징으로 할 수 있다.

[0008] 본 발명과 관련된 일 예로서, 상기 게이트부는 상기 제 1 게이트 및 상기 제 2 게이트 상호 간 서로 다른 높이를 가지도록 구성되는 것을 특징으로 할 수 있다.

- [0009] 본 발명과 관련된 일 예로서, 상기 소스부는 상기 제 1 게이트의 높이와 동일한 높이를 가지도록 구성되는 것을 특징으로 할 수 있다.
- [0010] 본 발명과 관련된 일 예로서, 상기 게이트부는 상기 제 1 및 제 2 게이트를 상기 소스부 및 드레인부와 절연시키기 위한 산화물을 포함하여 구성되는 것을 특징으로 할 수 있다.
- [0011] 본 발명과 관련된 일 예로서, 상기 드레인부는 상기 게이트부에 문턱 전압 이상의 전압 인가시 상기 소스부에서 상기 드레인부로 흐르는 양극성 전류가 억제되는 도핑 레벨로 도핑되는 것을 특징으로 할 수 있다.
- [0012] 본 발명과 관련된 일 예로서, 상기 제 1 게이트의 일함수는 상기 제 2 게이트의 일함수보다 작도록 구성되는 것을 특징으로 할 수 있다.

**발명의 효과**

- [0013] 본 발명은 기존 LTFET의 소스 영역의 모서리에서 발생하는 코너 효과로 인해 문턱 전압 이하에서 소스의 하부에 위치하는 오프셋 영역에 전계가 집중되어 소스와 게이트 사이에 위치하는 채널의 전류 흐름이 미약하여 문턱 전압 이하에서 ON 및 OFF 사이의 스위칭 동작이 신속히 이루어지지 못하는 문제를 개선하여, 복수의 서로 다른 일함수를 가진 게이트로 구성되는 LTFET를 제공하여 문턱 전압 이하에서 소스와 게이트 사이에 위치하는 오프셋 영역의 채널에서 표면 전위가 우선 형성되도록 LTFET를 동작시킬 수 있으며, 이를 통해 문턱 전압 이하 기울기를 크게 상승시켜 LTFET의 ON 및 OFF 사이의 스위칭 동작이 신속하게 이루어지도록 지원함으로써 동작 성능이 크게 개선된 LTFET를 제공하는 효과가 있다.

**도면의 간단한 설명**

- [0014] 도 1은 기존 L형 터널 전계 효과 트랜지스터의 개략도.
- 도 2는 기존 L형 터널 전계 효과 트랜지스터의 전송 특성에 대한 그래프.
- 도 3은 기존 L형 터널 전계 효과 트랜지스터의 터널링 레이트 및 터널링 레이트의 등고선 플롯을 나타낸 예시도.
- 도 4는 기존 L형 터널 전계 효과 트랜지스터의 서로 다른 소스-게이트 바이어스 전압에서의 터널링 레이트를 도시한 도면.
- 도 5a 및 도 5b는 본 발명의 실시예에 따른 동작 기능이 개선된 L형 터널 전계 효과 트랜지스터의 구성도.
- 도 6은 본 발명의 실시예에 따른 서로 다른 제 1 일함수( $W_{rk\_gate1}$ )별 동작 기능이 개선된 L형 터널 전계 효과 트랜지스터의  $I_{ds}-V_{gs}$  특성을 나타낸 그래프.
- 도 7은 본 발명의 실시예에 따른 동작 기능이 개선된 L형 터널 전계 효과 트랜지스터의  $G_{tum}$  관련 등고선 그래프.
- 도 8은 본 발명의 실시예에 따른 게이트별 높이에 따른 동작 기능이 개선된 L형 터널 전계 효과 트랜지스터의  $I_{ds}-V_{gs}$  특성을 나타낸 그래프.
- 도 9는 본 발명의 실시예에 따른 상이한  $T_j$ 를 가진 동작 기능이 개선된 L형 터널 전계 효과 트랜지스터의  $I_{ds}-V_{gs}$  특성과 이 전류-전압 특성에서 추출한 SS 및  $I_{ON}/I_{OFF}$  비율을 나타낸 그래프.
- 도 10은 본 발명의 실시예에 따른 소스 높이 변화에 대한 동작 기능이 개선된 L형 터널 전계 효과 트랜지스터의  $I_{ds}-V_{gs}$  특성을 나타낸 그래프.
- 도 11은 본 발명의 실시예에 따른 동작 기능이 개선된 L형 터널 전계 효과 트랜지스터의 다양한 조건에서 양극성 전류 변화에 대한 그래프.

**발명을 실시하기 위한 구체적인 내용**

- [0015] 이하, 도면을 참고하여 본 발명의 상세 실시예를 설명한다.
- [0016] 설명에 앞서, 기존 L형 터널 전계 효과 트랜지스터(이하, 기존 LTFET)의 구조와 문제점을 설명하고, 이와 대비

하여 본 발명의 실시예에 따른 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터의 개선된 구조를 설명한다.

- [0017] 도 1은 기존 LTFET의 개략도로서, 도식된 바와 같이,  $p^+(10^{20} \text{ cm}^{-3})$  도핑된 소스(source) 영역은  $n^-(10^{12} \text{ cm}^{-3})$  채널 인 제 1채널을 사이에 끼우고 게이트(gate) 영역과 중첩된다. 이 샌드위치형 채널 영역은 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )으로 정의될 수 있다.
- [0018] 또한, 도 1에 도식된 바와 같이 소스의 하단(또는 하부)에 구성되며 소스와 게이트 사이에 형성되는 제 2 채널 인 오프셋(offset)이 존재하고, 이를 제 2 오프셋 영역( $R_{\text{offset}}$ )으로 정의할 수 있다.
- [0019] 달리 명시하지 않는 한, 본 발명에서 다음 매개 변수에 따라 기존 LTFET를 설명하나 이에 한정되지 않는다.
- [0020] 상기 매개 변수의 일례로, 소스 높이( $H_s$ ) = 40nm, 산화물 두께( $t_{\text{ox}}$ ) = 2nm, 제 1 오프셋 영역의 폭( $T_j$ ) = 5nm, 채널 길이( $L_{\text{ch}}$ ) = 50nm, 제 2 오프셋 영역( $R_{\text{offset}}$ )의 높이( $H_{\text{offset}}$ ) = 10nm, 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )의 높이( $H_{\text{nonoffset}}$ ) =  $H_s$ , 게이트 높이( $H_{\text{gl}}$ ) =  $H_s + (H_{\text{offset}} - t_{\text{ox}})$  = 48nm, 유전체 유전율 ( $\epsilon_{\text{ox}}$ ) = 25, 금속 게이트 일함수( $W_{\text{rkLTFET}}$ ) = 4.72 eV 및 드레인(drain) 도핑( $N_d$ ) =  $10^{20} \text{ cm}^{-3}$  을 예로 들어 설명한다.
- [0021] 기존 LTFET와 본 발명의 실시예에 따른 DG-LTFET의 성능 실험을 위해 컴퓨터 보조 설계 도구(TCAD) 시뮬레이터를 사용한다.
- [0022] 상기 시뮬레이터의 기존 LTFET에 대한 시뮬레이션에 사용된 모델은 동적 비 로컬 대역 대 대역 터널링(BTBT: band-to-band tunneling) 모델(이하, BTBT 모델), 페르미 통계 및 일정 이동성 모델이다. 상기 BTBT 모델은 측면 및 1 차원(이하, 1D) 방향 모두에서 BTBT를 계산한다. 결정 방향은 모든 장치에서 <100>이라고 가정한다. 0.19  $m_0$ 의 일정한 전자 유효 터널링 질량이 모든 모의 실험에서 사용되었다. 본 발명에서 달리 명시되지 않는 한, 모든 시뮬레이션은 드레인 소스 바이어스( $V_{\text{ds}}$ ) = 0.1V에서 수행되었다.
- [0023] 도 2는 기존 LTFET의 전송 특성( $I_{\text{ds}}-V_{\text{gs}}$ ) 관련 그래프로서, 도 2(a)에 도식된 바와 같이 제 1 오프셋 영역의 문턱 전압(threshold voltage)인 제 1 문턱 전압( $V_{\text{th,Rnonoffset}}$ )은 0.24V이고, 제 2 오프셋 영역의 문턱 전압(threshold voltage)인 제 2 문턱전압( $V_{\text{th,Roffset}}$ )은 0.17V이다.
- [0024] 이에 따라, 도 2(b)의  $V_{\text{gs}} = 0\text{V}$ 에서 인셋에 표시된 컷 라인을 따른 제 2 오프셋 영역( $R_{\text{offset}}$ )에서의 전위가 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )의 전위보다 더 높게 나타난다.
- [0025] 뒤 따르는 분석을 위해, LTFET의 드레인 - 소스 전류 ( $I_{\text{ds}}$ ) 대 게이트 - 소스 바이어스( $V_{\text{gs}}$ ) 특성이 도 2(a)에 도식되어 있다. 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )의 게이트와 소스 사이에는 직접 접촉이 있고 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )의 전기장은 1D 방향이다.
- [0026] 그러나, 제 2 오프셋 영역( $R_{\text{offset}}$ )에서 게이트로부터의 전기장은 도 1에서 소스 영역의 날카로운 모서리(X로 표시된 부분) 주변에 수렴한다. 이것은 주어진 바이어스에 대해 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )과 비교하여 제 2 오프셋 영역( $R_{\text{offset}}$ )의 전위를 더 높게 증가시킨다(전자 반전으로 인한 포화가 발생할 때까지).
- [0027] 도 2(b)는  $V_{\text{gs}} = 0\text{V}$ 에서의 게이트에 구성되는 산화물 상의 표면 전위를 보여준다. 전계가 날카로운 소스 코너 주위(도 1의 X로 표시된 부분)로 수렴하기 때문에 제 2 오프셋 영역( $R_{\text{offset}}$ )의 전위가 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )의 전위보다 증가하는 것을 볼 수 있다.
- [0028] 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )에 비해 제 2 오프셋 영역( $R_{\text{offset}}$ )의 전위가 높으므로 제 2 오프셋 영역( $R_{\text{offset}}$ )의 BTBT에 대한 제 2 문턱 전압( $V_{\text{th,Roffset}}$ )은 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )의 BTBT에 대한 제 1 문턱 전압( $V_{\text{th,Rnonoffset}}$ )보다 낮다.
- [0029] 도 3(a) 및 도 3(b)는 기존 LTFET의  $I_{\text{ds}} = 10^{-13} \text{ A}$ 를 생성하는데 필요한 바이어스인  $V_{\text{gs}} = 0.21\text{V}$ 에서 터널링 레이트(tunneling rate)( $G_{\text{tun}}$ )의 등고선 플롯 및  $G_{\text{tun}}$ 을 각각 나타낸다.

- [0030] 도 3에 도시된 바와 같이, BTBT는 제 2 오프셋 영역( $R_{\text{offset}}$ )에서만 발생하고 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )은 전위가 형성되지 않고 완전히 꺼져있는 것을 알 수 있다.
- [0031] 도 4(a)는 서로 다른  $V_{\text{gs}}$  값에서  $G_{\text{tun}}$ 을 보여준다. 도 4(a)로부터 제 1 문턱 전압( $V_{\text{th\_Roffset}}$ )과 제 1 문턱 전압( $V_{\text{th\_Rnonoffset}}$ )은 각각  $V_{\text{gs}} = 0.17\text{V}$ 와  $V_{\text{gs}}=0.24\text{V}$  부근임을 알 수 있다.
- [0032] 도 4(b)는  $V_{\text{gs}} = V_{\text{th\_Rnonoffset}} = 0.24\text{V}$ 에서의  $G_{\text{tun}}$  등고선 그래프이다.
- [0033] 도 4(a)에서 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )의  $G_{\text{tun}}$ 은 게이트에 제 1 문턱 전압 이상의 전압이 인가되어 켜진(turn on) 직후 항상 더 높고 제 2 오프셋 영역( $R_{\text{offset}}$ )에 비해 BTBT 영역이 y 방향으로 훨씬 큰 값을 알 수 있다. 따라서, 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )이 켜지면 제 2 오프셋 영역( $R_{\text{offset}}$ )을 압도한다.
- [0034] 이때, 본 발명에서 설명하는 제 1 오프셋 영역 또는 제 2 오프셋 영역이 켜진다는 의미는 제 1 오프셋 영역 또는 제 2 오프셋 영역에서 전위가 형성됨을 의미할 수 있다.
- [0035] 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )에서  $G_{\text{tun}}$ 이 더 높은 이유는 제 2 오프셋 영역( $R_{\text{offset}}$ )의 BTBT 경로가 제 2 오프셋 영역( $R_{\text{offset}}$ )의 측면에서 소스 또는 표면으로 향하는 반면 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )의 BTBT 경로가 1D이기 때문이다. 2차원(이하, 2D) BTBT 경로가 자연스럽게 1D 경로보다 길면 제 2 오프셋 영역( $R_{\text{offset}}$ )에서  $G_{\text{tun}}$ 이 낮아진다.
- [0036] 이와 같이, 제 1 문턱 전압 이하의 소스-게이트 바이어스 전압( $V_{\text{gs}} < 0.24\text{V}$ )이 게이트에 인가될 때 경로 및 더 낮은  $G_{\text{tun}}$ 을 갖는 제 2 오프셋 영역( $R_{\text{offset}}$ )만이 BTBT 전류에 기여하고, 보다 효율적인 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )은 기여하지 않음을 알 수 있다.
- [0037] 즉, 기존 LTFET는 문턱 전압 이하(subthreshold) 영역에서 성능이 떨어진다.
- [0038] 상술한 내용을 정리하면, 기존 LTFET는 소스의 특정 모서리에서 발생하는 2차원(2D) 코너 효과로 인해, 게이트에 문턱 전압 이하의 전압이 인가될 때 소스와 게이트 사이에 형성되는 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )의 BTBT에 대한 제 1 문턱 전압( $V_{\text{th\_Rnonoffset}}$ )보다 소스의 하부에 형성되는 제 2 오프셋 영역( $R_{\text{offset}}$ )의 BTBT에 대한 제 2 문턱 전압( $V_{\text{th\_Roffset}}$ )이 더 낮게 형성되어, 도 2에 도시된 바와 같이 문턱 전압 이하 기울기(subthreshold slope)를 감소시키게 되며, 이로 인해 문턱 전압 이상의  $V_{\text{gs}}$  전압이 게이트에 인가될 때까지 소스에서 드레인으로 흐르는 전류가 신속히 흐르지 않고 지체되어 LTFET의 ON 및 OFF 사이의 스위칭 동작이 상당히 느린 문제가 있다.
- [0039] 따라서, 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )이  $V_{\text{th\_Rnonoffset}} < V_{\text{th\_Roffset}}$ 의 조건을 만족하도록 제 2 오프셋 영역( $R_{\text{offset}}$ )보다 낮은 바이어스로(바이어스에서) 켜지도록(전위가 형성되도록 또는 전류가 흐르도록) 강제 설정할 수 있는 경우 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )은 문턱 전압 이하 영역에서 켜지고 도 4(a)에 나와 있는 제 2 오프셋 영역( $R_{\text{offset}}$ )의  $R_{\text{nonoffset}} > G_{\text{tun}}$ 에 있는 조건에서 켜진다. 따라서, 문턱전압 이하 기울기(이하, SS)의 유의미한 개선이 기대될 수 있으며, 이를 통해 LTFET의 ON 및 OFF 사이의 스위칭 동작의 개선이 기대될 수 있다.
- [0041] 상술한 기존 LTFET의 문제점을 개선하여, 본 발명의 실시예에 따른 동작 성능이 개선된 L형 터널 전계 효과 트랜지스터는 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )의 제 1 문턱 전압( $V_{\text{th\_Rnonoffset}}$ )이 제 2 오프셋 영역( $R_{\text{offset}}$ )의 제 2 문턱 전압( $V_{\text{th\_Roffset}}$ )보다 더 낮은 조건으로 형성되도록 구성되어 소스-게이트 바이어스 전압이 문턱 전압 이하인 상태에서 제 2 오프셋 영역과 밀착된 게이트의 표면보다 우선하여 제 1 오프셋 영역과 밀착된 게이트의 표면을 통해서 소스와 게이트 사이에 전류가 흐르도록 구성되어, 문턱 전압 이하 기울기(SS)의 크기(기울기)를 높여(상승시켜) 문턱 전압 이하에서부터도 LTFET의 ON 및 OFF 사이의 신속한 스위칭 동작이 이루어지도록 지원할 수 있는데, 이를 이하 도면을 참고하여 상세히 설명한다.
- [0042] 도 5a는 본 발명의 실시예에 따른 L형 터널 전계 효과 트랜지스터(이하, DG-LTFET)의 구성도로서, 도시된 바와 같이, 상기 DG-LTFET는 소스부(또는 소스 영역)(10)와 드레인부(또는 드레인 영역)(30) 및 게이트부(또는 게이트 영역)(20)를 포함하여 구성될 수 있다.
- [0043] 또한, 상기 게이트부(20)는 제 1 게이트(Gate1)(21) 및 제 2 게이트(Gate2)(22)를 포함하여 구성될 수 있다.

즉, 상기 게이트부(20)는 복수의 서로 다른 게이트(21, 22)로 구성될 수 있다.

- [0044] 이때, 상기 소스부(10)는 상기 제 1 게이트(21)의 높이( $H_{g1}$ )와 동일한 높이( $H_s$ )를 가지도록 구성될 수 있다.
- [0045] 또한, 상기 게이트부(20)는 상기 제 1 게이트(21)가 상기 제 2 게이트(22)의 상부(또는 상면)에 적층된 상태로 구성되고, 상기 게이트부(20)에 문턱 전압 이하의 소스-게이트 바이어스 전압( $V_{gs}$ ) 인가시 상기 소스부(10)와 상기 제 1 게이트(21) 사이에 형성되는 제 1 오프셋 영역( $R_{nonoffset}$ )(41)의 제 1 문턱 전압( $V_{th\_Rnonoffset}$ )이 상기 소스부(10)와 상기 제 2 게이트(22) 사이에 형성되는 제 2 오프셋 영역( $R_{offset}$ )(42)의 제 2 문턱 전압( $V_{th\_Roffset}$ )보다 낮게 형성되기 위해 상기 제 1 게이트(21) 및 상기 제 2 게이트(22) 상호 간 서로 다른 일함수를 가지도록 구성될 수 있다.
- [0046] 또한, 상기 게이트부(20)는 상기 제 1 게이트(21) 및 상기 제 2 게이트(22) 상호 간 서로 다른 높이를 가지도록 구성될 수 있으며, 이를 통해 상기 제 1 게이트(21)에 대응되는 제 1 오프셋 영역(41)의 제 1 문턱 전압이 상기 제 2 게이트(22)에 대응되는 제 2 오프셋 영역(42)의 제 2 문턱 전압보다 낮게 형성되도록 구성될 수 있다.
- [0047] 또한, 상기 게이트부(20)는 상기 제 1 및 제 2 게이트(21, 22)를 상기 소스부(10) 및 드레인부(30)와 절연시키기 위한 산화물(Oxide)을 포함하여 구성될 수 있다.
- [0048] 상기 DG-LTFET의 게이트부는 듀얼 게이트(DG: dual gate) 구조를 가지며 두 개의 게이트인 제 1 게이트(gate1)(21)과 제 2 게이트(gate2)(22)는 서로 다른 일함수와 높이를 가질 수 있다.
- [0049] 제 1 문턱전압( $V_{th\_Rnonoffset}$ )이 제 2 문턱전압( $V_{th\_Roffset}$ )보다 작은 조건( $V_{th\_Rnonoffset} < V_{th\_Roffset}$ )을 달성하기 위한 DG-LTFET 모식도(구성도)가 도 5a에 제시된다.
- [0050] DG-LTFET의 게이트부(20)는 각각 다른 일함수( $W_{rk\_gate1}$ ,  $W_{rk\_gate2}$ ) 및 높이 ( $H_{g1}$ ,  $H_{g2}$ )를 갖는 제 1 게이트(gate1)(21) 및 제 2 게이트(gate2)(22)로 구성되는 이중 물질 게이트로 구성될 수 있다.
- [0051] 즉, 상기 제 1 게이트(21)와 상기 제 2 게이트(22)는 상호 간 서로 다른 일함수를 가진 서로 상이한 소재로 구성될 수 있다.
- [0052] 이때, 상기 DG-LTFET는 제 1 게이트 높이( $H_{g1}$ ) = 제 1 오프셋 영역의 높이( $H_{nonoffset}$ ) = 소스부의 높이( $H_s$ ) = 40nm, 제 2 게이트 높이( $H_{g2}$ ) =  $H_{nonoffset} - H_{g1} + (H_{offset}$  (제 2 오프셋 영역의 높이) -  $t_{ox}$  (산화물 두께)) = 8nm 및 제 1 오프셋 영역의 폭( $T_j$ ) = 5nm로 구성되는 것을 예로 들어 설명한다.
- [0053] 또한, 제 1 게이트(21)의 제 1 일함수( $W_{rk\_gate1}$ )는 항상 제 2 게이트(22)의 제 2 일함수( $W_{rk\_gate2}$ )보다 낮도록(작도록) 구성되는 것이 바람직하다.
- [0054] 또한, 상기 제 2 일함수( $W_{rk\_gate2}$ )는  $W_{rk\_gate2} = 4.72\text{eV}$ 로 고정되는 것으로 예를 들어 설명한다.
- [0055] 상기 DG-LTFET 공정 흐름은 도 5a에 도시된 바와 같이, 기존 LTFET 공정 흐름을 기반으로 할 수 있다.
- [0056] 상기 DG-LTFET 공정 흐름은 제 2 게이트(22)의 금속 유기 화학 기상 증착(LTFET의 게이트 증착과 유사)까지 기존 LTFET 공정 흐름을 따른다.
- [0057] 이후 두 가지 추가 단계가 부가될 수 있는데, 상기 DG-LTFET는 게이트 산화물 및 채널 영역을 보호하기 위해 마스크(masking)되고, 상기 제 2 게이트(22)는 원하는 높이에 따라 선택적으로 에칭(etching)될 수 있다.
- [0058] 또한, 상기 제 1 게이트(21)의 금속은 제 2 게이트(22)의 에칭에 의해 생성된 리세스(recess)에 증착될 수 있다.
- [0059] 상술한 바와 같은 구성에 따라, 상기 제 2 게이트(22)의 일함수( $W_{rk\_gate2}$ )보다 낮은 제 1 게이트(21)의 제 1 일함수( $W_{rk\_gate1}$ )는 제 2 오프셋 영역( $R_{offset}$ )의 평탄전압( $V_{fb}$ )과 비교하여 제 1 오프셋 영역( $R_{nonoffset}$ )의 평탄전압( $V_{fb}$ )을 증가시키게 된다.
- [0060] 도 5b는  $W_{rk\_gate1} = 4.5\text{eV}$  및  $W_{rk\_gate2} = W_{rk\_LTFET}$ 인 DG-LTFET의  $V_{fb}$ (적색 심볼)를 보여준다. 또한 비교용으로 기존 LTFET의  $V_{fb}$ (파란색 심볼)가 표시된다.

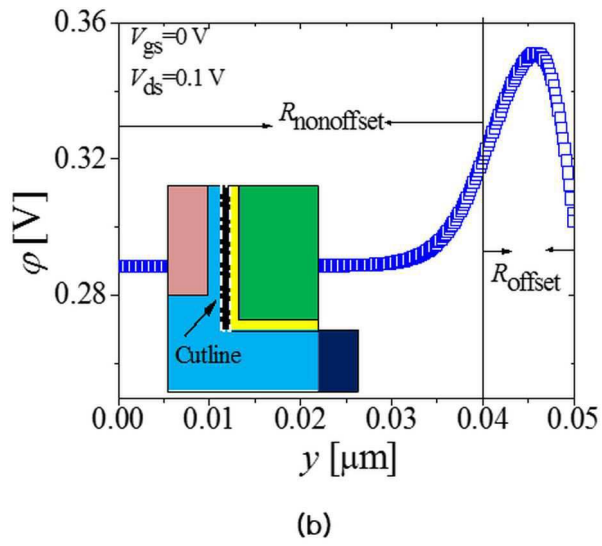
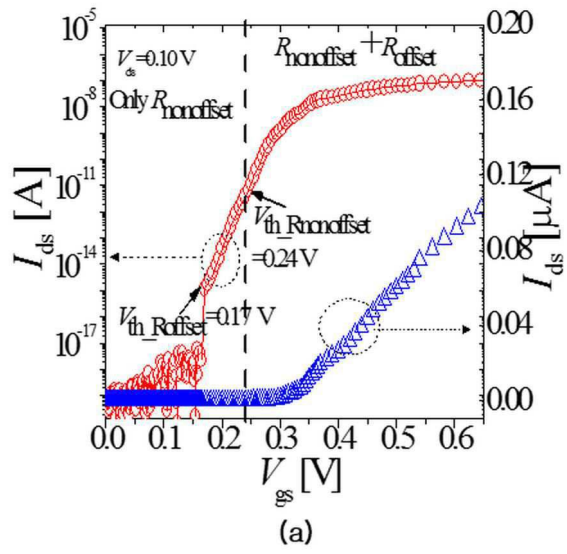
- [0061] 도시된 바와 같이, 상기 DG-LTFET에서 제 2 오프셋 영역( $R_{\text{offset}}$ )보다 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )의 전위가 증가하는 것을 알 수 있다.
- [0062] 기존 LTFET에서 코너 주변에 2D 효과가 존재하기 때문에 전위가 상기 DG-LTFET의 제 1 게이트에서 제 2 게이트로 변경되는 것처럼 갑자기 변경되지 않는다. 즉, 기존 LTFET는 상기 제 2 게이트의 바닥에 해당되는 게이트의 바닥에서 전계가 소스 코너 주변으로 수렴한다.
- [0063] 그러나, 본 발명에 따른 DG-LTFET는 제 2 오프셋 영역( $R_{\text{offset}}$ )의 중앙 부근에서 제 1 및 제 2 게이트 사이에 전위의 평형이 설정되고 DG-LTFET 전위는  $W_{\text{rk\_gate2}} = W_{\text{rk\_LTFET}}$  이후 LTFET 전위와 중첩된다. 제 1 일함수가 제 2 일함수보다 작은 조건( $W_{\text{rk\_gate1}} < W_{\text{rk\_gate2}}$ ) 경우 제 1 오프셋 영역의 전위를 증가시키며, 이를 통해 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )의 증가된 전위는 제 1 문턱 전압( $V_{\text{th\_Rnonoffset}}$ )을 감소시킨다.
- [0064] 제 1 일함수가 제 2 일함수보다 작도록 적절히 조정되면, 제 1 문턱 전압이 제 2 문턱 전압보다 작게 형성되는 조건( $V_{\text{th\_Rnonoffset}} < V_{\text{th\_Roffset}} = 0.17 \text{ V}$ )이 달성될 수 있다.
- [0065] 이때, 제 2 일함수( $W_{\text{rk\_gate2}} = W_{\text{rk\_LTFET}} = 4.72\text{eV}$ )이므로 상기 DG-LTFET의 제 2 문턱 전압( $V_{\text{th\_Roffset}}$ )은 기존 LTFET의  $V_{\text{th\_Roffset}}$ 과 동일하다.
- [0066] 도 6(a)는 일정한 제 2 일함수( $W_{\text{rk\_gate2}} = W_{\text{rk\_LTFET}} = 4.72\text{eV}$ )를 가지고 서로 다른 제 1 일함수( $W_{\text{rk\_gate1}}$ )를 가진 상기 DG-LTFET의  $I_{\text{ds}}-V_{\text{gs}}$  특성을 나타낸다.
- [0067] 도 6(b)와 도 6(c)는 도 6(a)에서 얻어진 DG-LTFET의  $I_{\text{ds}}-V_{\text{gs}}$  특성으로부터 추출한 상기 DG-LTFET의 문턱 전압 이하 기울기(SS)와 온전류 대 오프 전류의 비율( $I_{\text{ON}} / I_{\text{OFF}}$ )을 각각 나타낸다.
- [0068] 또한, 참조용으로 기존 LTFET의  $I_{\text{ds}}-V_{\text{gs}}$  특성(검은 사각형)이 표시되어 있다.  $I_{\text{ON}}$ 은  $V_{\text{gs}} = 0.7\text{V}$ 에서 추출되고,  $I_{\text{OFF}}$ 는  $I_{\text{ds}} = 10^{-17}\text{A}$ 로 정의될 수 있다.
- [0069] 제 1 일함수가  $W_{\text{rk\_gate1}} = 4.675\text{eV}$  (빨간색 원)인 경우에 제 1 문턱 전압( $V_{\text{th\_Rnonoffset}}$ )은 0.189V로 감소한다. 기존 LTFET과 비교하면 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )은 제 2 오프셋 영역( $R_{\text{offset}}$ )과 함께 문턱 전압 이하(subthreshold) 영역에서 더 낮은 게이트 전압에서 켜진다.
- [0070] BTBT는 제 2 오프셋 영역( $R_{\text{offset}}$ )과 비교하여 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )(도 4(a))에서 더 효율적이므로, 문턱 전압 이하(subthreshold) 영역 내에서 드레인부의 전류가 더 급격히 증가한다. 따라서, 제 1 오프셋 영역( $R_{\text{nonoffset}}$ )이 켜지는 전환점( $V_{\text{gs}} \sim 0.189\text{V}$ )에서  $I_{\text{ds}}-V_{\text{gs}}$  곡선에 kink가 발생한다.
- [0071] 제 1 일함수가  $W_{\text{rk\_gate1}} = 4.65\text{eV}$  (녹색 삼각형)인 경우에, 제 1 문턱전압( $V_{\text{th\_Rnonoffset}}$ )은  $V_{\text{gs}} = 0.167 \text{ V}$ 로 감소되고 제 1 문턱 전압이 제 2 문턱 전압보다 작은 조건( $V_{\text{th\_Rnonoffset}} < V_{\text{th\_Roffset}}$ )이 달성되며, 이때 DG-LTFET은 도 6에서 보듯이 10mV/dec 미만의 놀라운 SS를 나타낸다.
- [0072] 제 1 일함수가  $W_{\text{rk\_gate1}} = 4.625 \text{ eV}$  (파란색 별)일 경우에, 제 1 문턱 전압( $V_{\text{th\_Rnonoffset}}$ )은 0.1448V( $<V_{\text{th\_Roffset}}$ )보다 더 감소한다.  $W_{\text{rk\_gate1}} = 4.625\text{eV}$  (파란색 별) 및  $W_{\text{rk\_gate1}} = 4.5\text{eV}$  (주황색 다이아몬드)에서 보여진 것처럼, 제 1 문턱 전압이 제 2 문턱전압보다 작은 조건( $V_{\text{th\_Rnonoffset}} < V_{\text{th\_Roffset}}$ )이 성립되면 kink가 사라지고 SS에 대한 어떠한 변경도 없게 되고 문턱전압 이동만 존재한다.
- [0073] 이와 같이, 게이트부를 복수의 게이트로 구성하고 제 1 게이트와 제 2 게이트의 일함수를 달리 구성하는 경우 기존 LTFET보다 DG-LTFET ( $W_{\text{rk\_gate1}} = 4.625 \text{ eV}$ )의  $I_{\text{ON}}/I_{\text{OFF}}$ 에서 16% 정도의 향상이 관찰된다.
- [0074] 도 7(a)는  $10^{-13}\text{A}$ 의 드레인 전류를 달성하는 데 필요한  $V_{\text{gs}}$  ( $= 0.172 \text{ V}$ ) 바이어스에서  $W_{\text{rk\_gate1}} = 4.65 \text{ eV}$  인 DG-LTFET의  $G_{\text{tum}}$  등고선 그래프이다.
- [0075] 도 7(b)는 도 7(a)에서 추출된 등고선 그래프를 보여준다.

- [0076] 참고로 도 7(b)는 기존 LTFET에서  $10^{-13}$  A의 드레인 전류를 생성하는 데 필요한  $V_{gs}$ (도 3(b)에서 보여진 것처럼  $V_{gs}$  바이어스 = 0.21V)에서  $G_{tun}$ 도 보여준다.
- [0077] 도 7(b)에서 볼 수 있듯이, 기존 LTFET은  $V_{gs}$ 가 문턱 전압 이하에서 제 2 오프셋 영역( $R_{offset}$ )에서만 소스-드레인 전류( $I_{ds}$ )의 생성에 기여하지만, 본 발명에 따른 DG-LTFET는  $V_{gs}$ 가 문턱 전압 이하에서 기존 LTFET와 동일한 양의  $I_{ds}$ 를 생성하기 위해 제 2 오프셋 영역( $R_{offset}$ )의 전류 기여와 함께 제 1 오프셋 영역( $R_{nonoffset}$ )의 전류에 크게 의존한다.
- [0078] 도 4(a)에서 설명한 바와 같이, 제 1 오프셋 영역( $R_{nonoffset}$ )의  $G_{tun}$ 이 더 효율적이므로,  $V_{gs}$  바이어스가 증가함에 따라  $G_{tun}$ 은 제 1 오프셋 영역( $R_{nonoffset}$ )의 훨씬 큰 영역에서 기하 급수적으로 증가하여, 문턱 전압 이하에서 DG-LTFET는 기존 LTFET보다 훨씬 더 가파른 SS를 나타낸다.
- [0079] 반면에 기존 LTFET는  $V_{th,Rnonoffset} = 0.24V$  부근까지 제 2 오프셋 영역( $R_{offset}$ )의 비효율적인 BTBT에만 의존한다.
- [0080] 장치 성능을 최적화하기 위해  $H_{g1}$ ,  $H_{g2}$ ,  $H_s / T_j$  및  $N_d$ 를 비롯한 주요 매개 변수의 변화에 따른 영향을 조사했다.
- [0081]  $H_{g1}$  및  $H_{g2}$  값의 영향을 조사하기 위해, 고정된  $W_{rk\_gate1} = 4.5eV$  및  $W_{rk\_gate2} = W_{rk\_LTFET}$ ,  $H_s = H_{nonoffset} = 40nm$ ,  $H_{offset} = 10 nm$  및  $T_j = 5 nm$  이고 상이한  $H_{g1}$  및  $H_{g2} = H_{nonoffset} - H_{g1} + (H_{offset} - t_{ox})$  에서 DG-LTFET의  $I_{ds}$ - $V_{gs}$  특성을 도 8에 나타내었다.
- [0082] 도 8에 도시된 바와 같이,  $I_{ds}$ 는  $H_{g1}$  및  $H_{g2}$ 에 독립적이라는 것을 알 수 있다.
- [0083] 디바이스 성능에 대한  $T_j$ 의 효과를 조사하기 위해, 고정된  $W_{rk\_gate1} = 4.5eV$ ,  $W_{rk\_gate2} = W_{rk\_LTFET}$ ,  $H_{g1} = H_{nonoffset} = 40nm$ ,  $H_{offset} = 10nm$  및  $H_{g2} = H_{nonoffset} - H_{g1} + (H_{offset} - t_{ox}) = 8nm$ 를 갖고 상이한  $T_j$ 를 가진 DG-LTFET의  $I_{ds}$ - $V_{gs}$  특성(도 9(a))과 이 전류-전압 특성에서 추출한 SS(도 9(b)) 및  $I_{ON}/I_{OFF}$  비율(도 9(c))을 도 9를 통해 나타내었다.
- [0084]  $T_j$ 가 증가하면  $I_{ON}/I_{OFF}$  비율이 저하된다는 결과가 나타난다. 이는  $T_j$ 가 증가함에 따라 BTBT 경로 길이가 증가하기 때문이다.  $T_j$ 가 5 nm이하인 DG-LTFET 소자는 잘 알려진 양자 구속 효과에 의해서 소자 성능을 저하시킬 것으로 예측되므로  $T_j = 5 nm$  소자가 최적 성능을 보인다.
- [0085] 다양한  $H_s$ 의 영향이 조사된다. 고정된  $W_{rk\_gate1} = 4.5eV$ ,  $W_{rk\_gate2} = W_{rk\_LTFET}$ ,  $H_{g1} = H_s = H_{nonoffset}$ ,  $H_{g2} = H_{nonoffset} - H_{g1} + (H_{offset} - t_{ox}) = 8nm$  및  $T_j = 5nm$ 의 5가지  $H_s$ 에 대한 DG-LTFET의  $I_{ds}$ - $V_{gs}$  특성이 도 10에 보여진다.
- [0086]  $H_{g1} = H_s$ ,  $H_{offset} = 10 nm$  및  $H_{g2} = 8 nm$ 를 유지함으로써 DG-LTFET 내의 전계 벡터 분포는  $H_s$ 가 변하는 것과 동일하게 유지되고 BTBT 영역은 단순히  $H_s$ 로 스케일링된다.
- [0087]  $H_s$ 에 의한 BTBT 영역의 증감은 도 10(a)와 도 10(b)에서 명백히 나타내진 것처럼 SS의 변화없이  $I_{ON}/I_{OFF}$  비율을 증감시킨다.
- [0088] 마지막으로, DG-LTFET의 양극성 전류가 논의된다. TFET의 양극성 드레인 전류는 드레인 - 채널 접합에 의존한다. DG-LTFET에서, 드레인 - 채널 접합은 제 2 게이트에 의해  $W_{rk\_gate2} = W_{rk\_LTFET}$ 에 의해 제어된다.
- [0089] 동일한 일함수에서, DG-LTFET의 드레인-채널 접합의 정전기학은 기존 LTFET의 것과 동일하다.
- [0090] 도 11(a)는 제 2 일함수( $W_{rk\_gate2}$ ) =  $W_{rk\_LTFET}$ 이고 제 1 일함수( $W_{rk\_gate1}$ )가 변화할 때 DG-LTFET와 기존 LTFET의 양극성 전류가 동일한 것을 보여준다.
- [0091] DG-LTFET에서의  $W_{rk\_gate1}$ 의 변화는 드레인 - 채널 접합에 영향을 미치지 않는다. 동일한 인수가  $H_s$ ,  $H_{g1}$ ,  $H_{g2}$ ,  $T_j$ 를 포함한 DG-LTFET의 다른 설계 매개 변수 변형에 적용된다.
- [0092] 즉, 드레인 - 채널 접합의 정전기가 영향을 받지 않는 한 DG-LTFET은 기존 LTFET과 동등한 양극성 전류를 나타낸다.

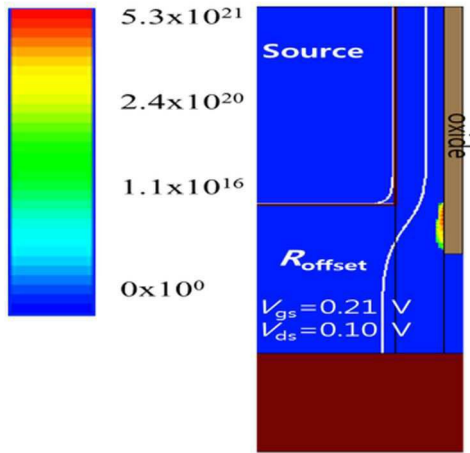




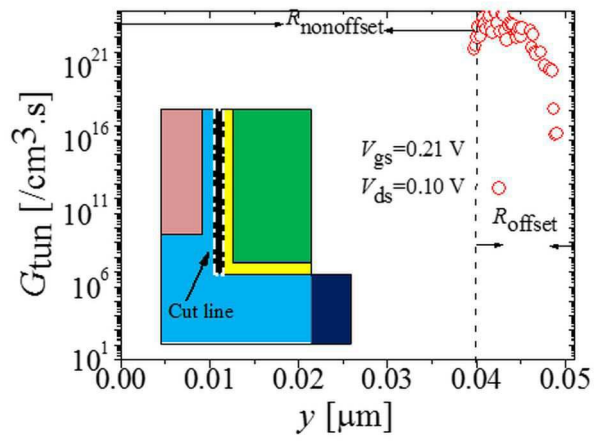
도면2



도면3

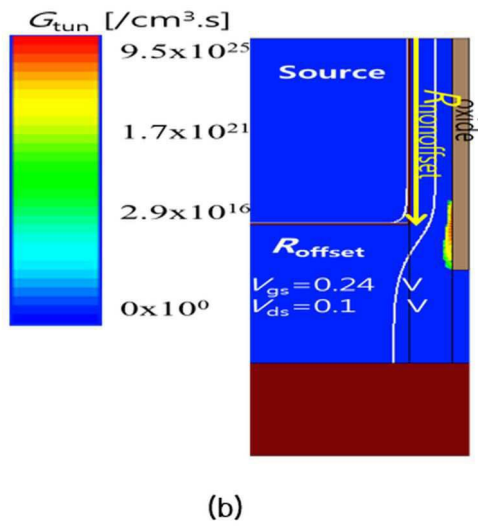
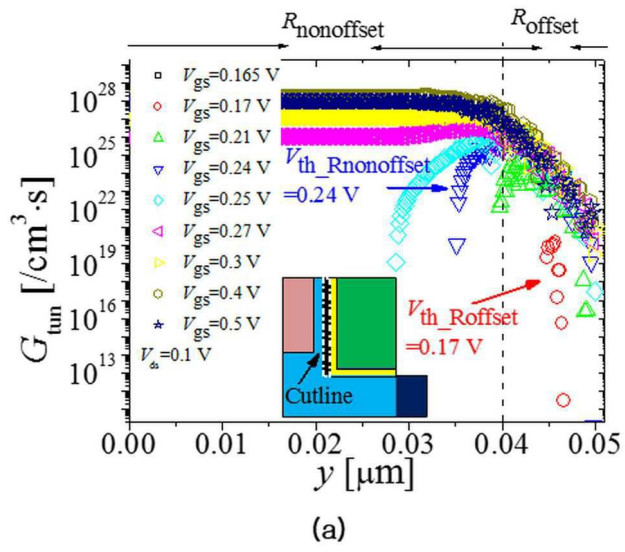


(a)

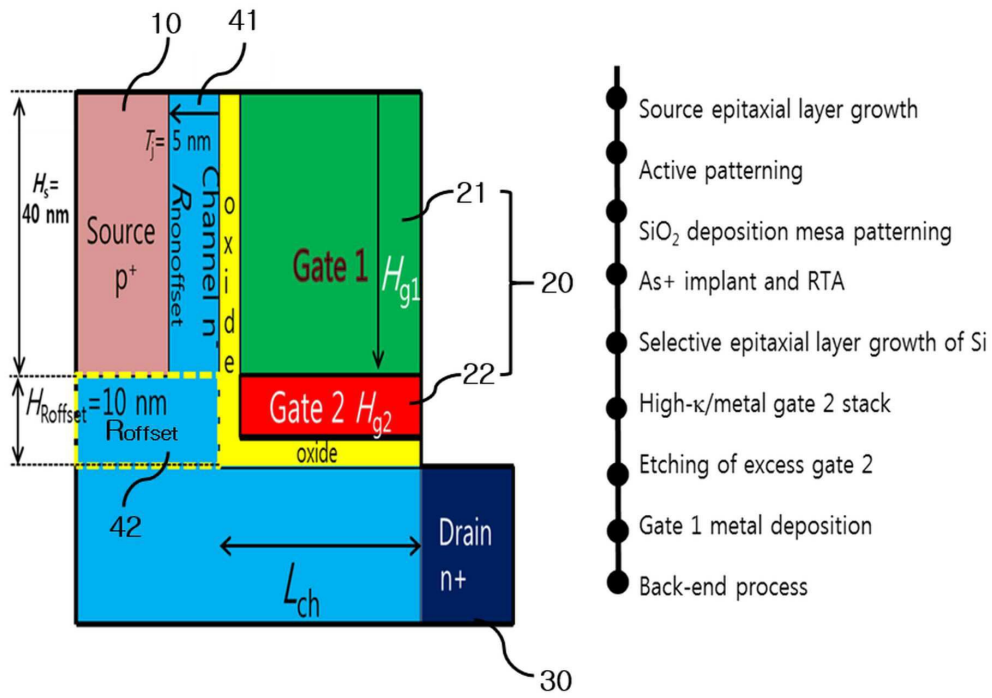


(b)

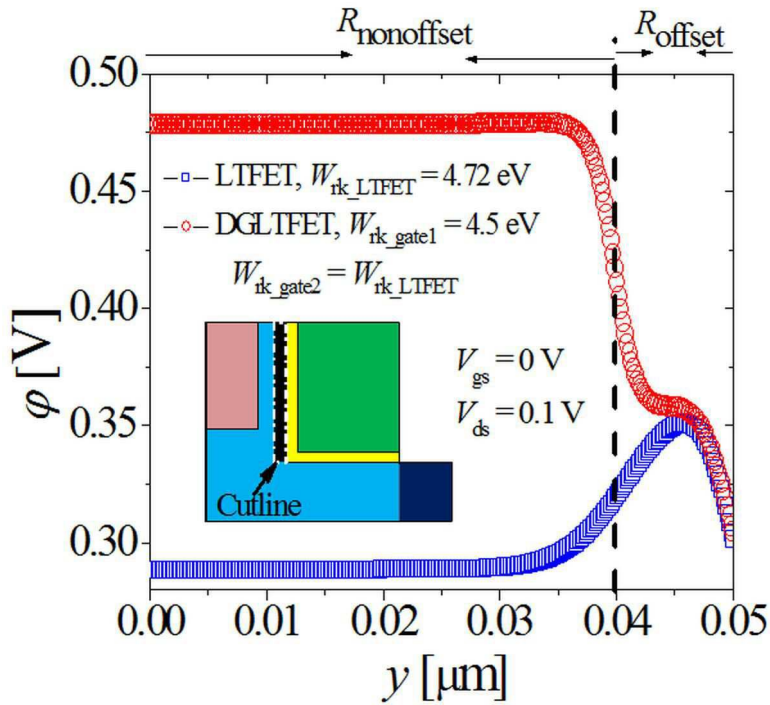
도면4



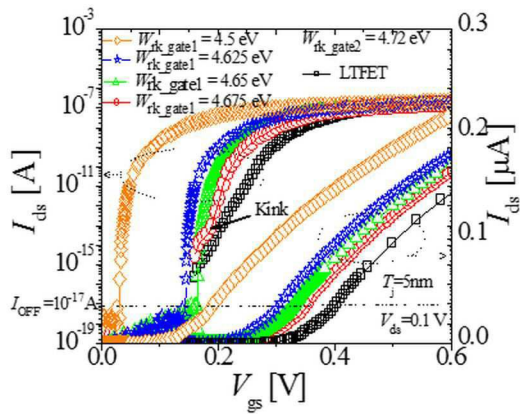
도면5a



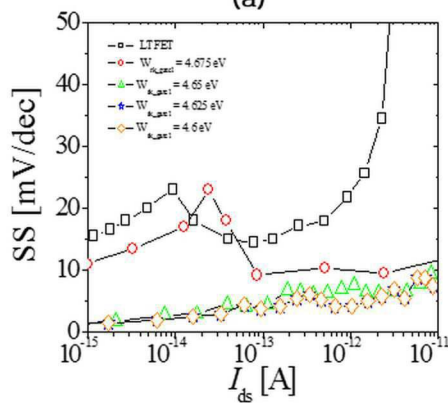
도면5b



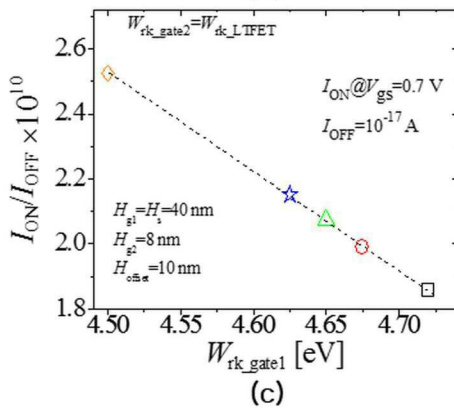
도면6



(a)

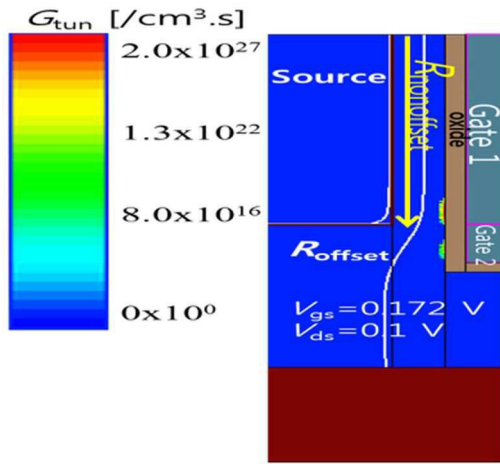


(b)

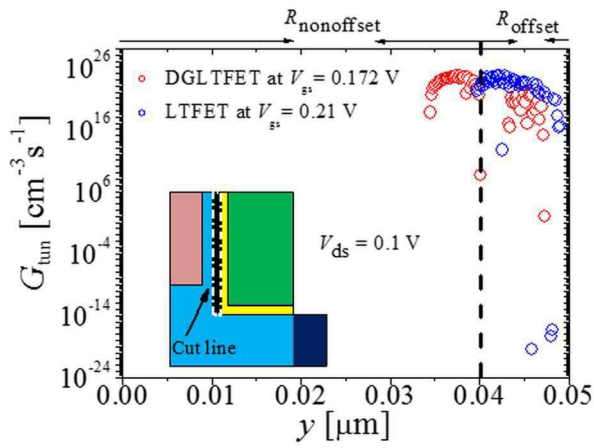


(c)

도면7

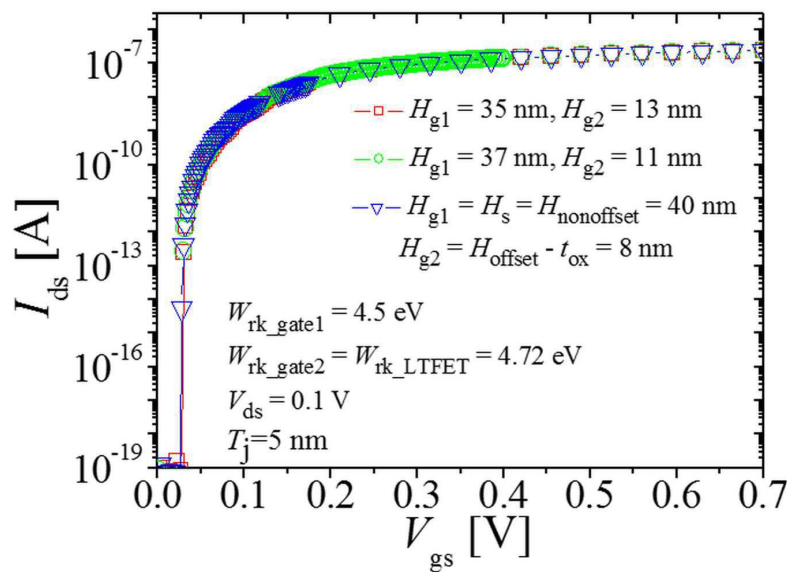


(a)

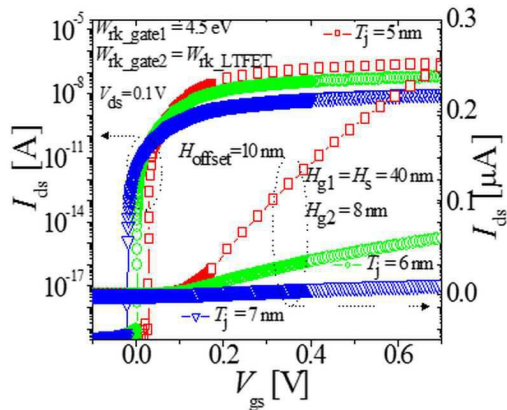


(b)

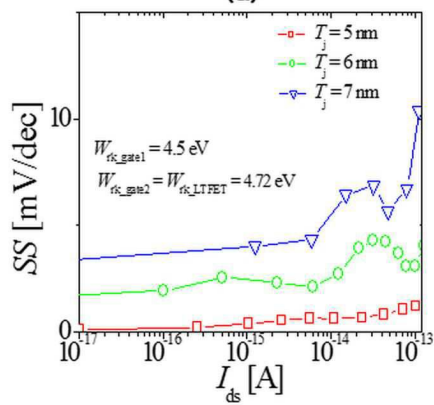
도면8



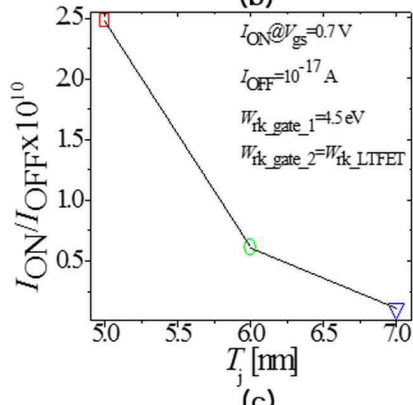
도면9



(a)

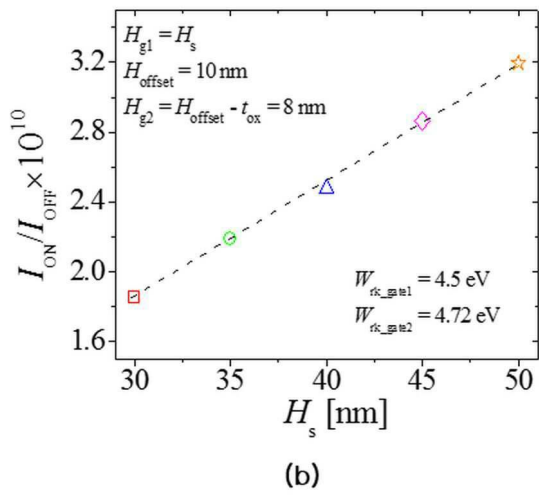
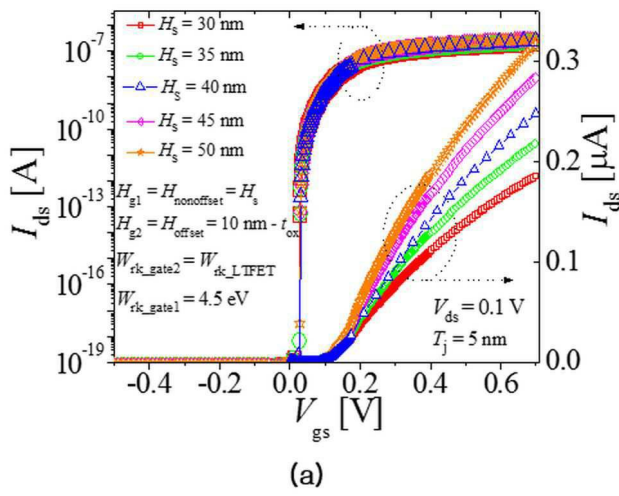


(b)

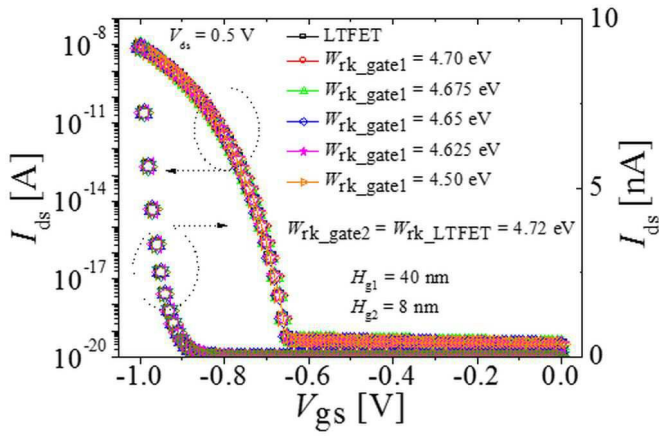


(c)

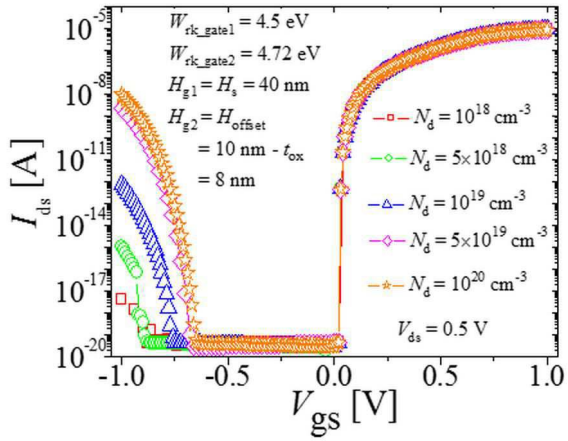
도면10



도면11



(a)



(b)