



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년09월22일
(11) 등록번호 10-2158187
(24) 등록일자 2020년09월15일

(51) 국제특허분류(Int. Cl.)
H01L 29/739 (2006.01) H01L 29/06 (2006.01)
H01L 29/66 (2006.01) H01L 29/78 (2006.01)
(52) CPC특허분류
H01L 29/7391 (2013.01)
H01L 29/0669 (2013.01)
(21) 출원번호 10-2019-0011867
(22) 출원일자 2019년01월30일
심사청구일자 2019년01월30일
(65) 공개번호 10-2020-0094417
(43) 공개일자 2020년08월07일
(56) 선행기술조사문헌
KR1020180019074 A*
KR1020180049569 A*
KR1020190005692 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한경대학교 산학협력단
경기도 안성시 중앙로 327(석정동)
(72) 발명자
유윤섭
경기도 성남시 분당구 분당로 212, 203동 1403호
(분당동, 셋별마을동성아파트)
이주찬
경기도 안산시 상록구 충장로 198, 201동 1403호
(본오동, 태영아파트)
안태준
강원도 속초시 밤골5길 5, 설악유통(교동)
(74) 대리인
전중학, 이용하

전체 청구항 수 : 총 6 항

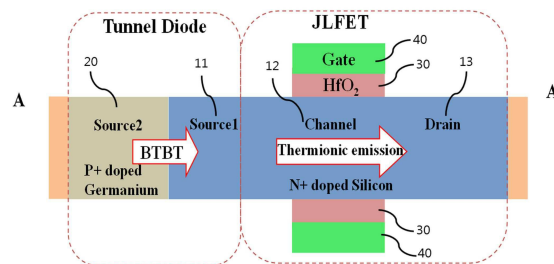
심사관 : 안경민

(54) 발명의 명칭 나노 와이어 기반 이중 터널 전계효과 트랜지스터

(57) 요약

본 발명은 나노 와이어 기반 이중 터널 전계효과 트랜지스터에 관한 것으로서, 더욱 상세히는 기존의 TFET에 비해서 온도, 양자효과와 트랩의 효과를 최소화하고 기존 TFET에 비해 문턱 전압 기울기를 크게 상승시켜 동작 성능이 크게 개선된 나노 와이어 기반 이중 터널 전계효과 트랜지스터에 관한 것이다.

대표도 - 도1b



(52) CPC특허분류

H01L 29/66356 (2013.01)

H01L 29/7848 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	10054888
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원, 한국반도체연구조합
연구사업명	전자정보디바이스산업원천기술개발사업(반도체공정장비), 미래반도체소자원천기술개발사업
연구과제명	회로설계를 위한 터널 트랜지스터 모델링 및 시뮬레이션
기여율	1/1
과제수행기관명	한경대학교 산학협력단
연구기간	2015.09.01 ~ 2020.05.31
공지예외적용	: 있음

명세서

청구범위

청구항 1

나노 와이어 구조로 형성되는 이중 터널 전계 효과 트랜지스터에 있어서,

나노 와이어 형태의 제 1 소스 영역과 채널 영역 및 드레인 영역을 포함하며 N형 도핑된 실리콘의 단일 제질로 구성된 제 1 영역;

상기 제 1 소스 영역과 결합되는 P형 도핑된 게르마늄의 제 2 소스 영역으로 구성되며 나노 와이어 형태로 구성되는 제 2 영역;

상기 제 1 영역의 상기 채널 영역을 감싸도록 구성된 산화물; 및

상기 산화물을 감싸도록 구성된 게이트 영역

을 포함하되,

상기 P형 도핑된 제 2 소스 영역이 상기 N형 도핑된 제 1 소스 영역과 PN 접합되어 터널 다이오드의 BTBT(band to band tunneling)가 항상 생성되도록 하며, 상기 제 2 소스 영역과 제 1 소스 영역의 PN 접합에 의해 결정된 BTBT 터널링율이 인가되는 게이트 바이어스에 독립되도록 한 나노 와이어 기반 이중 터널 전계효과 트랜지스터.

청구항 2

청구항 1에 있어서,

상기 제 1 소스 영역과 제 2 소스 영역과 채널 영역 및 드레인 영역 각각의 길이는 상호 동일한 것을 특징으로 하는 나노 와이어 기반 이중 터널 전계효과 트랜지스터.

청구항 3

청구항 2에 있어서,

상기 길이는 25nm인 것을 특징으로 하는 나노 와이어 기반 이중 터널 전계효과 트랜지스터.

청구항 4

삭제

청구항 5

청구항 1에 있어서,

상기 산화물은 산화 hafnium(HfO₂)으로 구성된 것을 특징으로 하는 나노 와이어 기반 이중 터널 전계효과 트랜지스터.

청구항 6

청구항 1에 있어서,

상기 제 1 영역 및 제 2 영역의 도핑 농도는 $1 \times 10^{20} \text{ cm}^{-3}$ 인 것을 특징으로 하는 나노 와이어 기반 이중 터널 전

계효과 트랜지스터.

청구항 7

삭제

청구항 8

삭제

청구항 9

청구항 1에 있어서,

상기 산화물의 영역 일부에는 SiN₄가 구성되어 메모리 특성을 가지는 것을 특징으로 하는 나노 와이어 기반 이중 터널 전계효과 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 나노 와이어 기반 이중 터널 전계효과 트랜지스터에 관한 것으로서, 더욱 상세히는 기존의 TFET에 비해서 온도, 양자효과와 트랩의 효과를 최소화하고 기존 TFET에 비해 문턱 전압 기울기를 크게 상승시켜 동작 성능이 크게 개선된 나노 와이어 기반 이중 터널 전계효과 트랜지스터에 관한 것이다.

배경 기술

[0002] 무어의 법칙에 따르면 전계 효과 트랜지스터(FET: field-effect transistors)는 나노 스케일로 축소되고 집적 회로(IC: integrated-circuit)의 집적도가 크게 증가한다. 그러나 문턱전압 이하 영역 기울기 (subthreshold swing: SS, 이하 SS)가 60mV/dec 미만으로 도달하지 못하는 MOSFET(metal-oxide-semiconductor FET) 한계는 IC의 소비 전력 증가를 초래한다.

[0003] 일부 연구자들은 MOSFET의 한계를 해결하기 위해 새로운 컨셉 소자를 제안했다.

[0004] 터널 FET(TFET: Tunnel Field Effect Transistor)는 밴드 대 밴드 터널링(BTBT: band to band tunneling)으로 인해 SS < 60 mV/dec의 급경사 스위칭을 위한 저전력 소자 중의 하나로 추천된다.

[0005] 그러나 다음과 같은 몇 가지 결함으로 인해 TFET를 실용화하기는 어렵다.

[0006] 트랩에 의해 발생할 수 있는 트랩 보조 터널링(TAT: Trap Assisted Tunneling) 및 Shockley-Read-Hall(SRH) 재결합과 같은 일부 효과는 SS 및 오프전류(I_{off})의 관점에서 TFET의 성능을 크게 저하시킨다.

[0007] 양자 구속(Quantum Confinement: QC)은 SS와 온전류(I_{on}) 면에서 소자 성능에 영향을 줄 뿐만 아니라 문턱 전압 제어에 어려움을 가진다.

[0008] 마지막으로 양극성 전류(Iambipolar)가 드레인과 채널 사이의 구조적 문제로 인해 관찰된다. 게이트 전압이 역으로 인가되면, 채널 영역의 가전자대 에지(edge)는 드레인의 전도대 에지(edge)보다 높거나 같아져서 채널/드레인 접합부에서 BTBT가 발생한다. 이러한 종류의 의도하지 않은 전류는 소자 성능에 영향을 미친다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 한국등록특허 제10-0622675호

발명의 내용

해결하려는 과제

[0010] 본 발명은 기존 TFET의 단점을 해결하기 위해 나노선(Nanowire: NW) 기반의 접합없는 채널을 갖는 실리콘 및 게르마늄으로 이루어진 이중 TFET(JLNW-TFET)를 제안한다.

과제의 해결 수단

[0011] 본 발명의 실시예에 따른 나노 와이어 구조로 형성되는 나노 와이어 기반 이중 터널 전계 효과 트랜지스터는, 나노 와이어 형태의 제 1 소스 영역과 채널 영역 및 드레인 영역을 포함하는 N형 도핑된 제 1 영역과, 상기 제 1 소스 영역과 결합되는 P형 도핑된 제 2 소스 영역으로 구성되며 나노 와이어 형태로 구성되는 제 2 영역과, 상기 제 1 영역의 상기 채널 영역을 감싸도록 구성된 산화물 및 상기 산화물을 감싸도록 구성된 게이트 영역을 포함할 수 있다.

[0012] 본 발명과 관련된 일 예로서, 상기 제 1 소스 영역과 제 2 소스 영역과 채널 영역 및 드레인 영역 각각의 길이는 상호 동일한 것을 특징으로 할 수 있다.

[0013] 본 발명과 관련된 일 예로서, 상기 길이는 25nm인 것을 특징으로 할 수 있다.

[0014] 본 발명과 관련된 일 예로서, 상기 제 1 영역은 실리콘으로 구성되고, 상기 제 2 영역은 게르마늄으로 구성되는 것을 특징으로 할 수 있다.

[0015] 본 발명과 관련된 일 예로서, 상기 산화물은 산화 하프늄(HfO₂)으로 구성된 것을 특징으로 할 수 있다.

[0016] 본 발명과 관련된 일 예로서, 상기 제 1 영역 및 제 2 영역의 도핑 농도는 $1 \times 10^{20} \text{ cm}^{-3}$ 인 것을 특징으로 할 수 있다.

[0017] 본 발명과 관련된 일 예로서, 상기 제 1 영역은 Si, Ge 및 Si_xGe_{1-x} 중 어느 하나로 구성된 것을 특징으로 할 수 있다.

[0018] 본 발명과 관련된 일 예로서, 상기 제 2 영역은 Ge 및 Si_xGe_{1-x} 중 어느 하나로 구성된 것을 특징으로 할 수 있다.

[0019] 본 발명과 관련된 일 예로서, 상기 산화물의 영역 일부에는 SiN₄가 구성되어 메모리 특성을 가지는 것을 특징으로 할 수 있다.

발명의 효과

[0020] 본 발명의 실시예에 따른 나노 와이어 기반 이중 터널 전계 효과 트랜지스터는 기존의 TFET에 비해서 온도, 양자효과와 트랩의 효과를 최소화할 수 있으며, 이를 통해 기존 TFET에 비해 문턱 전압 기울기를 크게 상승시켜 동작 성능이 크게 개선되는 효과가 있다.

도면의 간단한 설명

[0021] 도 1a 및 도 1b는 본 발명의 실시예에 따른 나노 와이어 기반 이중 터널 전계 효과 트랜지스터의 구성도.

도 2는 본 발명의 실시예에 따른 나노 와이어 기반 이중 터널 전계 효과 트랜지스터의 드레인-소스 전류 대 게이트-소스 전압 특성을 나타낸 그래프.

도 3은 본 발명의 실시예에 따른 나노 와이어 기반 이중 터널 전계 효과 트랜지스터의 다양한 일 함수에서의 드레인-소스 전류 대 게이트-소스 전압을 나타낸 그래프.

도 4는 본 발명의 실시예에 따른 나노 와이어 기반 이중 터널 전계 효과 트랜지스터의 서로 상이한 나노 와이어 직경별 드레인-소스 전류 대 게이트-소스 전압을 나타낸 그래프.

도 5는 본 발명의 실시예에 따른 나노 와이어 기반 이중 터널 전계 효과 트랜지스터의 다양한 온도에서의 드레인-소스 전류 대 게이트-소스 전압을 나타낸 그래프.

도 6은 본 발명의 실시예에 따른 나노 와이어 기반 이중 터널 전계 효과 트랜지스터의 전자 농도 관련 그래프.

도 7은 본 발명의 실시예에 따른 나노 와이어 기반 이중 터널 전계 효과 트랜지스터의 QC 및 TAT에 따른 드레인

-소스 전류 대 게이트-소스 전압을 나타낸 그래프.

도 8은 본 발명의 다른 실시예에 따른 나노 와이어 기반 이중 터널 전계 효과 트랜지스터의 구성도.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 도면을 참고하여 본 발명의 상세 실시예를 설명한다.
- [0023] 본 발명의 실시예에 따른 나노 와이어 기반 이중 터널 전계 효과 트랜지스터는 나노 와이어 기반의 접합없는 채널을 갖는 실리콘 및 게르마늄(Si/Ge)으로 구성된 이중 터널 전계 효과 트랜지스터(Junctionless Nanowire Tunnel Field Effect Transistor: JLNW-TFET)로서, 이하 JLNW-TFET로 명칭한다.
- [0024] 상기 JLNW-TFET은 다음 두 가지 메커니즘(Junction Fieldless Transistor (JLFET)의 열 이온 생성 및 기존 터널 전계 효과 트랜지스터(이하, 기존 TFET)의 BTBT(band to band tunneling) 생성의 각 단점을 보완하여 동작된다.
- [0025] JLNW-TFET의 온전류(I_{on})는 기존 TFET의 약 10 배 정도 감소하지만 문턱전압 이하 영역 기울기(subthreshold swing: SS)는 기존 TFET보다 3배 가량 빠르며 구조적인 특성으로 양극성 전류(Iambipolar)는 거의 사라진다.
- [0026] 오프전류(I_{off})는 트랩의 밀도가 증가할 때 Shockley-Read-Hall(SRH) 재결합으로 인해 증가하나 SS의 증가는 관찰되지 않는다.
- [0027] 실온보다 높은 온도에서 I_{off} 는 약간 증가하고 SS와 I_{on} 은 거의 일정하다.
- [0028] 또한, 양자 구속 및 트랩 보조 터널링은 I_{off} 를 증가시키고 I_{on} 을 약간 감소시키는 것을 제외하고는 소자 성능에 크게 영향을 미치지 않는다.
- [0030] 도 1a 및 도 1b는 본 발명의 실시예에 따른 JLNW-TFET의 구성도이다.
- [0031] 도 1a 및 도 1b에 도시된 바와 같이, 상기 JLNW-TFET는 나노 와이어(nanowire) 구조로 형성되며, 나노 와이어 형태의 제 1 소스 영역(11)(source1)과 채널 영역(12)(channel) 및 드레인 영역(13)(drain)을 포함하는 N형 도핑된 제 1 영역(N형 영역)과, 상기 제 1 소스 영역(11)과 결합되는 P형 도핑된 제 2 소스 영역(이하, 소스 2)(20)(source2)으로 구성되며 나노 와이어 형태로 구성되는 제 2 영역(이하, P형 영역)을 포함하여 구성될 수 있다.
- [0032] 이때, 상기 제 1 소스 영역(11)과 채널 영역(12) 및 드레인 영역(13) 각각은 나노 와이어 형태로 구성될 수 있다.
- [0033] 또한, 상기 제 1 영역에서 상기 제 1 소스 영역(이하, 소스 1)(11)은 상기 채널 영역(12)의 왼쪽 부분에 구성되고, 상기 제 1 영역에서 상기 드레인 영역(이하, 드레인)(13)은 상기 채널 영역(12)의 오른쪽 부분에 구성될 수 있다.
- [0034] 또한, 상기 JLNW-TFET는 상기 제 1 영역(이하, N형 영역)의 상기 채널 영역(이하, 채널)(12)을 감싸도록 구성된 산화물(30) 및 상기 산화물(30)을 감싸도록 구성된 게이트 영역(이하, 게이트)(40)(gate)을 더 포함하여 구성될 수 있다.
- [0035] 상술한 구성을 토대로, 상기 JLNW-TFET의 구성을 더욱 상세히 설명한다.
- [0036] 우선, 상기 JLNW-TFET는 P형 게르마늄(Ge)(P형 영역)과 N형 실리콘(Si)(N형 영역)의 이중 반도체로 구성된 단순한 나노선(나노 와이어: nanowire)(NW) 구조를 가진다.
- [0037] 또한, N형 실리콘의 중간에 있는 게이트(40)는 채널(12)에서 전위 장벽을 만든다.
- [0038] P형 영역을 소스 2(20)라고 하며, N형 영역은 소스 2(20)와 연결된 소스 1(11), 게이트(40) 아래에 위치하는 영역인 채널(12) 및 채널(12)의 오른쪽에 위치하는 드레인(13)의 3가지 영역으로 구성될 수 있다.
- [0039] 또한, 도 1b에 나타낸 것처럼, 상기 JLNW-TFET는 2개의 주요 메커니즘, 즉 JLFET(Junctionless FET)의 열 이온 방출 및 터널 다이오드(tunnel diode)의 BTBT(band to band tunneling)로 동작할 수 있다.
- [0040] 소스 2(20)와 소스1(11)의 III-type band 구조(broken gap 상태)의 PN 접합에서, BTBT 생성은 항상 존재한다.
- [0041] 소스2(20)와 소스1(11) 사이의 BTBT 영역의 전위 에너지는 게이트(40) 전계의 영향을 거의 받지 않아서 BTBT 터

널링율은 인가된 게이트 바이어스에 독립적으로 고정된다.

- [0042] 게이트 전압이 증가함에 따라서 게이트(40)의 일함수에 의해서 초기에 만들어진 채널 영역(12)의 전위 장벽은 감소한다.
- [0043] 게이트 전압이 JLFET의 문턱 전압(V_{th}) 미만으로 인가되면 게이트(40) 아래에 있는 채널(12)의 이동 전자는 완전히 고갈됨에 따라서 전류가 흐르지 않는다. 그러나, 인가된 게이트 전압이 문턱 전압(V_{th}) 이상이 되면, 게이트(40) 아래의 채널(12)이 축적되어 급격한 전류 흐름이 관찰된다.
- [0044] 상술한 구성에서, 소스2(20), 소스1(11), 채널(12)과 드레인(13)의 각 길이는 25 nm으로 동일하게 구성될 수 있다.
- [0045] 또한, 상기 산화물(30)에 해당되는 게이트 산화물 재료는 두께가 2nm인 산화 하프늄(HfO_2)이고, 중간 에너지 갭의 트랩 밀도는 TAT(Trap Assisted Tunneling)의 경우 $1 \times 10^{10} \text{ cm}^{-3}$ 일 수 있다.
- [0046] 상기 P형 영역과 N형 영역의 도핑 농도는 각각 $1 \times 10^{20} \text{ cm}^{-3}$ 일 수 있다.
- [0047] BTBT 비율을 향상시키기 위해, 게르마늄 및 실리콘이 각각 P형 영역 및 N형 영역에 사용된다. 즉, 상기 N형 영역(제 1 영역)은 실리콘으로 구성되고, 상기 P형 영역(제 2 영역)은 게르마늄으로 구성될 수 있다.
- [0048] 또한, 상기 제 1 영역은 Si(실리콘), Ge(게르마늄) 및 Si_xGe_{1-x} 중 어느 하나로 구성될 수도 있다.
- [0049] 또한, 상기 제 2 영역(또는 소스 2(제 2 소스 영역))은 Ge(게르마늄) 및 Si_xGe_{1-x} 중 어느 하나로 구성될 수도 있다.
- [0050] 또한, 도 8에 도시된 바와 같이, 상기 산화물(30)의 영역 일부(또는 산화물(30)의 일부)에는 SiN_4 가 구성될 수 있다.
- [0051] 이하에서는 Silvaco Atlas TCAD 시뮬레이터로 상기 JLNW-TFET의 특성을 시뮬레이션한다.
- [0052] 또한, Schrodinger 방정식에 대해 보정된 density gradient 모델이 QC(Quantum Confinement) 효과 계산에 사용된다.
- [0053] 또한, 고농도 상태를 고려하여 band gap narrowing 과 Fermi 모델이 사용된다.
- [0054] 이동도를 위한 Lombardi' s model과 터널링을 위한 Kane의 non-local BTBT과 non-local TAT model, 온도 및 트랩 밀도에 따른 SRH 재결합, 높은 바이어스를 위한 Auger recombination 이 사용된다.
- [0056] 도 2는 드레인-소스 간 전압 $V_{ds} = 0.01, 0.05$ 및 0.1 V에서 상기 JLNW-TFET의 드레인-소스 전류 대 게이트-소스 전압 ($I_{ds}-V_{gs}$) 특성을 나타낸다.
- [0057] 여기서, $T = 300K$, 나노 와이어 직경(R_{si}) = 5nm, 게이트 일 함수 $\Phi_m = 4.6$ eV이다. V_{ds} 가 증가함에 따라, I_{ds} 는 증가하고, $V_{ds} = 0.1V$ 일 때 $SS = 9mV/dec$ 및 $I_{on} = 0.5 \mu A$ 이다.
- [0058] 도 2의 삽입 그림은 소스 1에서 드레인 방향의 오프(off) 상태, 문턱전압 이하 영역 상태(subthreshold) 및 온(on) 상태의 에너지밴드 다이어그램을 보여준다.
- [0059] 오프 상태($V_{gs} < -0.67V$)에서는 게이트 아래의 채널에 전류가 완전히 공핍되어 전류가 흐르지 않는다.
- [0060] 문턱전압 이하 영역 상태($-0.67V \leq V_{gs} < -0.55V$)에서, 게이트 아래의 채널은 부분적으로 공핍되고, V_{gs} 가 증가함에 따라 전류는 현저하게 증가한다.
- [0061] 온 상태 ($V_{gs} \geq -0.55V$)에서 게이트 아래의 채널이 축적된 후 소스 2와 소스 1 사이의 BTBT로 인해 전류가 포화 상태가 된다.
- [0062] BTBT의 생성은 전자의 열적 방출보다 훨씬 적기 때문에, 온전류는 BTBT에 의해 포화되고, 온 상태 문턱전압 V_{onset} 은 JLFET의 열적 방출의 V_{th} 에 의해 제어된다. JLFET(소스1, 게이트 및 드레인)으로 구성)의 구조 때문에 채널 대 드레인 접합부에서의 BTBT의 $I_{ambipolar}$ 는 존재하지 않으며 I_{off} 는 도 2에서 보듯이 약 0.01 fA를 관찰할 수

있다.

- [0064] 도 3은 게이트 물질의 다양한 일 함수에서의 JLNW-TFET 및 JLFET의 I_{ds} - V_{gs} 특성을 보여준다.
- [0065] 게이트 일함수(Φ_m)가 증가함에 따라, JLNW-TFET의 V_{onset} 과 JLFET의 V_{th} 가 모두 증가한다. V_{onset} 은 JLFET에 측정되는 V_{th} 와 거의 같으며 V_{onset} 과 V_{th} 의 변화는 거의 동일하다.
- [0067] 도 4는 상기 JLNW-TFET의 $T = 300K$ 일 때 서로 상이한 나노 와이어 직경(R_{si})별 JLNW-TFET의 I_{ds} - V_{gs} 특성을 보여준다. 터널링 전류는 BTBT 면적($\sim \pi R_{si}^2/4$)에 크게 의존하기 때문에 도시된 바와 같이 R_{si} 가 증가하면 I_{on} 이 증가한다.
- [0068] 채널이 완전히 공핍되도록 하기 위해서는 더 긴 R_{si} 에서 더 많은 음의 게이트 전압이 필요하다.
- [0069] 그러므로, JLFET의 V_{th} 가 감소함에 따라서 JLNW-TFET의 V_{onset} 도 감소한다.
- [0070] $R_{si} > 3nm$ 일 때, V_{onset} 이동전압은 약 0.2eV로 관찰된다. R_{si} 가 3nm보다 작아지면 V_{onset} 은 공핍 길이가 나노선의 모든 채널 영역을 공핍시키기에 충분하기 때문에 0.2eV 미만으로 감소한다.
- [0072] 도 5는 다양한 온도(T)에서 JLNW-TFET의 I_{ds} - V_{gs} 특성을 보여준다.
- [0073] 온도가 증가함에 따라, JLNW-TFET의 I_{on} 과 V_{onset} 은 각각 온도에 따른 에너지 밴드 갭 변화로 인하여 약간 증가하고 감소한다.
- [0074] BTBT 영역(소스 2와 소스 1 사이)의 에너지 밴드가 게이트 전계와 독립적으로 고정되기 때문에 SS는 거의 변화 없이 일정하다.
- [0075] $T < 300K$ 일 때 약간의 변화가 있지만 매우 적은 I_{on} 이 있다. $T > 300K$ 일 때, I_{off} 는 온도가 증가함에 따라 크게 증가한다.
- [0076] $T = 350K$ 일 때, I_{off} 는 실온보다 약 100배 증가하는 약 1fA로 증가하고, $T = 400K$ 일 때 I_{off} 는 실온에서 약 104배 높은 약 1pA로 증가합니다.
- [0077] 도 5에서와 같이 I_{off} 전류는 SRH 재결합 또는 TAT에서 생성되기 때문에 온도에 따라 달라진다.
- [0079] 도 6은 소스 1의 드레인 방향에 대한 전자 농도를 보여준다. 온도가 증가함에 따라, SRH 재결합에 의해 전자 농도가 증가한다.
- [0080] $T < 300K$ 에서의 전자 농도의 증가 속도는 $T > 350K$ 에서의 것보다 훨씬 더 크지만, I_{off} 는 공핍된 채널로 인해 증가하지 않는다.
- [0081] $T > 350K$ 인 동안, 전자 농도의 증가율은 작지만 채널이 축적되기 때문에 I_{off} 의 증가율은 매우 가파르다. JLNW-TFET의 온도 의존성이 존재하더라도 I_{on} , I_{off} 및 SS의 관점에서 기존 TFET보다 훨씬 낮다.
- [0083] 도 7은 QC 및 TAT에 따른 JLNW-TFET의 I_{ds} - V_{gs} 특성을 나타낸다.
- [0084] 사각형, 원, 위쪽 삼각형 및 아래쪽 삼각형은 각각 QC만 고려한 경우, TAT만 고려한 경우, QC 및 TAT를 고려한 경우, QC 및 TAT를 고려하지 않은 경우 각각의 시뮬레이션 결과를 나타낸다.
- [0085] QC 나 TAT를 고려할 때, SS와 I_{on} 은 QC와 TAT를 무시한 경우에 비해 I_{off} 가 증가하는 것을 제외하고는 거의 동일하다.
- [0086] JLNW-TFET는 게이트 전계가 소스 2와 소스 1 사이의 BTBT 발생에 기여하지 않기 때문에 QC 및 트랩 효과에 의해 크게 영향을 받지 않는다.
- [0087] 낮은 게이트 바이어스에서 TAT는 SS를 악화시키지 않으며 I_{off} 를 QC 및 TAT를 무시한 경우보다 약 10^3 배 증가시킨다.

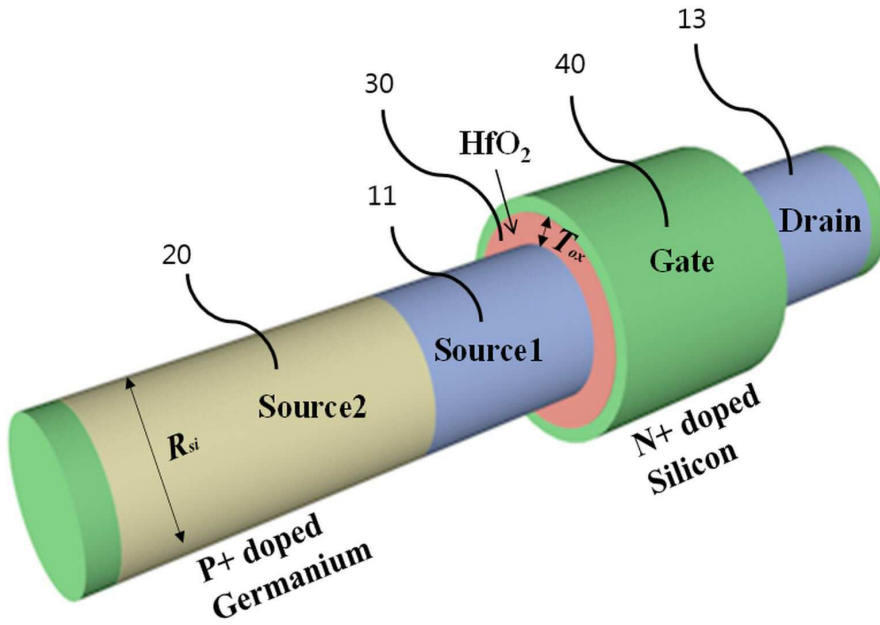
- [0088] 도 8은 나노 와이어 기반 이중 터널 전계효과 트랜지스터의 게이트 산화물의 영역 일부에 SiN₄가 추가되어 메모리 특성을 가진다. 게이트 전압에 따라서 SiN₄ 층에 전자의 trapping과 de-trapping에 의해서 문턱전압을 변화시킬 수 있다. 이 문턱전압의 차이로 메모리 특성을 가질 수 있다.
- [0089] 상술한 실시예에서, Ge/Si 코어/셸 나노선은 에피택셜 성장된(epitaxially grown) GAA(gate-all-around) 구조의 수직 접합 트랜지스터용 제조 방법으로 만들 수 있다. 게이트는 에칭 기술로 만들 수 있다.
- [0091] 상술한 바와 같이, 본 발명의 실시예에서는 TCAD 시뮬레이터를 이용하여 게이트 일함수, 온도, 나노선 직경, TAT, QC 등 다양한 파라미터 및 모델의 의존성 및 전기적 특성을 분석하였다.
- [0092] JLNW-TFET의 V_{onset}은 JLNW-FET의 V_{th}와 거의 같았으며 게이트 일함수에 따라서 이동했다. R_{si}가 증가함에 따라, JLNW-TFET의 V_{onset} 및 I_{on}은 각각 감소하고 증가한다.
- [0093] SS와 I_{on}은 온도에 의해 영향을 받지 않으며 T > 300K일 때 I_{off}가 증가했다. T가 300K에서 400K로 증가하면 I_{off}는 ~ 0.01fA에서 ~ 5fA로 증가했다.
- [0094] QC와 TAT를 고려할 때, 단지 약간의 I_{off}가 증가하고 SS와 I_{on}이 저하되지 않았다.
- [0095] 이에 따라, 본 발명의 실시예에 따른 JLNW-TFET는 기존의 TFET에 비해서 온도, 양자효과와 트랩의 효과를 최소화할 수 있는 소자이다.
- [0096] 또한, 본 발명의 실시예에 따른 JLNW-TFET는 기존 TFET에 비해 문턱 전압 기울기를 크게 상승시켜 동작 성능이 크게 개선된 소자를 제공할 수 있다.
- [0098] 전술된 내용은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

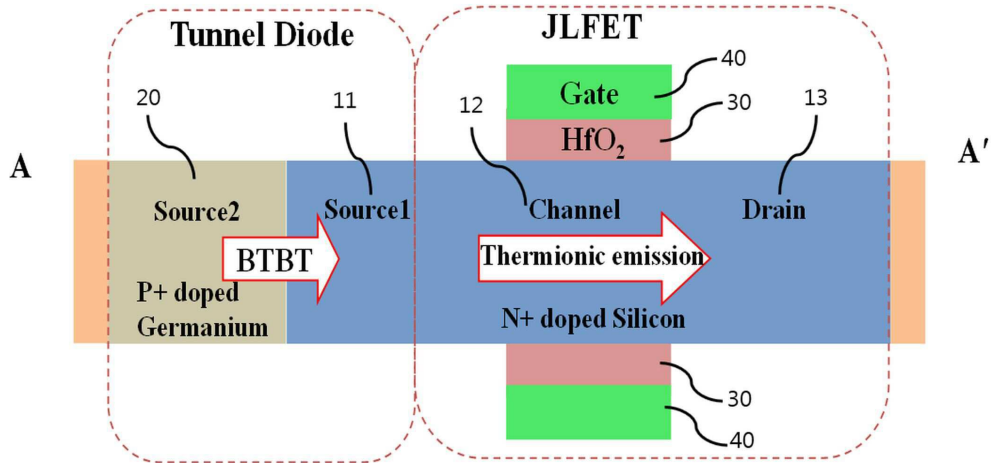
- [0099] 11: 제 1 소스 영역 12: 채널 영역
- 13: 드레인 영역 20: 제 2 소스 영역
- 30: 산화물 40: 게이트

도면

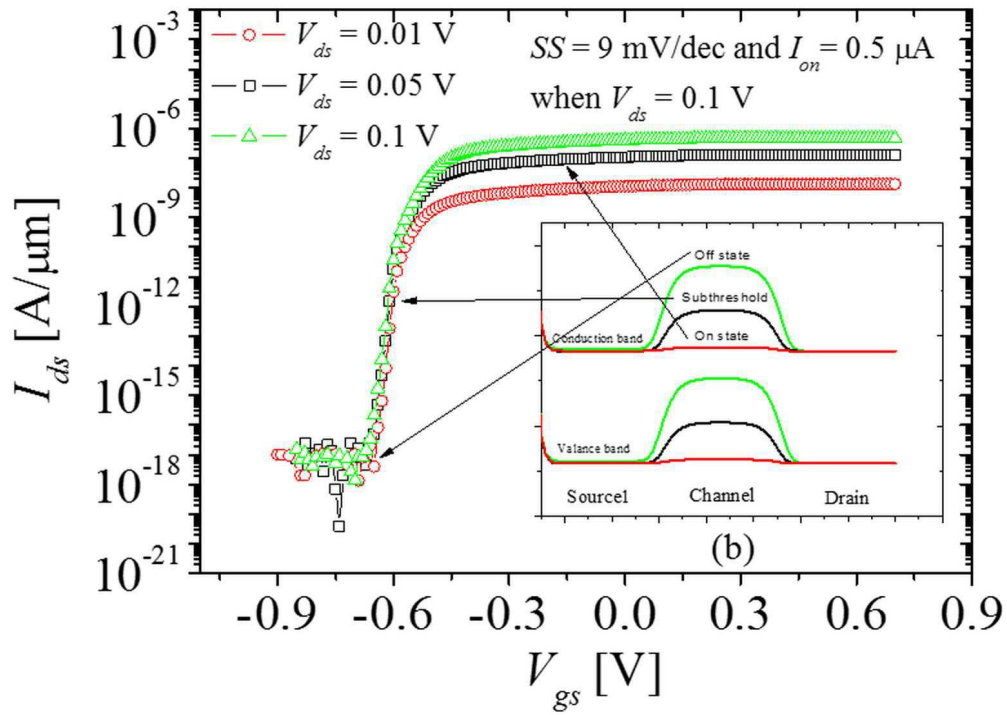
도면1a



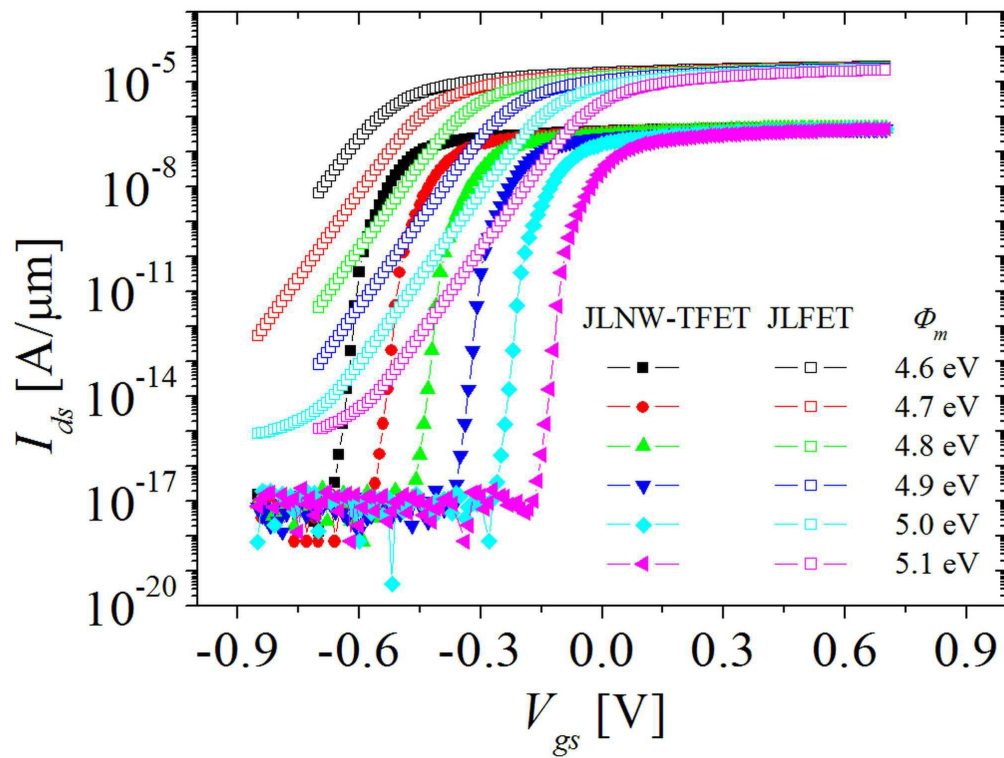
도면1b



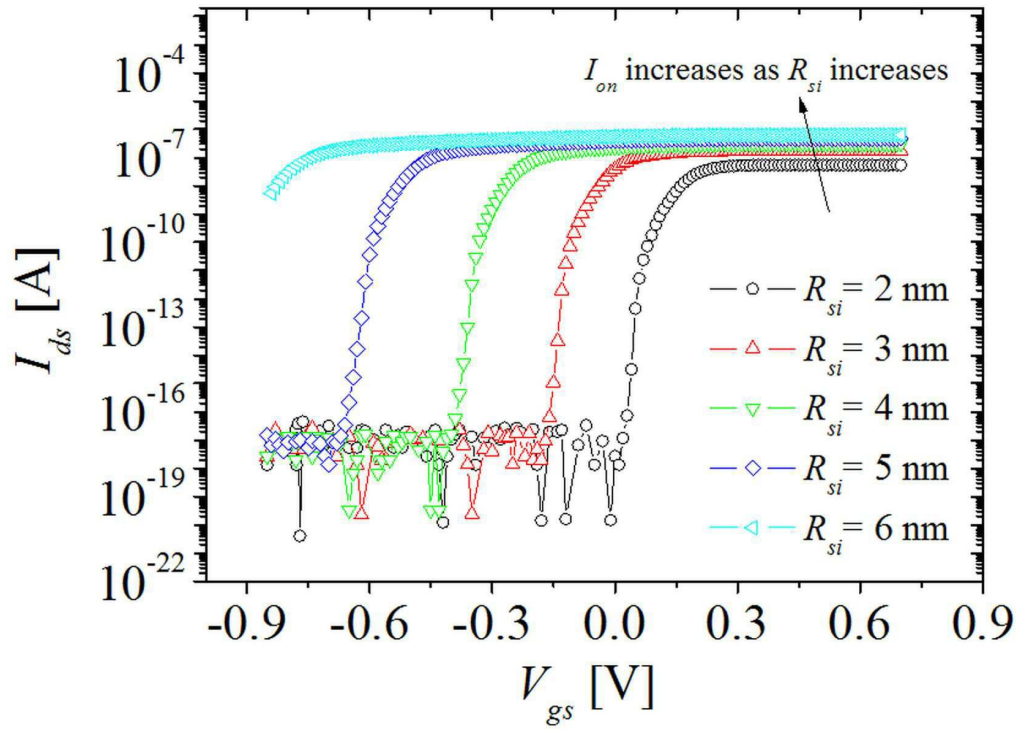
도면2



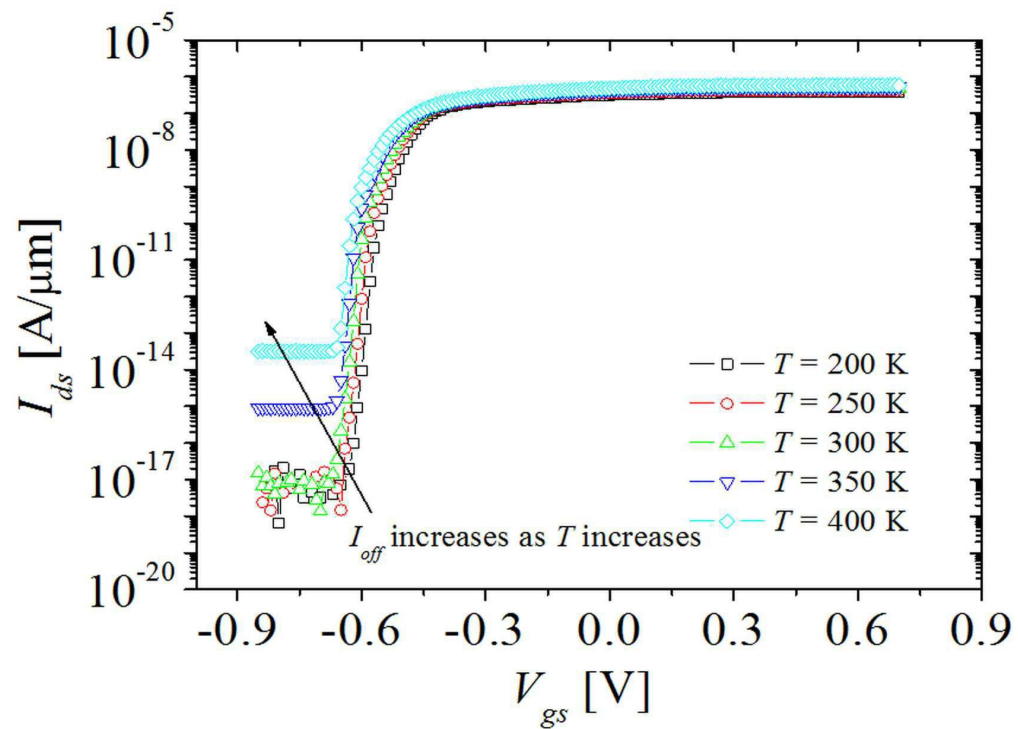
도면3



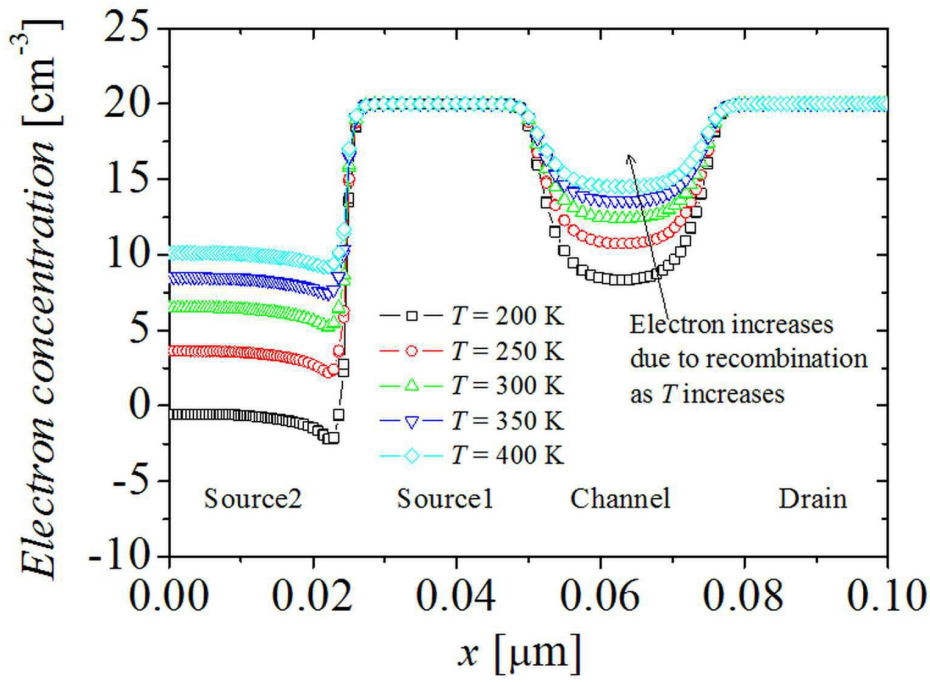
도면4



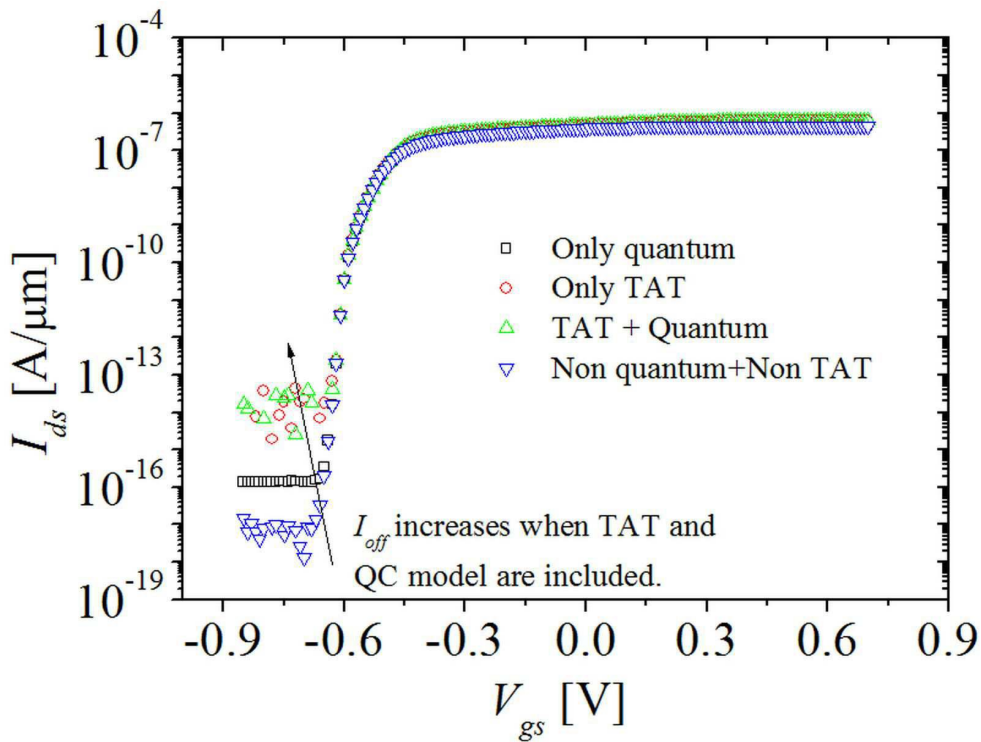
도면5



도면6



도면7



도면8

