



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월16일
(11) 등록번호 10-2266156
(24) 등록일자 2021년06월11일

(51) 국제특허분류(Int. Cl.)
H03K 3/57 (2006.01) H03K 17/06 (2006.01)
H03K 17/60 (2006.01)
(52) CPC특허분류
H03K 3/57 (2013.01)
H03K 17/063 (2013.01)
(21) 출원번호 10-2019-0153322
(22) 출원일자 2019년11월26일
심사청구일자 2019년11월26일
(65) 공개번호 10-2021-0064755
(43) 공개일자 2021년06월03일
(56) 선행기술조사문헌
JP2005287225 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
명지대학교 산학협력단
경기도 용인시 처인구 명지로 116 (남동, 명지대학교)
(72) 발명자
이준영
경기도 용인시 기흥구 죽현로 12, 312동 602호(보정동, 죽현마을동원로알듀크아파트)
이일운
대구광역시 달성군 다사읍 서재로7길 23, 208동 2405호(에코폴리스 동화 아이위시 2차)
(74) 대리인
송인호, 최관락
(뒷면에 계속)

전체 청구항 수 : 총 6 항

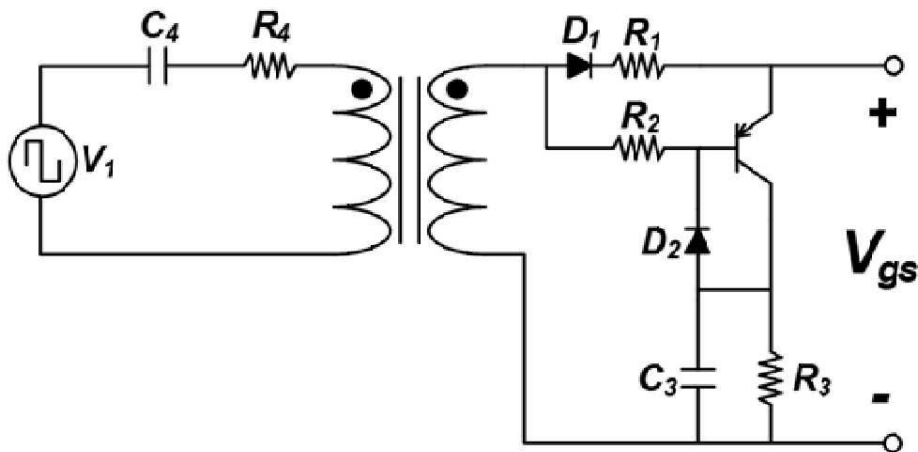
심사관 : 최규돈

(54) 발명의 명칭 음전압 전위 조절이 가능한 펄스 트랜스 회로

(57) 요약

음전압 전위 조절이 가능한 펄스 트랜스 회로가 개시된다. 상기 펄스 트랜스 회로는 변압기, 상기 변압기 2차 측에 연결되는 트랜지스터, 상기 변압기의 2차 측에 연결되며 상기 트랜지스터의 베이스 또는 게이트에 연결되는 제 2 저항 및 상기 변압기의 타단에 연결되는 제 3 저항을 포함한다. 여기서, 상기 트랜지스터 및 상기 제 3 저항에 해당하는 전압이 출력단의 전압이고, 상기 출력단의 전압은 음전압이며, 상기 음의 전압은 상기 제 2 저항의 값에 따라 달라진다.

대표도 - 도1



(52) CPC특허분류
H03K 17/601 (2013.01)

(72) 발명자

최승원

경기도 안산시 상록구 안산대학로 112, 301호 (일동)

오성택

서울특별시 동작구 흑석한강로 27, 105동 1103호(흑석동, 흑석한강푸르지오)

송형석

충청남도 천안시 서북구 노태산로 145, 103동 201호(두정동, e편한세상 두정2차)

이 발명을 지원한 국가연구개발사업

과제고유번호	P0006904
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술진흥원
연구사업명	지역혁신클러스터육성(R&D)
연구과제명	전기동력 파워트레인 설계 및 제작기술 개발
기 여 율	1/1
과제수행기관명	영화테크(주)
연구기간	2018.10.01 ~ 2020.12.31

명세서

청구범위

청구항 1

펄스 트랜스 회로에 있어서,

변압기;

상기 변압기 2차측의 일단에 연결되는 트랜지스터;

상기 변압기의 2차측의 일단에 연결되는 제 1 다이오드;

상기 제 1 다이오드와 직렬로 연결되며, 일단이 상기 트랜지스터의 이미터에 연결되는 제 1 저항;

상기 변압기의 2차 측의 일단에 연결되며 상기 트랜지스터의 베이스 또는 게이트에 연결되는 제 2 저항;

상기 트랜지스터의 컬렉터와 베이스 사이에 연결되는 제 2 다이오드; 및

상기 변압기의 2차측의 타단에 연결되고, 일단이 상기 트랜지스터의 컬렉터에 연결되는 제 3 저항을 포함하되,

상기 제 2 저항은 상기 제 1 다이오드와 상기 제 1 저항에 병렬로 연결되며, 상기 제 2 다이오드의 양극은 상기 트랜지스터의 컬렉터와 상기 제 3 저항 사이에 연결되고, 상기 제 2 다이오드의 음극은 상기 제 2 저항과 상기 트랜지스터의 베이스 사이에 연결되며, 상기 트랜지스터의 이미터와 상기 제 3 저항의 타단 사이의 전압이 출력단의 전압이고, 상기 출력단의 전압은 음전압이며, 상기 음의 전압은 상기 제 2 저항의 값에 따라 달라지는 것을 특징으로 하는 펄스 트랜스 회로.

청구항 2

제1항에 있어서,

상기 제 2 다이오드에 연결되면서 상기 제 3 저항에 병렬로 연결되는 캐패시터를 더 포함하는 것을 특징으로 하는 펄스 트랜스 회로.

청구항 3

제2항에 있어서,

제 1 모드에서 상기 제 1 다이오드는 활성화되고 상기 트랜지스터 및 상기 제 2 다이오드는 비활성화되어 상기 변압기 2차측의 전류는 상기 제 1 다이오드 및 상기 제 1 저항을 통하여 출력단으로 흐르고,

제 2 모드에서 상기 제 1 다이오드는 비활성화되고 상기 트랜지스터 및 상기 제 2 다이오드는 활성화되어 상기 출력단으로부터 상기 트랜지스터 및 상기 제 3 저항을 통하여 접지로 전류가 흐르는 것을 특징으로 하는 펄스 트랜스 회로.

청구항 4

제3항에 있어서, 상기 제 2 저항의 값이 증가하면 상기 제 3 저항에 걸리는 전압이 감소하여 상기 출력단의 음 전압이 작아지는 것을 특징으로 하는 펄스 트랜스 회로

청구항 5

디바이스로 음전압을 공급하는 게이트 드라이버 회로에 있어서,

변압기;

상기 변압기 2차 측에 연결되는 트랜지스터;

상기 변압기의 2차측과 상기 트랜지스터의 이미터 사이에 연결되는 제 1 저항;

상기 트랜지스터의 베이스에 연결되는 제 2 저항; 및

상기 트랜지스터의 컬렉터에 연결되는 제 3 저항을 포함하되,

상기 제 1 저항과 상기 제 2 저항은 병렬로 연결되고, 상기 게이트 드라이버 회로는 음전압을 발생시키며, 상기 트랜지스터의 베이스 또는 게이트로 인가되는 전압을 조절함에 의해 상기 디바이스의 게이트로 입력되는 음전압의 크기가 달라지는 것을 특징으로 하는 게이트 드라이버 회로.

청구항 6

삭제

청구항 7

제5항에 있어서, 상기 디바이스는 상기 음전압을 게이트로 공급받는 실리콘 카바이드(SiC) FET를 포함하는 것을 특징으로 하는 게이트 드라이버 회로.

발명의 설명

기술 분야

[0001] 본 발명은 음전압 전위 조절이 가능한 펄스 트랜스 회로에 관한 것이다.

배경 기술

[0002] 펄스 트랜스(Pulse Transformer)는 디지털 제어 신호를 제어 회로에서 부하로 전송하도록 설계된 다양한 변압기 제품군 중 하나이다.

[0003] 최근, 디바이스에 음의 전압이 필요한 경우가 발생하는데, 예를 들어 실리콘 카바이드(SiC) FET의 게이트로 음의 전압이 인가될 필요가 있는데, 적당한 펄스 트랜스 회로가 없다. 특히, 음의 전압이 조절 가능한 펄스 트랜스 회로가 존재하지 않는다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) KR 10-1879721 B

발명의 내용

해결하려는 과제

[0005] 본 발명은 음전압 전위 조절이 가능한 펄스 트랜스 회로를 제공하는 것이다.

과제의 해결 수단

[0006] 상기한 바와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 펄스 트랜스 회로는 변압기; 상기 변압기 2차 측에 연결되는 트랜지스터; 상기 변압기의 2차 측에 연결되며 상기 트랜지스터의 베이스 또는 게이트에 연결되는 제 2 저항; 및 상기 변압기의 타단에 연결되는 제 3 저항을 포함한다. 여기서, 상기 트랜지스터 및 상기 제 3 저항에 해당하는 전압이 출력단의 전압이고, 상기 출력단의 전압은 음전압이며, 상기 음의 전압은 상기 제 2 저항의 값에 따라 달라진다.

[0007] 본 발명의 일 실시예에 따른 디바이스로 음전압을 공급하는 게이트 드라이버 회로는 변압기; 및 상기 변압기 2차 측에 연결되는 트랜지스터를 포함한다. 여기서, 상기 게이트 드라이버 회로는 음전압을 발생시키며, 상기 트랜지스터의 베이스 또는 게이트로 인가되는 전압을 조절함에 의해 상기 디바이스의 게이트로 입력되는 음전압의 크기가 달라진다.

발명의 효과

[0008] 본 발명에 따른 펄스 트랜스 회로는 변압기 2차측에 트랜지스터를 연결하되, 상기 트랜지스터의 베이스에 연결된 저항의 값을 조절하여 출력단을 통하여 출력되는 음전압의 크기를 조절할 수 있다. 따라서, 음전압이 필요한 디바이스에 적용하여 단 방향이 아닌 양방향 전압을 공급할 수 있고, 다양한 디바이스에 상기 펄스 트랜스 회로를 적용할 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 일 실시예에 따른 펄스 트랜스 회로를 도시한 도면이다.
- 도 2는 변압기를 제외한 펄스 트랜스 회로의 전류 흐름을 보기 위한 등가 회로를 도시한 도면이다.
- 도 3 및 도 4는 본 발명의 일 실시예에 따른 등가 회로에서의 전류 흐름을 도시한 도면들이다.
- 도 5는 PSIM으로 구현한 등가 회로를 도시한 도면이다.
- 도 6은 PSIM 결과 파형을 도시한 도면이다.
- 도 7은 V_x 의 근사 파형을 도시한 도면이다.
- 도 8은 V_{gs} 파형을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "구성된다" 또는 "포함한다" 등의 용어는 명세서상에 기재된 여러 구성 요소들, 또는 여러 단계들을 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소들 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다. 또한, 명세서에 기재된 "...부", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.
- [0013] 본 발명은 펄스 트랜스 회로에 관한 것으로서, 음전압을 생성하고 음전압 전위 자체를 조정할 수 있다.
- [0014] 일 실시예에 따르면, 상기 펄스 트랜스 회로는 예를 들어 실리콘 카바이드(SiC) FET의 게이트로 음의 전압을 공급할 수 있는 회로이며, 게이트로 전압을 공급한다는 측면에서 게이트 드라이버 회로로 명명될 수도 있다.
- [0015] 예를 들어, 상기 펄스 트랜스 회로는 0V 내지 -15V의 음전압을 생성할 수 있으며, 최적으로는 -4V 또는 -5V의 음전압을 생성할 수 있다.
- [0016] 또한, 상기 펄스 트랜스 회로는 예를 들어 최저 -15V, 최대 15V의 펄스 전압을 생성할 수 있되, 양의 전압은 15V를 유지하고 음의 전압은 0V 내지 15V 범위에서 조정할 수 있다.
- [0018] 이하, 본 발명의 다양한 실시예들을 첨부된 도면을 참조하여 상술하겠다.
- [0019] 도 1은 본 발명의 일 실시예에 따른 펄스 트랜스 회로를 도시한 도면이다.
- [0020] 도 1을 참조하면, 본 실시예의 펄스 트랜스 회로는 변압기, 상기 변압기 전단(1차측)에 위치하며 전원(V_1), 캐패시터(C_4) 및 저항(R_4)을 가지는 전단 회로, 상기 변압기의 후단(2차측)에 위치하며 제 1 다이오드(D_1), 제 1 저항(R_1), 제 2 저항(R_2), 트랜지스터, 제 2 다이오드(D_2), 제 3 저항(R_3) 및 캐패시터(C_3)를 가지는 후단 회로를 포함할 수 있다.
- [0021] 캐패시터(C_4) 및 저항(R_4)은 전원(V_1)에 직렬로 연결되며, 저항(R_4)의 일단은 변압기의 1차측에 연결될 수 있다.
- [0022] 제 1 다이오드(D_1)는 상기 변압기의 2차측에 연결된다.
- [0023] 제 1 저항(R_1)은 일단이 제 1 다이오드(D_1)에 직렬로 연결되고, 타단이 출력측 일단에 연결될 수 있다.
- [0024] 제 2 저항(R_2)은 일단이 제 1 다이오드(D_1)에 병렬로 연결되고, 타단이 상기 트랜지스터의 베이스에 연결될 수 있다. 즉, 제 2 저항(R_2)은 일단이 직렬로 연결된 제 1 다이오드(D_1)와 제 1 저항(R_1)에 병렬로 연결되고, 타단이 상기 트랜지스터의 베이스에 연결된다.

- [0025] 상기 트랜지스터는 BJT 트랜지스터일 수 있으며, 이미터는 제 1 저항(R_1)에 연결되고, 컬렉터는 제 3 저항(R_3)에 연결될 수 있다. 물론, 상기 트랜지스터는 MOS 트랜지스터일 수도 있다.
- [0026] 제 3 저항(R_3)의 일단은 상기 트랜지스터의 컬렉터에 연결되고, 타단은 출력측 타단, 예를 들어 접지에 연결될 수 있다.
- [0027] 제 2 다이오드(D_2)의 양극은 상기 트랜지스터의 컬렉터와 제 3 저항(R_3) 사이에 연결되고, 음극은 제 2 저항(R_2)과 상기 트랜지스터의 베이스 사이에 연결될 수 있다. 즉, 제 2 다이오드(D_2)는 특정 방향으로 전류가 흐르도록 전류 방향을 제어할 수 있다.
- [0028] 제 2 다이오드(D_2) 없이 상기 트랜지스터의 베이스와 컬렉터가 연결되면, 상기 변압기 2차측의 전류가 제 2 저항(R_2)을 통하여 제 3 저항(R_3)으로 흐를 수 있다. 따라서, 이러한 전류 흐름이 발생되지 않도록 상기 트랜지스터의 베이스와 컬렉터 사이에 제 2 다이오드(D_2)를 형성한다.
- [0029] 캐패시터(C_3)는 제 2 다이오드(D_2)의 양극에 연결되면서 제 3 저항(R_3)과 병렬로 연결될 수 있다. 이러한 캐패시터(C_3)은 제 3 저항(R_3)에 평균 전압이 걸리도록 하는 역할을 수행한다. 캐패시터(C_3)가 없으면, 제 3 저항(R_3)에 구형파 전압이 걸리게 된다.
- [0031] 이하, 이러한 펄스 트랜스 회로에서 음전압을 조정하는 과정을 살펴보겠다.
- [0032] 도 2는 변압기를 제외한 펄스 트랜스 회로의 전류 흐름을 보기 위한 등가 회로를 도시한 도면이며, 도 3 및 도 4는 본 발명의 일 실시예에 따른 등가 회로에서의 전류 흐름을 도시한 도면들이다. 도 5는 PSIM으로 구현한 등가 회로를 도시한 도면이며, 도 6은 PSIM 결과 파형을 도시한 도면이다. 도 7은 V_x 의 근사 파형을 도시한 도면이고, 도 8은 V_{gs} 파형을 도시한 도면이다.
- [0033] V_1 은 펄스 트랜스를 통해 교번하는 구형파이고, ($V_1 = \pm V_a$) 또한, C_{gs} 는 Power Switch의 Gate-Source Capacitor이며 실제로는 존재하지 않는 값이다.
- [0034] 등가 회로에서의 동작을 살펴보기 위하여, 1) 변압기 2차측 출력이 ($V_1 = \pm V_a$)의 양/음전압을 가지는 구형파이고, 2) 구형파의 스위칭 주기가 T_s 이며, 3) $V_1 = -V_a$ 일 때의 시비율이 τ 이며, 4) 편리한 해석을 위해 캐패시터(C_3)를 무시하는 것으로 가정한다. 또한, V_x 는 제 3 저항(R_3)에 걸리는 전압으로 가정한다. 이렇게 가정하면, 도 2의 등가 회로가 얻어질 수 있다.
- [0035] 상기 등가 회로를 위한 제 1 모드에서, 등가 회로에 High Level($V_1 = +V_a$)을 인가할 수 있다. 이 경우, 도 3에 도시된 바와 같은 전류 흐름이 형성된다.
- [0036] 제 1 모드에서는, 제 1 다이오드(D_1)가 활성화되고, 제 2 다이오드(D_2)는 비활성화되며, 상기 트랜지스터도 오프(Off) 상태이다. 결과적으로, 출력에 해당하는 캐패시터(C_{gs})에 충전된 전압(V_{gs})은 하기 수학식 1과 같다.

수학식 1

[0037]
$$V_{gs} = V_a - V_{D_1, on}$$

[0038] 여기서, $V_{D_1, on}$ 은 제 1 다이오드(D_1)가 온(On) 되었을 때의 문턱 전압이다. 제 1 저항(R_1)에는 아주 짧은 시간만 전압이 걸리므로 제 1 저항(R_1)에 걸리는 전압은 무시하며, $V_x = 0$ 이다.

[0039] 제 2 모드에서, 등가 회로에 Low Level($V_1 = -V_a$)을 인가할 수 있다. 이 경우, 도 4에 도시된 바와 같은 전류 흐름이 형성된다.

[0040] 제 2 모드에서는, 제 1 다이오드(D_1)가 비활성화되고, 제 2 다이오드(D_2)는 활성화되며, 상기 트랜지스터는 온

상태이다. 결과적으로, 캐패시터(C_{gs})에 충전된 전압(V_{gs})은 하기 수학식2와 같다.

수학식 2

$$V_{gs} = V_{EC} - \frac{(V_a - V_{D_{2,on}})R_2}{R_2 + R_3}$$

여기서, V_{D_{2,on}}은 D₂이 On되었을 때의 문턱 전압이다.

위의 2개의 모드들을 분석하기 위해 PSIM을 이용하여 파형을 보면, 도 6에 도시된 바와 같다. 파형은 순서대로 V₁, V_{gs}, V_X, V_{EC}이다.

제 1 모드에서 V_{gs}의 최대값은 (V_{gs}=V_a-V_{D_{1,on}})이며, 제 2 모드에서 V_{gs}의 최대값은 $V_{gs} = V_{EC} - \frac{(V_a - V_{D_{2,on}})R_2}{R_2 + R_3}$ 이다.

MODE 분석에서 가장 중요한 것은 평균 전압이므로 등가 회로에서 제 3 저항(R₃)에 커패시터(C_{VX})가 병렬로 연결되어 있다고 가정하면, V_X의 평균 전압 <V_X>의 값을 구할 수 있다. 이 때 중요한 점은 V_X 파형에서 제 1 모드가 끝난 직후의 V_X의 최대값부터 제 2 모드가 끝나기 전까지 나타나는 곡선 파형이다.

이러한 곡선 파형은 해석하기 어렵기 때문에 근사시키면 도 7과 같과 같이 해석될 수 있다.

여기서, 전압-시간 곱 평형 조건을 이용하면 $A = V_a - V_{D_{1,on}}, B = -\frac{(V_a - V_{D_{2,on}})R_2}{(R_2 + R_3)}$ 일 때, 하기 수학식 3을 만족한다.

수학식 3

$$\langle V_x \rangle = \frac{1}{T_s} \left[\frac{(A+B)\tau}{2} + (DT_s - \tau)B \right]$$

근사된 V_x의 수식을 0 < t < τ 구간 동안 나타내면 하기 수학식 4와 같다.

수학식 4

$$V_x = (A - B)e^{-t/\tau} + B \approx (A - B)\left(1 - \frac{t}{\tau}\right) + B$$

등가 회로를 살펴보면, 음 전압의 크기를 결정하는 요소는 R₂이다. R₂가 증가하면 V₁은 이상적으로 봤을 때 제 2 모드에서 고정값이므로 R₂에 걸리는 전압이 증가하여 R₃에 걸리는 전압이 감소한다. 즉, I_C가 감소한다. I_C가 감소하면 V_{EC}는 트랜지스터의 특성적인 전압이어서 고정된 값이므로 V_{gs} 절대값의 크기가 최종적으로 감소하게 된다. 즉, 파형으로 봤을 때는 R₂가 증가하면 음 전압이 0에 가까워지는 것을 볼 수 있다. 이를 PSIM으로 확인하면 도 8과 같다. V_{gs1}은 R₂=50Ω일 때, V_{gs2}는 R₂=100Ω일 때이다.

정리하면, 본 발명의 펄스 트랜스 회로는 변압기 후단에 트랜지스터를 연결하고 제 2 저항(R₂)을 트랜지스터의 게이트에 연결시키며 제 3 저항(R₃)을 상기 트랜지스터의 컬렉터에 연결하여 음전압을 구현하되, 제 2 저항(R₂)을 조정하여 음전압의 값을 원하는 값으로 조정할 수 있다.

한편, 전술된 실시예의 구성 요소는 프로세스적인 관점에서 용이하게 파악될 수 있다. 즉, 각각의 구성 요소는

각각의 프로세스로 파악될 수 있다. 또한 전술된 실시예의 프로세스는 장치의 구성 요소 관점에서 용이하게 파악될 수 있다.

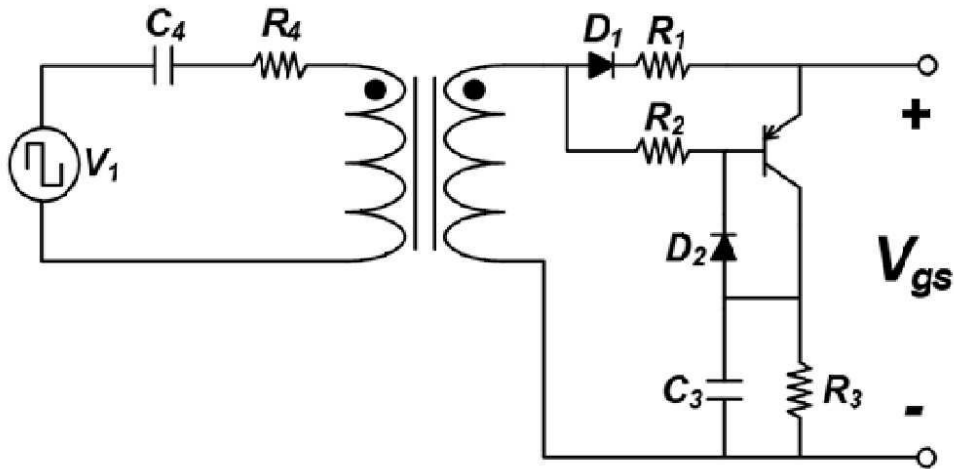
산업상 이용가능성

[0056]

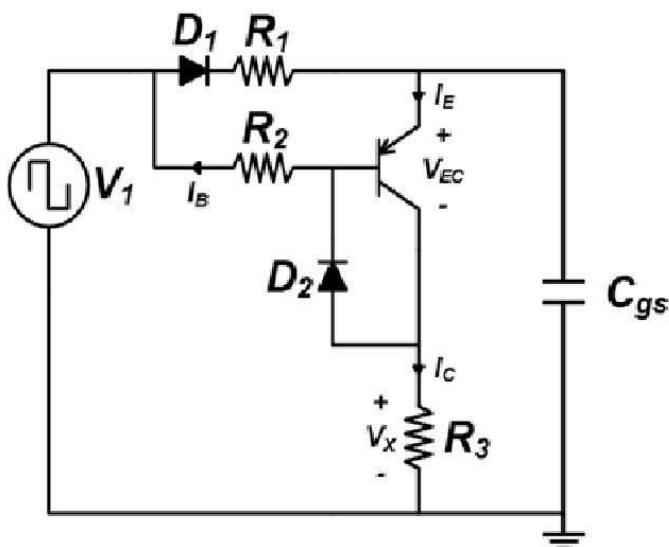
상기한 본 발명의 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대한 통상의 지식을 가지는 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가가 가능할 것이며, 이러한 수정, 변경 및 부가는 하기의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면

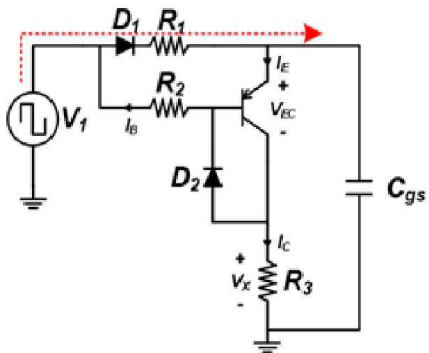
도면1



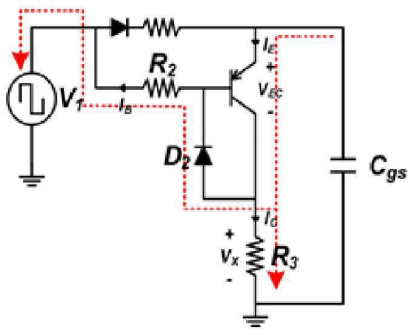
도면2



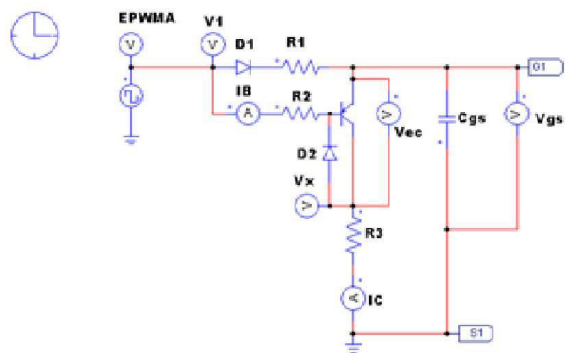
도면3



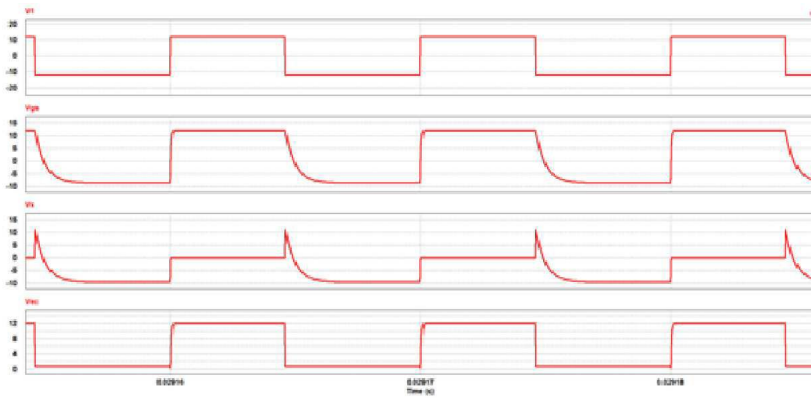
도면4



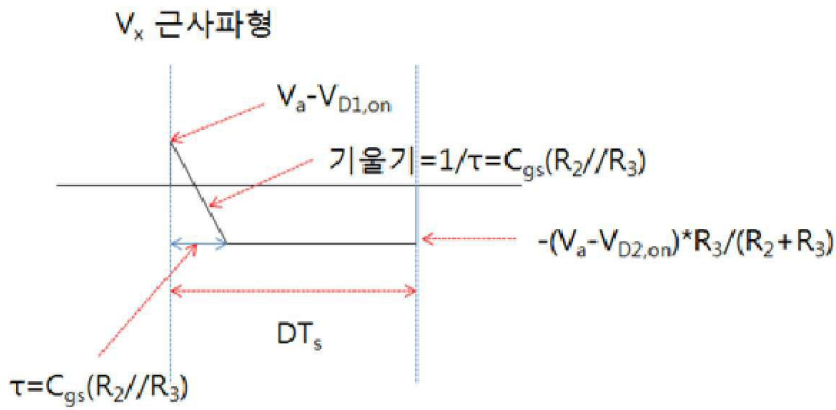
도면5



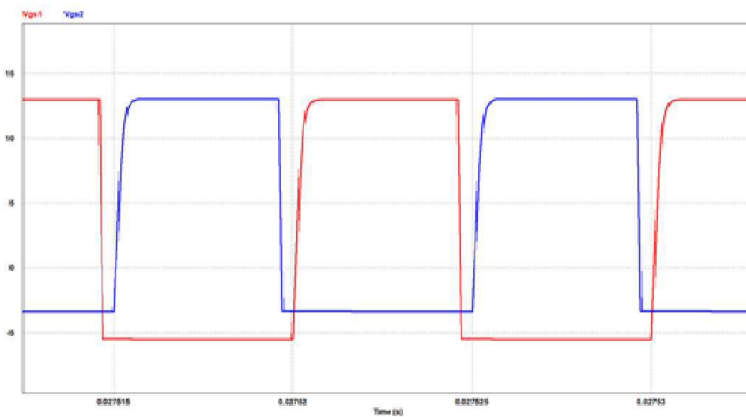
도면6



도면7



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

펄스 트랜스 회로에 있어서,

변압기;

상기 변압기 2차측의 일단에 연결되는 트랜지스터;

상기 변압기의 2차측의 일단에 연결되는 제 1 다이오드;

상기 제 1 다이오드와 직렬로 연결되며, 일단이 상기 트랜지스터의 이미터에 연결되는 제 1 저항;

상기 변압기의 2차 측의 일단에 연결되며 상기 트랜지스터의 베이스 또는 게이트에 연결되는 제 2 저항;

상기 트랜지스터의 컬렉터와 베이스 사이에 연결되는 제 2 다이오드; 및

상기 변압기의 타단에 연결되고, 일단이 상기 트랜지스터의 컬렉터에 연결되는 제 3 저항을 포함하되,

상기 제 2 저항은 상기 제 1 다이오드와 상기 제 1 저항에 병렬로 연결되며, 상기 제 2 다이오드의 양극은 상기 트랜지스터의 컬렉터와 상기 제 3 저항 사이에 연결되고, 상기 제 2 다이오드의 음극은 상기 제 2 저항과 상기 트랜지스터의 베이스 사이에 연결되며, 상기 트랜지스터의 이미터와 상기 제 3 저항의 타단 사이의 전압이 출력단의 전압이고, 상기 출력단의 전압은 음전압이며, 상기 음의 전압은 상기 제 2 저항의 값에 따라 달라지는 것을 특징으로 하는 펄스 트랜스 회로.

【변경후】

펄스 트랜스 회로에 있어서,

변압기;

상기 변압기 2차측의 일단에 연결되는 트랜지스터;

상기 변압기의 2차측의 일단에 연결되는 제 1 다이오드;

상기 제 1 다이오드와 직렬로 연결되며, 일단이 상기 트랜지스터의 이미터에 연결되는 제 1 저항;

상기 변압기의 2차 측의 일단에 연결되며 상기 트랜지스터의 베이스 또는 게이트에 연결되는 제 2 저항;

상기 트랜지스터의 컬렉터와 베이스 사이에 연결되는 제 2 다이오드; 및

상기 변압기의 2차측의 타단에 연결되고, 일단이 상기 트랜지스터의 컬렉터에 연결되는 제 3 저항을 포함하되,

상기 제 2 저항은 상기 제 1 다이오드와 상기 제 1 저항에 병렬로 연결되며, 상기 제 2 다이오드의 양극은 상기 트랜지스터의 컬렉터와 상기 제 3 저항 사이에 연결되고, 상기 제 2 다이오드의 음극은 상기 제 2 저항과 상기 트랜지스터의 베이스 사이에 연결되며, 상기 트랜지스터의 이미터와 상기 제 3 저항의 타단 사이의 전압이 출력단의 전압이고, 상기 출력단의 전압은 음전압이며, 상기 음의 전압은 상기 제 2 저항의 값에 따라 달라지는 것을 특징으로 하는 펄스 트랜스 회로.