



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월15일  
(11) 등록번호 10-2203953  
(24) 등록일자 2021년01월12일

(51) 국제특허분류(Int. Cl.)  
G11C 13/00 (2006.01)  
(52) CPC특허분류  
G11C 13/004 (2013.01)  
G11C 13/0004 (2013.01)  
(21) 출원번호 10-2019-0172326  
(22) 출원일자 2019년12월20일  
심사청구일자 2019년12월20일  
(56) 선행기술조사문헌  
KR1020180129298 A  
(뒷면에 계속)

(73) 특허권자  
한경대학교 산학협력단  
경기도 안성시 중앙로 327(석정동)  
(72) 발명자  
백승재  
경기도 안성시 석정2길 13-8, 101동 1001호(석정동, 신원아침도시)  
(74) 대리인  
양성보

전체 청구항 수 : 총 9 항

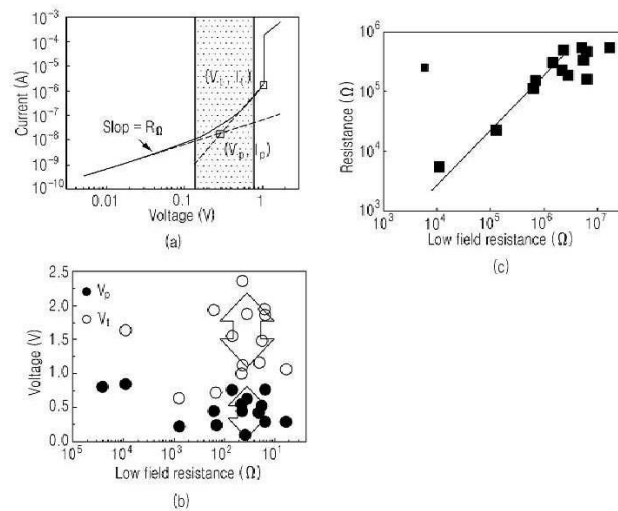
심사관 : 신우열

(54) 발명의 명칭 상변화 메모리의 읽기 산포를 줄이기 위한 방법 및 회로

(57) 요약

상변화 메모리의 읽기 산포를 줄이기 위한 방법 및 회로가 제시된다. 본 발명에서 제안하는 상변화 메모리의 읽기 산포를 줄이기 위한 회로는 비정질 상태에서 결정질 상태로 전환에서의 문턱전압을 감지하는 문턱전압 감지부, 문턱전압과 비정질 상태에서 결정질 상태로 전환에서의 문턱전류의 비율 값을 연산하는 연산부 및 연산된 비율 값을 감지하고 출력하는 출력부 및 출력된 데이터 값을 다시 메모리 셀에 재입력하는 재입력부를 포함한다.

대표도



(56) 선행기술조사문헌  
KR1020180001382 A  
KR1020190096205 A  
KR1020100129297 A  
KR1020150020902 A

이 발명을 지원한 국가연구개발사업

과제고유번호	10080625
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	반도체산업향 미래반도체 원천 기술개발
연구과제명	초고속 / 저에너지 멀티레벨 메모리/시냅스 소자 개발
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2017.07.01 ~ 2021.12.31

공지예외적용 : 있음

---

**명세서**

**청구범위**

**청구항 1**

비정질 상태에서 결정질 상태로 전환에서의 문턱전압을 감지하는 문턱전압 감지부;  
 문턱전압과 비정질 상태에서 결정질 상태로 전환에서의 문턱전류의 비율 값을 연산하는 연산부; 및  
 연산된 비율 값을 감지하고 출력하는 출력부  
 를 포함하는 상변화 메모리의 읽기 회로.

**청구항 2**

삭제

**청구항 3**

제1항에 있어서,  
 상변화 메모리의 상변화 소재는 전기신호를 통해 결정질인 저저항 상태와 비정질인 고저항 상태 사이의 상태 변화 구현이 가능한 소재를 이용하고, 비정질 상태에서 결정질 상태로 전환에서의 문턱전압과 문턱전류의 비율을 연산하여 상변화 소재의 미세상분포 변동에 따른 산포를 상쇄시키는  
 상변화 메모리의 읽기 회로.

**청구항 4**

제1항에 있어서,  
 연산부는,  
 아날로그 곱셈기를 통해 문턱전압과 문턱전류의 비율 값에 비례하는 값을 연산하는  
 상변화 메모리의 읽기 회로.

**청구항 5**

제1항에 있어서,  
 출력부는,  
 연산부에서 연산된 비율 값을 감지하고 SA(Sense Amplifier)를 통해 출력하여 읽기를 완료하는  
 상변화 메모리의 읽기 회로.

**청구항 6**

제1항에 있어서,  
 재입력부는,  
 읽기 사이클과 쓰기 사이클을 분리하고, 셀 어레이(Cell array) 블록 당 한 세트의 읽기 회로와 재입력 회로가 결합되어, 동시에 복수의 메모리 셀에서 읽기 및 재입력 동작이 가능한  
 상변화 메모리의 읽기 회로.

**청구항 7**

비정질 상태에서 결정질 상태로 전환에서의 문턱전압을 감지하는 단계;  
 문턱전압과 비정질 상태에서 결정질 상태로 전환에서의 문턱전류의 비율 값을 연산하는 단계; 및

연산된 비율 값을 감지하고 출력하는 단계  
를 포함하는 상변화 메모리의 읽기 방법.

**청구항 8**

삭제

**청구항 9**

제7항에 있어서,  
문턱전압과 비정질 상태에서 결정질 상태로 전환에서의 문턱전류의 비율 값을 연산하는 단계는,  
아날로그 곱셈기를 통해 문턱전압과 문턱전류의 비율 값에 비례하는 값을 연산하는  
상변화 메모리의 읽기 방법.

**청구항 10**

제7항에 있어서,  
연산된 비율 값을 감지하고 출력하는 단계는,  
연산부에서 연산된 비율 값을 감지하고 SA(Sense Amplifier)를 통해 출력하여 읽기를 완료하는  
상변화 메모리의 읽기 방법.

**청구항 11**

제7항에 있어서,  
출력된 데이터 값을 다시 메모리 셀에 재입력하는 단계는,  
읽기 사이클과 쓰기 사이클을 분리하고, 셀 어레이(Cell array) 블록 당 한 세트의 읽기 회로와 재입력 회로가  
결합되어, 동시에 복수의 메모리 셀에서 읽기 및 재입력 동작이 가능한  
상변화 메모리의 읽기 방법.

**발명의 설명**

**기술분야**

[0001] 본 발명은 상변화 소재의 미세상분포 변동에 따른 산포를 상쇄할 수 있는 읽기 방법 및 회로에 관한 것이다.

**배경기술**

[0002] MLC(Multi-Level Cell) PRAM은 고집적도, 비휘발성, 높은 내구성, 낮은 읽기/쓰기 지연속도 등 다양한 이점들을  
보이면서 차세대 메모리 중 가장 유력한 후보로 각광 받고 있다.

[0003] 현재 삼성전자를 비롯하여 타 경쟁업체들은 PRAM의 상용화를 및 양산화를 위해 크로스 바 어레이(Cross-bar  
array) 구조를 기반으로 한 연구 및 제품 개발을 진행하고 있다. Cross-bar Array PRAM은 상단의 비트 라인(Bit  
Line)과 하단의 소스 라인(Source Line) 사이에 선택 소자인 오보닉 임계 스위칭(OTS; Ovonic Threshold  
Switching) 소자와 상변화 물질인 Chalcogenide 물질이 콘택(contact) 물질을 이용하여 수직으로 연결된 구조를  
가지고 있다.

[0004] OTS는 바이어스가 임계 전압을 넘어 서는 경우 전류가 흐르는 특성을 가지고 있으며, 이러한 특성을 사용하여  
PRAM의 선택 소자로서 역할을 수행한다. PRAM 또한 임계 전압 스위칭에 의해서 메모리 동작을 수행한다. 이 때  
임계 전압보다 낮은 전압에서 읽기 동작이 이루어 지는데, 통상의 읽기 전압 영역에서 전류-전압 특성의 변동성  
때문에 읽기 결과의 정확성에 문제가 발생할 수 있다. 이것은 PRAM의 미세 상분포 변동성 때문에 발생하는 것  
으로 판단된다. 또한 상기한 미세 상분포 변동성을 상쇄할 수 있는 방법으로 PRAM의 문턱전압과 문턱전압에서  
의 전류의 비율을 활용하는 방법이 제안되었다. 따라서 PRAM 읽기 산포를 개선하기 위한 읽기 방법 및 장치에  
대한 필요성이 대두된다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명이 이루고자 하는 기술적 과제는 상변화 소재의 미세상분포 변동에 따른 산포를 상쇄할 수 있는 읽기 방법 및 회로를 제공하는데 있다. 상변화 메모리의 읽기 동작에서 문턱전압과 그때의 전류 비율을 감지하여 출력하는 방법 및 회로를 제안한다.

**과제의 해결 수단**

[0006] 일 측면에 있어서, 본 발명에서 제안하는 상변화 메모리의 읽기 산포를 줄이기 위한 회로는 비정질 상태에서 결정질 상태로 전환에서의 문턱전압을 감지하는 문턱전압 감지부, 문턱전압과 비정질 상태에서 결정질 상태로 전환에서의 문턱전류의 비율 값을 연산하는 연산부 및 연산된 비율 값을 감지하고 출력하는 출력부 및 출력된 데이터 값을 다시 메모리 셀에 재입력하는 재입력부를 포함한다.

[0007] 상변화 메모리의 상변화 소재는 전기신호를 통해 결정질인 저저항 상태와 비정질인 고저항 상태 사이의 상태 변화 구현이 가능한 소재를 이용하고, 비정질 상태에서 결정질 상태로 전환에서의 문턱전압과 문턱전류의 비율을 연산하여 상변화 소재의 미세상분포 변동에 따른 산포를 상쇄시킨다.

[0008] 연산부는 아날로그 곱셈기를 통해 문턱전압과 문턱전류의 비율 값에 비례하는 값을 연산한다.

[0009] 출력부는 연산부에서 연산된 비율 값을 감지하고 SA(Sense Amplifier)를 통해 출력하여 읽기를 완료한다.

[0010] 재입력부는 읽기 사이클과 쓰기 사이클을 분리하고, 셀 어레이(Cell array) 블록 당 한 세트의 읽기 회로와 재입력 회로가 결합되어, 동시에 복수의 메모리 셀에서 읽기 및 재입력 동작이 가능하다.

[0011] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 상변화 메모리의 읽기 산포를 줄이기 위한 방법은 비정질 상태에서 결정질 상태로 전환에서의 문턱전압을 감지하는 단계, 문턱전압과 비정질 상태에서 결정질 상태로 전환에서의 문턱전류의 비율 값을 연산하는 단계 및 연산된 비율 값을 감지하고 출력하는 단계 및 출력된 데이터 값을 다시 메모리 셀에 재입력하는 단계를 포함한다.

**발명의 효과**

[0012] 본 발명의 실시예들에 따르면 문턱전환 시의 문턱 전압과 그 순간의 전류의 비율은 상변화 소재의 미세상분포 변동을 상쇄하는 효과가 있는 특성을 이용하여, 상변화 메모리의 읽기 동작에서 문턱전압과 그때의 전류 비율을 감지하여 출력함으로써 상변화 소재의 미세상분포 변동에 따른 산포를 상쇄할 수 있다.

**도면의 간단한 설명**

- [0013] 도 1은 본 발명의 일 실시예에 따른 상변화 메모리 셀에서의 전류-전압특성을 설명하기 위한 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 상변화 메모리의 읽기 산포를 줄이기 위한 회로를 나타내는 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 출력된 데이터 값을 다시 메모리 셀에 재입력하는 재입력부의 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 상변화 메모리의 읽기 산포를 줄이기 위한 방법을 설명하기 위한 흐름도이다.
- 도 5는 본 발명의 일 실시예에 따른 재입력부가 결합된 회로의 타이밍도이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 상변화메모리의 읽기 산포 중 상변화 소재의 미세상분포 변동에 따른 산포는 소재 고유 특성에 의한 것이다. 본 발명은 상변화 소재의 미세상분포 변동에 따른 산포를 상쇄할 수 있는 읽기 방법 및 회로를 제시한다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0016] 도 1은 본 발명의 일 실시예에 따른 상변화 메모리 셀에서의 전류-전압특성을 설명하기 위한 도면이다.

[0017] 상변화 메모리의 읽기 산포(다시 말해, 저항의 산포)는 고유한 물성의 산포에 의한 것이다. 실험 결과에 따르면 문턱전압과 그때의 전류의 비율은 산포가 작은 것을 확인 할 수 있었다. 따라서, 본 발명에서는 상변화 메모리

의 읽기 동작에서 문턱전압과 그때의 문턱 전류 비율을 감지하여 출력 하기 위한 회로도도를 제안한다.

- [0018] 상변화 소재는 전기신호를 통해 결정질인 저저항 상태와 비정질인 고저항 상태 사이의 상태 변화 구현이 가능한 소재이다. 그 중 비정질인 고저항 상태에서 결정질인 저저항 상태로의 전환은 문턱전환(threshold switching)을 포함한다. 문턱전환 이후의 저항 상태는 소재의 미세상분포 변동에 의한 변동을 수반한다. 그러나 문턱전환 시의 문턱 전압(threshold voltage)과 그 순간의 문턱 전류(threshold current)의 비율은 상기한 변동을 상쇄하는 효과가 있음을 실험적으로 검증하였다. 이러한 실험적 관찰을 바탕으로 상변화메모리의 읽기 방법을 회로적으로 구현할 수 있다.
- [0019] 저항 상태를 읽은 동작에 있어서 상변화 소재의 고유한 변동성에 의해 읽기 결과의 산포가 유발된다. 문턱 전압( $V_{th}$ )/문턱 전류( $I_{th}$ )를 읽어낸다면 읽기 산포를 줄일 수 있다.
- [0020] 저저항(Low field resistance)은 도 1(a) 그래프의 저저항 영역 slope ( $R_{\omega}$ ) 을 나타내고, 상변화 소재의 저항 상태를 정의한다. 상변화 소재의 저항 상태를  $V_p$ ,  $V_{th}$  등으로 나타낸다면 변동성을 피하기 어렵다. 도 1(b)는 센싱 영역 및 문턱 전압 부근의 변화를 나타내는 그래프이고, 도 1(c)는 제안하는 적은 변화를 갖는 센싱 파라미터를 나타내는 도면이다. 기존 센싱 방법은 센싱 영역에서 저항 값을 센싱하는 반면, 본 발명의 실시예에 따르면 문턱 접압과 그 순간의 문턱 전류의 비율을 센싱한다.
- [0022] 도 2는 본 발명의 일 실시예에 따른 상변화 메모리의 읽기 산포를 줄이기 위한 회로를 나타내는 도면이다.
- [0023] 상변화 메모리의 읽기 산포를 줄이기 위한 회로는 문턱전압 감지부(210), 연산부(220), 출력부(230) 및 재입력부(도 3 참조)를 포함한다.
- [0024] 문턱전압 감지부(210)는 비정질 상태에서 결정질 상태로 전환에서의 문턱전압을 감지한다.
- [0025] 연산부(220)는 문턱전압과 비정질 상태에서 결정질 상태로 전환에서의 문턱전류의 비율 값을 연산한다.
- [0026] 상변화 메모리의 상변화 소재는 전기신호를 통해 결정질인 저저항 상태와 비정질인 고저항 상태 사이의 상태 변화 구현이 가능한 소재를 이용하고, 비정질 상태에서 결정질 상태로 전환에서의 문턱전압과 문턱전류의 비율을 연산하여 상변화 소재의 미세상분포 변동에 따른 산포를 상쇄시킨다.
- [0027] 연산부(220)는 아날로그 곱셈기를 통해 문턱전압과 문턱전류의 비율 값에 비례하는 값을 연산한다.
- [0028] 출력부(230)는 연산된 비율 값을 감지하고 출력한다. 출력부(230)는 연산부(220)에서 연산된 비율 값을 감지하고 SA(Sense Amplifier)를 통해 출력하여 읽기를 완료한다.
- [0029] 재입력부(도 3 참조)는 출력된 데이터 값을 다시 메모리 셀에 재입력한다. 재입력부는 읽기 사이클과 쓰기 사이클을 분리하고, 셀 어레이(Cell array) 블록 당 한 세트의 읽기 회로와 재입력 회로가 결합되어, 동시에 복수의 메모리 셀에서 읽기 및 재입력 동작이 가능하다.
- [0030] 도 2를 참조하면, PREb 가 로우(low)일 때 TRC가 켜지고  $V_A$  노드가 하이(high)로 프리차지(precharge)된다. 이 때 PRESET 은 하이로 유지되면서 TRD는 꺼진 상태로  $V_A$  노드의 방전(discharge)을 방지한다.
- [0031] PREb가 하이로 바뀌면서 프리차지가 멈추고 이 때부터 읽기 사이클(read cycle)이 시작된다. 동시에 PRESET 이 로우로 바뀌어  $V_A$  노드의 방전을 위한 스탠바이(standby) 상태가 된다. 이때, PSET은 계속 로우를 유지한다.
- [0032]  $V_A$  노드의 방전을 위한 스탠바이 상태에서 PSET 이 하이로 바뀌는 순간 TRD 가 켜지고,  $V_A$  노드의 방전이 시작된다.
- [0033]  $V_A$  노드의 방전에 따라  $iDL$  이 상승하고  $V_{DLR}$  도 아주 천천히 상승한다(ramping). 문턱 값(Threshold)에 도달하는 순간  $V_{DLR}$  이 급격히 감소한다. 이 순간을 적절한  $V_{REF2}$  를 기준으로 감지하고, 그 출력  $V_{THout}$  을 통해 TRD 를 꺼 줌으로써  $V_A$  노드의 방전을 중단시킨다.
- [0034]  $V_A$  노드의 전압은 위 식과 같이 근사적으로  $iDL$  과 반비례하는 것으로 볼 수 있다.
- [0035] 따라서  $iDL$  과  $V_{DLR}$  을 아날로그 곱셈기를 통해 연산하면 문턱 전압과 그 때의 문턱 전류 값의 비율에 비례하는 값을 출력으로 얻을 수 있다. 곱셈기(다시 말해, 연산부(220))의 출력을 SA(sense amplifier)(다시 말해, 출력부(230))를 통해 출력하여 읽기를 완료한다.

- [0037] 도 3은 본 발명의 일 실시예에 따른 출력된 데이터 값을 다시 메모리 셀에 재입력하는 재입력부의 회로도이다.
- [0038] 재입력부(310)는 출력된 데이터 값을 다시 메모리 셀에 재입력한다. 재입력부는 읽기 사이클과 쓰기 사이클을 분리하고, 셀 어레이(Cell array) 블록 당 한 세트의 읽기 회로와 재입력 회로가 결합되어, 동시에 복수의 메모리 셀에서 읽기 및 재입력 동작이 가능하다.
- [0039] 더욱 상세하게는, 읽기 사이클(Read cycle)과 쓰기 사이클(Rewrite cycle)을 분리하기 위해 SWR 과 SWW 를 삽입하였다.  $V_A$ 의 방전이 수행되는 읽기 동작 중(PSET high)에는 SWR 이 ON 되어 VDLR 과 셀 어레이가 연결되고, PWEBb 가 로우로 유지되는 재입력(Rewrite) 동작 중에는 VDLW 와 셀 어레이가 연결된다.
- [0040] 셀 어레이 블록 당 한 세트의 위와 같은 읽기와 재입력 회로가 결합되어, 동시에 여러 개의 메모리 셀에서 읽기 및 재입력의 동작이 가능하다.
- [0041] 읽기 출력 SAout 에서 쓰기 드라이버(write driver)로 읽기의 결과값이 전달되고, Web 와 PWEBb 가 인에이블(enable) 되면 재입력 동작이 수행된다.
- [0042] 먼저, ①에서 SATH ( $V_{th}$  sense amp. Circuit)는 셀의  $V_{th}$ 가 변하는 순간을 감지한 결과로  $V_A$  노드의 방전을 중단시킨다.
- [0043] 다음으로, ②, ③에서 아날로그 곱셈기를 통해 연산하면 문턱 전압과 그 때의 문턱 전류 값의 비율에 비례하는 값을 출력으로 얻을 수 있다. 곱셈기(다시 말해, 연산부)의 출력력을 SA(sense amplifier)(다시 말해, 출력부)를 통해 출력하여 읽기를 완료한다.  $V_{th}$  감지순간 후, 고정된  $V_{DL}$ ,  $V_A$ (또는  $i_{DL}$ )로 부터 셀 데이터를 읽는다. 더불어 읽기 방해(read disturb) 방지를 위한 다시 쓰기(write back)(다시 말해, 재입력) 회로의 입력 데이터로 사용될 수 있다.
- [0045] 도 4는 본 발명의 일 실시예에 따른 상변화 메모리의 읽기 산포를 줄이기 위한 방법을 설명하기 위한 흐름도이다.
- [0046] 제안 하는 상변화 메모리의 읽기 산포를 줄이기 위한 방법은 비정질 상태에서 결정질 상태로 전환에서의 문턱전압을 감지하는 단계(410), 문턱전압과 비정질 상태에서 결정질 상태로 전환에서의 문턱전류의 비율 값을 연산하는 단계(420), 연산된 비율 값을 감지하고 출력하는 단계(430) 및 출력된 데이터 값을 다시 메모리 셀에 재입력하는 단계(440)를 포함한다.
- [0047] 단계(410)에서, 비정질 상태에서 결정질 상태로 전환에서의 문턱전압을 감지한다.
- [0048] 단계(420)에서, 문턱전압과 비정질 상태에서 결정질 상태로 전환에서의 문턱전류의 비율 값을 연산한다.
- [0049] 상변화 메모리의 상변화 소재는 전기신호를 통해 결정질인 저저항 상태와 비정질인 고저항 상태 사이의 상태 변화 구현이 가능한 소재를 이용하고, 비정질 상태에서 결정질 상태로 전환에서의 문턱전압과 문턱전류의 비율을 연산하여 상변화 소재의 미세상분포 변동에 따른 산포를 상쇄시킨다. 이때, 아날로그 곱셈기를 통해 문턱전압과 문턱전류의 비율 값에 비례하는 값을 연산한다.
- [0050] 단계(430)에서, 연산된 비율 값을 감지하고 출력한다. 단계(420)에서 연산된 비율 값을 감지하고 SA(Sense Amplifier)를 통해 출력하여 읽기를 완료한다.
- [0051] 단계(440)에서, 출력된 데이터 값을 다시 메모리 셀에 재입력한다. 이때, 읽기 사이클과 쓰기 사이클을 분리하고, 셀 어레이(Cell array) 블록 당 한 세트의 읽기 회로와 재입력 회로가 결합되어, 동시에 복수의 메모리 셀에서 읽기 및 재입력 동작이 가능하다.
- [0053] 도 5는 본 발명의 일 실시예에 따른 재입력부가 결합된 회로의 타이밍도이다.
- [0054] VSAout 의 결과 값이 1인 경우(다시 말해, 고저항 상태) 재입력 동작에서는 RESET(짧은 시간 높은 전압)을 수행하고, VSAout 의 결과 값이 0 인 경우(저저항 상태) 재입력 동작에서는 SET(긴 시간 낮은 전압)을 수행한다.
- [0056] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적

컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소 (processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서 (parallel processor)와 같은, 다른 처리 구성 (processing configuration)도 가능하다.

[0057] 소프트웨어는 컴퓨터 프로그램 (computer program), 코드 (code), 명령 (instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로 (collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소 (component), 물리적 장치, 가상 장치 (virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화 (embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

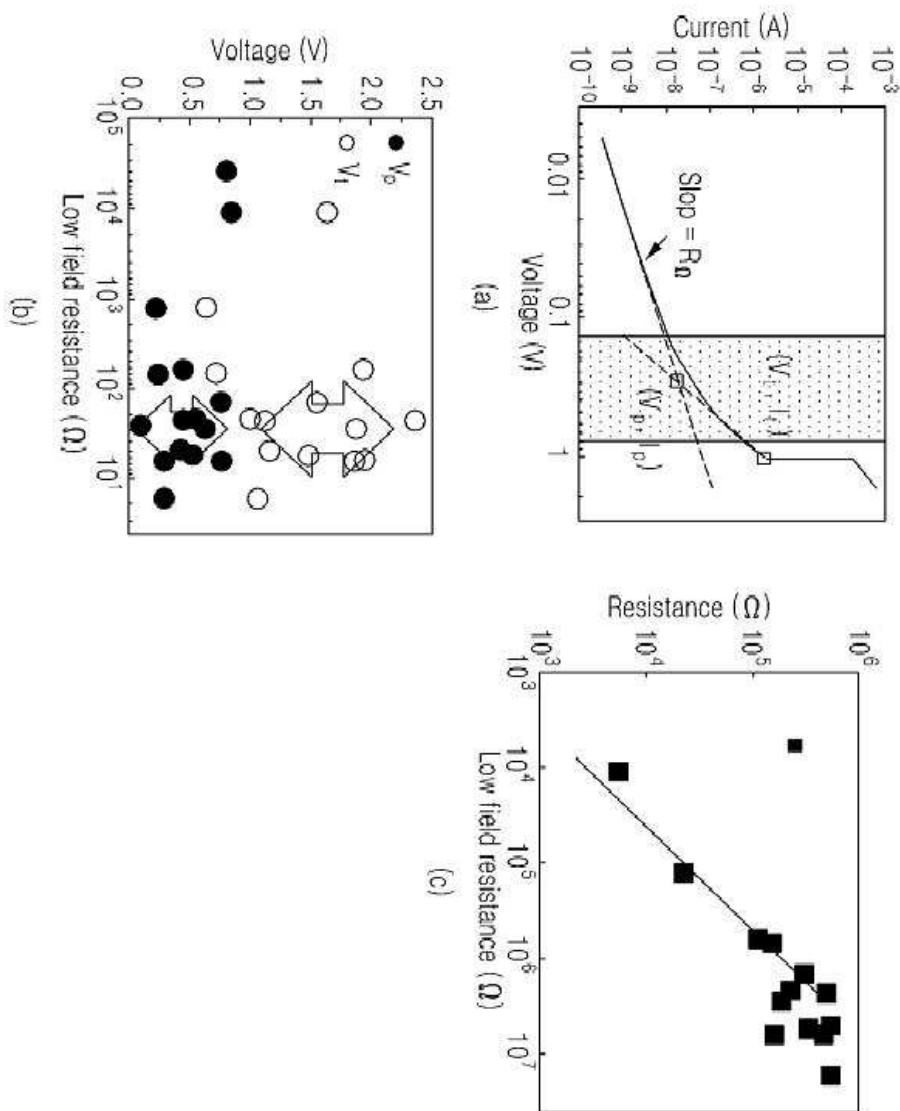
[0058] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체 (magnetic media), CD-ROM, DVD와 같은 광기록 매체 (optical media), 플롭티컬 디스크 (floptical disk)와 같은 자기-광 매체 (magneto-optical media), 및 롬 (ROM), 램 (RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0059] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

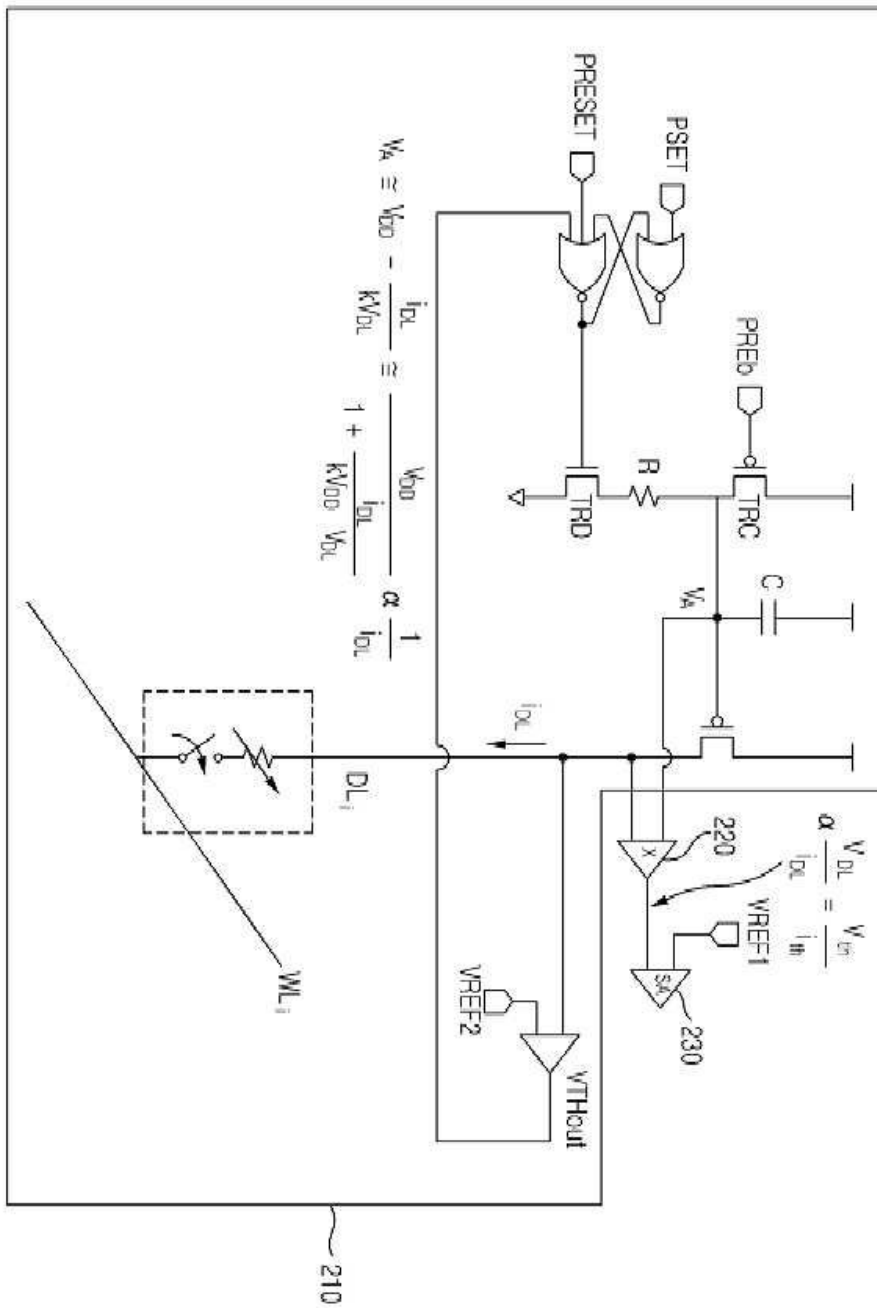
[0060] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

도면1

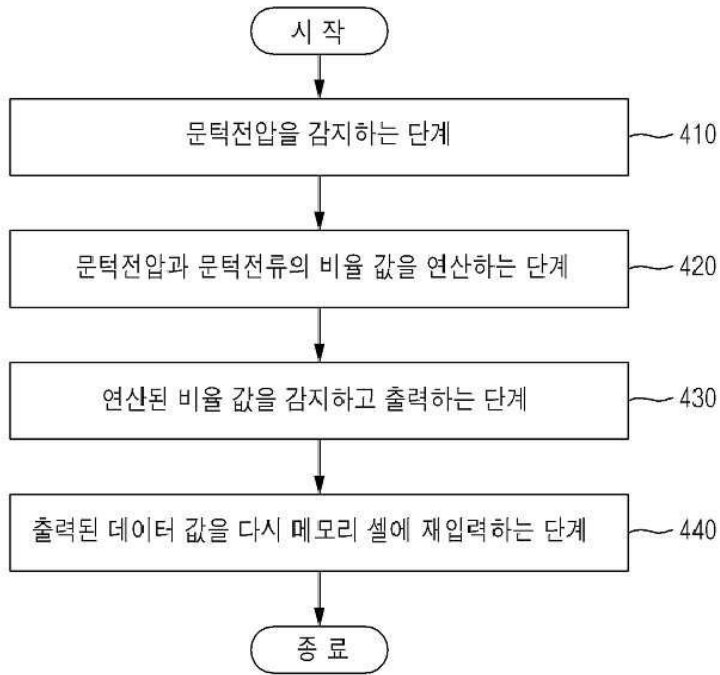


도면2





도면4



도면5

