



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월17일
(11) 등록번호 10-2266538
(24) 등록일자 2021년06월14일

(51) 국제특허분류(Int. Cl.)
H01L 29/792 (2006.01) G11C 11/22 (2006.01)
H01L 21/28 (2006.01)
(52) CPC특허분류
H01L 29/792 (2013.01)
G11C 11/221 (2013.01)
(21) 출원번호 10-2020-0002922
(22) 출원일자 2020년01월09일
심사청구일자 2020년01월09일
(56) 선행기술조사문헌
KR1020070082241 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한경대학교 산학협력단
경기도 안성시 중앙로 327(석정동)
(72) 발명자
백승재
경기도 안성시 석정2길 13-8, 101동 1001호(석정동, 신원아침도시)
(74) 대리인
양성보

전체 청구항 수 : 총 9 항

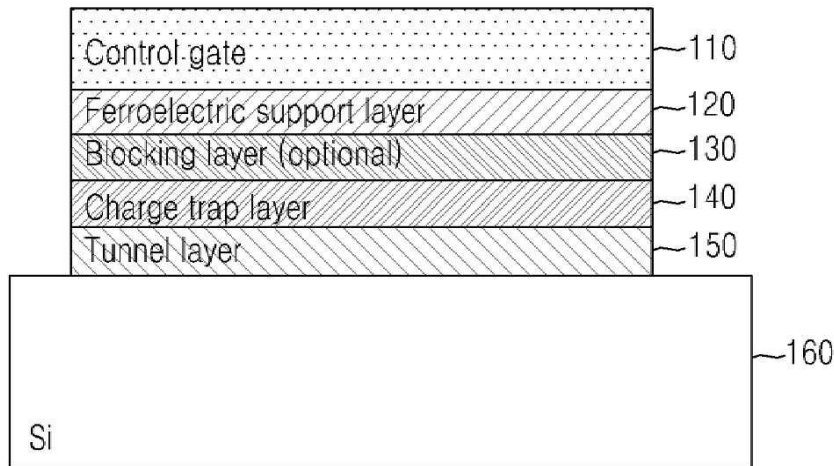
심사관 : 조성찬

(54) 발명의 명칭 강유전 박막층을 결합한 전하 트랩 플래시 소자의 구조 및 동작 방법

(57) 요약

강유전 박막층을 결합한 전하 트랩 플래시 소자의 구조 및 동작 방법이 제시된다. 본 발명에서 제안하는 강유전 박막층을 결합한 전하 트랩 플래시 소자의 구조는 컨트롤 게이트(control gate), 컨트롤 게이트 하부에 위치하는 블로킹 레이어(blocking layer)의 적어도 일부를 대체하는 강유전체 레이어(ferroelectric support layer), 강유전체 레이어 하부에 위치하는 블로킹 레이어, 전하트랩 레이어 및 터널 레이어를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/40117 (2019.08)

이 발명을 지원한 국가연구개발사업

과제고유번호	2017R1D1A1B03029764
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	이공학 개인기초연구지원사업
연구과제명	전하 트랩 플래시 소자의 스케일링 방법
기 여 율	1/1
과제수행기관명	한경대학교
연구기간	2017.06.01 ~ 2020.05.31

명세서

청구범위

청구항 1

컨트롤 게이트(control gate);

컨트롤 게이트 하부에 위치하는 블로킹 레이어(blocking layer)의 적어도 일부를 대체하는 강유전체 레이어(ferroelectric support layer);

강유전체 레이어 하부에 위치하는 블로킹 레이어;

전하트랩 레이어; 및

터널 레이어

를 포함하고,

강유전체 레이어의 분극 스위칭(polarization switching)을 위한 전기장은 터널링 레이어(Tunneling layer)를 통한 FN 터널링(tunneling)에 의한 차지 트랩(charge trap)이 일어나기 시작하는 전기장보다 작게 하는

전하 트랩 플래시 소자.

청구항 2

컨트롤 게이트(control gate);

컨트롤 게이트 하부에 위치하는 블로킹 레이어(blocking layer)의 적어도 일부를 대체하는 강유전체 레이어(ferroelectric support layer);

강유전체 레이어 하부에 위치하는 블로킹 레이어;

전하트랩 레이어; 및

터널 레이어

를 포함하고,

프로그램 동작(program operation) 또는 이레이즈 동작(erase operation)은 강유전체 레이어의 분극 스위칭을 위한 전압의 펄스와 터널링 레이어(tunneling layer)를 통해 FN 터널링을 위한 전압의 펄스를 순차적으로 인가하는

전하 트랩 플래시 소자.

청구항 3

컨트롤 게이트(control gate);

컨트롤 게이트 하부에 위치하는 블로킹 레이어(blocking layer)의 적어도 일부를 대체하는 강유전체 레이어(ferroelectric support layer);

강유전체 레이어 하부에 위치하는 블로킹 레이어;

전하트랩 레이어; 및

터널 레이어

를 포함하고,

강유전체에 인가한 전기장과 같은 방향으로 비휘발성 분극을 발생시키고, 비휘발성 분극 발생에 의해 Si 채널과 컨트롤 게이트의 전하 밀도를 증가시키기 위해 강유전체 레이어의 분극 스위칭을 위한 전압을 강유전체 레이어의 분극 스위칭 시간보다 긴 시간 동안 인가하는

전하 트랩 플래시 소자.

청구항 4

컨트롤 게이트(control gate), 강유전체 레이어(ferroelectric support layer), 블로킹 레이어(blocking layer), 전하트랩 레이어 및 터널 레이어를 포함하는 전하 트랩 플래시 소자의 동작 방법에 있어서, 프로그램 동작(program operation)을 위한 강유전체 레이어의 프로그램 분극 펄스(V_{pf})를 인가하는 단계; 및 강유전체 레이어의 프로그램 분극 펄스(V_{pf})를 인가한 후 프로그램 전압 펄스(V_{pt})를 인가하는 단계를 포함하는 전하 트랩 플래시 소자의 동작 방법.

청구항 5

제4항에 있어서, 강유전체에 인가한 전기장과 같은 방향으로 비휘발성 분극을 발생시키고, 비휘발성 분극 발생에 의해 Si 채널과 컨트롤 게이트의 전하 밀도를 증가시키기 위해 강유전체 레이어의 분극 스위칭을 위한 전압을 강유전체 레이어의 분극 스위칭 시간보다 긴 시간 동안 인가하는 전하 트랩 플래시 소자의 동작 방법.

청구항 6

제5항에 있어서, 강유전체 레이어의 분극 스위칭을 위한 전압을 강유전체 레이어의 분극 스위칭 시간보다 긴 시간 동안 인가함으로써, 강유전체 레이어의 프로그램 분극 펄스(V_{pf})보다 강유전체 레이어를 제외한 나머지 레이어들에 걸린 전압의 크기를 더 크게 하여, 프로그램을 위한 동작 전압을 감소시키는 전하 트랩 플래시 소자의 동작 방법.

청구항 7

컨트롤 게이트(control gate), 강유전체 레이어(ferroelectric support layer), 블로킹 레이어(blocking layer), 전하트랩 레이어 및 터널 레이어를 포함하는 전하 트랩 플래시 소자의 동작 방법에 있어서, 이레이즈 동작(erase operation)을 위한 강유전체 레이어의 이레이즈 분극 펄스(V_{ef})를 인가하는 단계; 및 강유전체 레이어의 이레이즈 분극 펄스(V_{ef})를 인가한 후 이레이즈 전압 펄스(V_{et})를 인가하는 단계를 포함하는 전하 트랩 플래시 소자의 동작 방법.

청구항 8

제7항에 있어서, 강유전체에 인가한 전기장과 같은 방향으로 비휘발성 분극을 발생시키고, 비휘발성 분극 발생에 의해 Si 채널과 컨트롤 게이트의 전하 밀도를 증가시키기 위해 강유전체 레이어의 분극 스위칭을 위한 전압을 강유전체 레이어의 분극 스위칭 시간보다 긴 시간 동안 인가하는 전하 트랩 플래시 소자의 동작 방법.

청구항 9

제8항에 있어서, 강유전체 레이어의 분극 스위칭을 위한 전압을 강유전체 레이어의 분극 스위칭 시간보다 긴 시간 동안 인가함으로써, 강유전체 레이어의 이레이즈 분극 펄스(V_{ef})보다 강유전체 레이어를 제외한 나머지 레이어들에 걸린 전압의 크기를 더 크게 하여, 이레이즈 위한 동작 전압을 감소시키는

전하 트랩 플래시 소자의 동작 방법.

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 강유전 박막층을 결합한 전하 트랩 플래시 소자의 구조 및 동작 방법에 관한 것이다.

배경 기술

[0002] 전하 트랩 플래시의 스케일링 기술 개발 시 신뢰성 열화가 예상되고, 이를 보완하기 위해서는 동작 전압 감소를 위한 기술 개발이 필요하다.

[0003] 전하 트랩 플래시의 동작 전압은 FN 터널링 조건에 의해 결정되므로 터널링 층의 두께 감소와 같은 기술 개발이 가능하지만, 이러한 방식의 개발은 신뢰성 열화를 야기할 수 있으므로 새로운 기술의 도출이 필요하다.

[0004] 전하 트랩 플래시의 리텐션 상황에서의 전하 손실은 보유 전하에 의한 내부 전기장에 의해 일어난다. 이러한 전하 손실은 터널링 박막층에서의 낮은 유전율과 높은 내부 전기장에 의한 손실이 대부분을 차지한다.

[0005] 따라서, 동작 전압을 감소시키고, 터널링 박막층을 통한 전하 손실을 억제하기 위한 기술을 필요로 한다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는 전하 트랩 플래시의 스케일링 기술 개발 시 예상되는 신뢰성 열화를 보완하기 위해 동작 전압을 감소시키기 위한 전하 트랩 플래시 소자의 구조 및 동작 방법을 제공하는데 있다.

과제의 해결 수단

[0007] 일 측면에 있어서, 본 발명에서 제안하는 강유전 박막층을 결합한 전하 트랩 플래시 소자의 구조는 컨트롤 게이트(control gate), 컨트롤 게이트 하부에 위치하는 블로킹 레이어(blocking layer)의 적어도 일부를 대체하는 강유전체 레이어(ferroelectric support layer), 강유전체 레이어 하부에 위치하는 블로킹 레이어, 전하트랩 레이어 및 터널 레이어를 포함한다.

[0008] 강유전체 레이어의 분극 스위칭(polarization switching)을 위한 전기장은 터널링 레이어(Tunneling layer)를 통한 FN 터널링(tunneling)에 의한 차지 트랩(charge trap)이 일어나기 시작하는 전기장보다 작게 한다.

[0009] 프로그램 동작(program operation) 또는 이레이즈 동작(erase operation)은 강유전체 레이어의 분극 스위칭을 위한 전압의 펄스와 터널링 레이어(tunneling layer)를 통해 FN 터널링을 위한 전압의 펄스를 순차적으로 인가한다.

[0010] 강유전체에 인가한 전기장과 같은 방향으로 비휘발성 분극을 발생시키고, 비휘발성 분극 발생에 의해 Si 채널과 컨트롤 게이트의 전하 밀도를 증가시키기 위해 강유전체 레이어의 분극 스위칭을 위한 전압을 강유전체 레이어의 분극 스위칭 시간보다 긴 시간 동안 인가한다.

[0011] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 컨트롤 게이트(control gate), 강유전체 레이어(ferroelectric support layer), 블로킹 레이어(blocking layer), 전하트랩 레이어 및 터널 레이어를 포함하는 전하 트랩 플래시 소자의 동작 방법은 프로그램 동작(program operation)을 위한 강유전체 레이어의 프로그램 분극 펄스(V_{pt})를 인가하는 단계 및 강유전체 레이어의 프로그램 분극 펄스(V_{pt})를 인가한 후 프로그램 전압 펄스(V_{pt})를 인가하는 단계를 포함한다.

[0012] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 컨트롤 게이트(control gate), 강유전체 레이어(ferroelectric support layer), 블로킹 레이어(blocking layer), 전하트랩 레이어 및 터널 레이어를 포함하는 전하 트랩 플래시 소자의 동작 방법은 이레이즈 동작(erase operation)을 위한 강유전체 레이어의 이레이즈 분

극 펄스(V_{ef})를 인가하는 단계 및 강유전체 레이어의 이레이즈 분극 펄스(V_{ef})를 인가한 후 이레이즈 전압 펄스(V_{et})를 인가하는 단계를 포함한다.

발명의 효과

[0013] 본 발명의 실시예들에 따르면 전하 트랩 플래시의 동작 전압 감소시킬 수 있고, 이에 따른 인듀런스(Endurance) 및 사이클(cycle) 후 리텐션(retention) 개선이 가능하며, 인트린직 리텐션(Intrinsic retention) 개선도 가능하다. 향후 VNAND 스케일링, 특히 버티컬 스케일링(vertical scaling), 다시 말해 WL 높이(height) 및 WL-to-WL 공간 스케일링(space scaling) 시 신뢰성 열화 극복 방안으로 적용 가능하다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 일 실시예에 따른 강유전 박막층을 결합한 전하 트랩 플래시 소자의 구조를 나타내는 도면이다.
 도 2는 본 발명의 일 실시예에 따른 강유전 박막층을 결합한 전하 트랩 플래시 소자의 프로그램 동작을 설명하기 위한 흐름도이다.
 도 3은 본 발명의 일 실시예에 따른 프로그램 동작을 위한 컨트롤 게이트의 전압을 나타내는 도면이다.
 도 4는 본 발명의 일 실시예에 따른 프로그램 동작 과정을 설명하기 위한 도면이다.
 도 5는 본 발명의 일 실시예에 따른 강유전 박막층을 결합한 전하 트랩 플래시 소자의 이레이즈 동작을 설명하기 위한 흐름도이다.
 도 6은 본 발명의 일 실시예에 따른 이레이즈 동작을 위한 컨트롤 게이트의 전압을 나타내는 도면이다.
 도 7은 본 발명의 일 실시예에 따른 이레이즈 동작 과정을 설명하기 위한 도면이다.
 도 8은 본 발명의 일 실시예에 따른 리텐션 상황에서의 전하 분포를 종래기술과 비교하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0017] 도 1은 본 발명의 일 실시예에 따른 강유전 박막층을 결합한 전하 트랩 플래시 소자의 구조를 나타내는 도면이다.

[0018] 제안하는 강유전 박막층을 결합한 전하 트랩 플래시 소자(Charge trap flash with coupled ferroelectric layer; CTF-F)는 컨트롤 게이트(control gate)(110), 컨트롤 게이트 하부에 위치하는 블로킹 레이어(blocking layer)의 적어도 일부를 대체하는 강유전체 레이어(ferroelectric support layer)(120), 강유전체 레이어 하부에 위치하는 블로킹 레이어(130), 전하트랩 레이어(140) 및 터널 레이어(150)를 포함하는 구조가 Si 채널(160) 상에 위치한다.

[0019] CTF-F 는 기존의 전하 트랩 플래시 유전막 구조에서 블로킹 레이어의 전부 또는 일부를 강유전체 박막(다시 말해, 강유전체 레이어)으로 대체한 구조이다. 강유전 박막의 분극 스위칭(polarization switching)을 위한 전기장은 터널 레이어를 통한 FN 터널링에 의한 전하 트랩(charge trap)이 일어나기 시작하는 전기장보다 작게 설계할 수 있다. CTF-F 의 프로그램 동작(program operation) 또는 이레이즈 동작(erase operation)은 강유전체 박막의 분극 스위칭을 위한 낮은 전압의 펄스와 터널 레이어를 통해 FN 터널링을 위한 높은 전압의 펄스를 순차적으로 인가하여 구현 가능하다.

[0021] 도 2는 본 발명의 일 실시예에 따른 강유전 박막층을 결합한 전하 트랩 플래시 소자의 프로그램 동작을 설명하기 위한 흐름도이다.

[0022] 본 발명의 실시예에 따른, 컨트롤 게이트(control gate), 강유전체 레이어(ferroelectric support layer), 블로킹 레이어(blocking layer), 전하트랩 레이어 및 터널 레이어를 포함하는 전하 트랩 플래시 소자의 동작 방법은 프로그램 동작(program operation)을 위한 강유전체 레이어의 프로그램 분극 펄스(V_{pf})를 인가하는 단계(210) 및 강유전체 레이어의 프로그램 분극 펄스(V_{pf})를 인가한 후 프로그램 전압 펄스(V_{pt})를 인가하는 단계(220)를 포함한다.

- [0023] 강유전체에 인가한 전기장과 같은 방향으로 비휘발성 분극을 발생시키고, 비휘발성 분극 발생에 의해 Si 채널과 컨트롤 게이트의 전하 밀도를 증가시키기 위해 강유전체 레이어의 분극 스위칭을 위한 전압을 강유전체 레이어의 분극 스위칭 시간보다 긴 시간 동안 인가한다.
- [0024] 강유전체 레이어의 분극 스위칭을 위한 전압을 강유전체 레이어의 분극 스위칭 시간보다 긴 시간 동안 인가함으로써, 강유전체 레이어의 프로그램 분극 펄스(V_{pf})보다 강유전체 레이어를 제외한 나머지 레이어들에 걸린 전압의 크기를 더 크게 하여, 프로그램을 위한 동작 전압을 감소시킬 수 있다.
- [0026] 도 3은 본 발명의 일 실시예에 따른 프로그램 동작을 위한 컨트롤 게이트의 전압을 나타내는 도면이다.
- [0027] CTF-F 는 기존의 전하 트랩 플래시 유전막 구조에서 블로킹 레이어의 전부 또는 일부를 강유전체 박막(다시 말해, 강유전체 레이어)으로 대체한 구조이다. 강유전 박막의 분극 스위칭(polarization switching)을 위한 전기장은 터널 레이어를 통한 FN 터널링에 의한 전하 트랩(charge trap)이 일어나기 시작하는 전기장보다 작게 설계할 수 있다. CTF-F 의 프로그램 동작(program operation)은 강유전체 박막의 분극 스위칭을 위한 낮은 전압의 펄스(V_{pf})와 터널 레이어를 통해 FN 터널링을 위한 높은 전압(V_{pt})의 펄스를 순차적으로 인가하여 구현 가능하다.
- [0029] 도 4는 본 발명의 일 실시예에 따른 프로그램 동작 과정을 설명하기 위한 도면이다.
- [0030] 프로그램 동작(program operation)을 위한 강유전체 박막의 분극 스위칭을 위한 전압, 다시 말해 프로그램 분극 펄스(V_{pf})를 강유전체 박막의 분극 스위칭 시간(polarization switching time) 보다 긴 시간 동안 인가한다(도 4(a)). 그러면, 도 4(b)에 도시된 바와 같이 강유전체에 인가한 전기장과 같은 방향으로 비휘발성 분극이 발생한다. 비휘발성 분극 발생에 의해 Si 채널과 컨트롤 게이트에 전하 밀도가 높아진다(도 4(c)). 이 때 인가한 전압(V_{pf}) 보다 강유전체 박막을 제외한 나머지 유전 박막들에 걸린 전압(V_{pt2})의 크기가 더 커지는 효과가 발생한다(도 4(d)). 이 효과에 의해 강유전체 분극(ferroelectric polarization)이 없는 기존 구조에서 터널 레이어의 FN 터널링에 요구되었던 전압보다 더 낮은 전압을 컨트롤 게이트에 인가하여도 프로그램 동작이 가능하게 된다. 도 4(d)의 $V_{pt2} > V_{pt}$ 가 동작전압 감소 효과를 나타낸 것이다.
- [0032] 도 5는 본 발명의 일 실시예에 따른 강유전 박막층을 결합한 전하 트랩 플래시 소자의 이레이즈 동작을 설명하기 위한 흐름도이다.
- [0033] 본 발명의 실시예에 따른, 컨트롤 게이트(control gate), 강유전체 레이어(ferroelectric support layer), 블로킹 레이어(blocking layer), 전하트랩 레이어 및 터널 레이어를 포함하는 전하 트랩 플래시 소자의 동작 방법은 이레이즈 동작(erase operation)을 위한 강유전체 레이어의 이레이즈 분극 펄스(V_{ef})를 인가하는 단계(510) 및 강유전체 레이어의 이레이즈 분극 펄스(V_{ef})를 인가한 후 이레이즈 전압 펄스(V_{et})를 인가하는 단계(520)를 포함한다.
- [0034] 강유전체에 인가한 전기장과 같은 방향으로 비휘발성 분극을 발생시키고, 비휘발성 분극 발생에 의해 Si 채널과 컨트롤 게이트의 전하 밀도를 증가시키기 위해 강유전체 레이어의 분극 스위칭을 위한 전압을 강유전체 레이어의 분극 스위칭 시간보다 긴 시간 동안 인가한다.
- [0035] 강유전체 레이어의 분극 스위칭을 위한 전압을 강유전체 레이어의 분극 스위칭 시간보다 긴 시간 동안 인가함으로써, 강유전체 레이어의 이레이즈 분극 펄스(V_{ef})보다 강유전체 레이어를 제외한 나머지 레이어들에 걸린 전압의 크기를 더 크게 하여, 프로그램을 위한 동작 전압을 감소시킬 수 있다.
- [0037] 도 6은 본 발명의 일 실시예에 따른 이레이즈 동작을 위한 컨트롤 게이트의 전압을 나타내는 도면이다.
- [0038] CTF-F 는 기존의 전하 트랩 플래시 유전막 구조에서 블로킹 레이어의 전부 또는 일부를 강유전체 박막(다시 말해, 강유전체 레이어)으로 대체한 구조이다. 강유전 박막의 분극 스위칭(polarization switching)을 위한 전기장은 터널 레이어를 통한 FN 터널링에 의한 전하 트랩(charge trap)이 일어나기 시작하는 전기장보다 작게 설계할 수 있다. CTF-F 의 이레이즈 동작(erase operation)은 강유전체 박막의 분극 스위칭을 위한 낮은 전압의 펄스(V_{ef})와 터널 레이어를 통해 FN 터널링을 위한 높은 전압(V_{et})의 펄스를 순차적으로 인가하여 구현 가능하다.
- [0040] 도 7은 본 발명의 일 실시예에 따른 이레이즈 동작 과정을 설명하기 위한 도면이다.
- [0041] 이레이즈 동작(erase operation)을 위한 강유전체 박막의 분극 스위칭을 위한 전압, 다시 말해 이레이즈 분극

펠스(V_{ef})를 강유전체 박막의 분극 스위칭 시간(polarization switching time) 보다 긴 시간 동안 인가한다(도 7(a)). 그러면, 도 7(b)에 도시된 바와 같이 강유전체에 인가한 전기장과 같은 방향으로 비휘발성 분극이 발생한다. 비휘발성 분극 발생에 의해 Si 채널과 컨트롤 게이트에 전하 밀도가 높아진다(도 7(c)). 이 때 인가한 전압(V_{ef}) 보다 강유전체 박막을 제외한 나머지 유전 박막들에 걸린 전압(V_{ef2})의 크기가 더 커지는 효과가 발생한다(도 7(d)). 이 효과에 의해 강유전체 분극(ferroelectric polarization)이 없는 기존 구조에서 터널 레이어의 FN 터널링에 요구되었던 전압보다 더 낮은 전압을 컨트롤 게이트에 인가하여도 이레이즈 동작이 가능하게 된다. 도 7(d)의 $V_{ef2} > V_{ef}$ 가 동작전압 감소 효과를 나타낸 것이다.

[0043] 도 8은 본 발명의 일 실시예에 따른 리텐션 상황에서의 전하 분포를 종래기술과 비교하기 위한 도면이다.

[0044] 도 8을 참조하면, 본 발명의 실시예에 따른 CTF-F와 종래기술에 따른 CTF의 리텐션(retention)상황에서의 전하 분포를 비교할 수 있다. 붉은 화살표는 전하 손실의 방향을 나타내는 것이다. 강유전 분극의 영향으로 CTF-F에서는 Si 채널 방향의 전하 손실을 억제할 수 있다.

[0045] 리텐션 상황(다시 말해, 컨트롤 게이트와 Si 채널이 접지되어 있는 상황)에서의 전하 분포(도 8)의 비교에서, 강유전체 박막의 분극에 의해 트랩 레이어(trap layer)에 저장된 전하의 Si 채널 방향의 손실이 억제됨이 설명되어 있다. 이는 강유전 분극의 영향으로 터널 레이어의 내부 전기장이 억제되기 때문이다. 다만, 이 때 컨트롤 게이트 방향으로의 전하 손실이 증가될 우려가 있다. Si 채널 방향의 전하 손실 억제는 메모리 셀의 전체 전하 손실의 억제로 이어질 수 있으므로 리텐션을 개선할 수 있다. 대개의 경우 작은 유전율에 의한 터널 레이어 방향의 전하 손실이 전하 손실의 가장 큰 요인이다.

[0046] 강유전체 박막이 추가된 구조이나 전체 물리적 두께(physical thickness)가 증가하지 않는 범위 내에서 적용하여 효과를 얻을 수 있을 지 실험적인 검증이 필요하다. 강유전체 박막 역시 유전율이 큰 재료이므로 컨트롤 게이트(Control gate)로부터의 백 터널링(back tunneling)을 막을 수 있는 블로킹 레이어(blocking layer)의 역할을 할 수 있는 가능한 강유전 소재가 보고되고 있다(예를 들어, HfZrO).

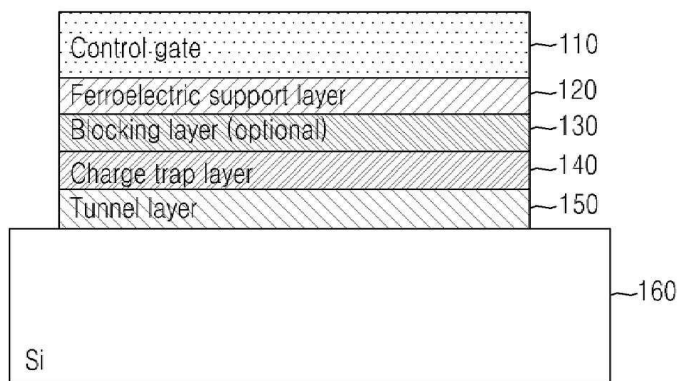
[0047] 본 발명의 실시예에 따르면, 강유전체 박막의 분극에 의한 메모리 셀 문턱 전압(V_{th})의 변동이 약간 있으나, 컨트롤 게이트(control gate)와 인접한 영역에 배치함으로써 그 영향을 최소화 한 구조이다.

[0049] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

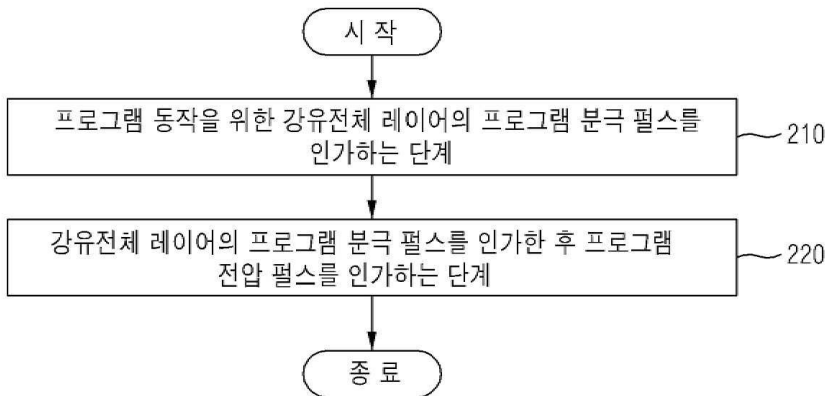
[0050] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

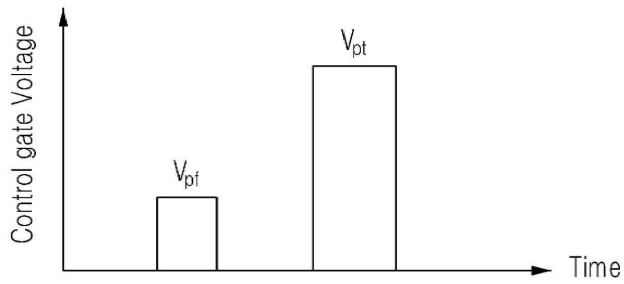
도면1



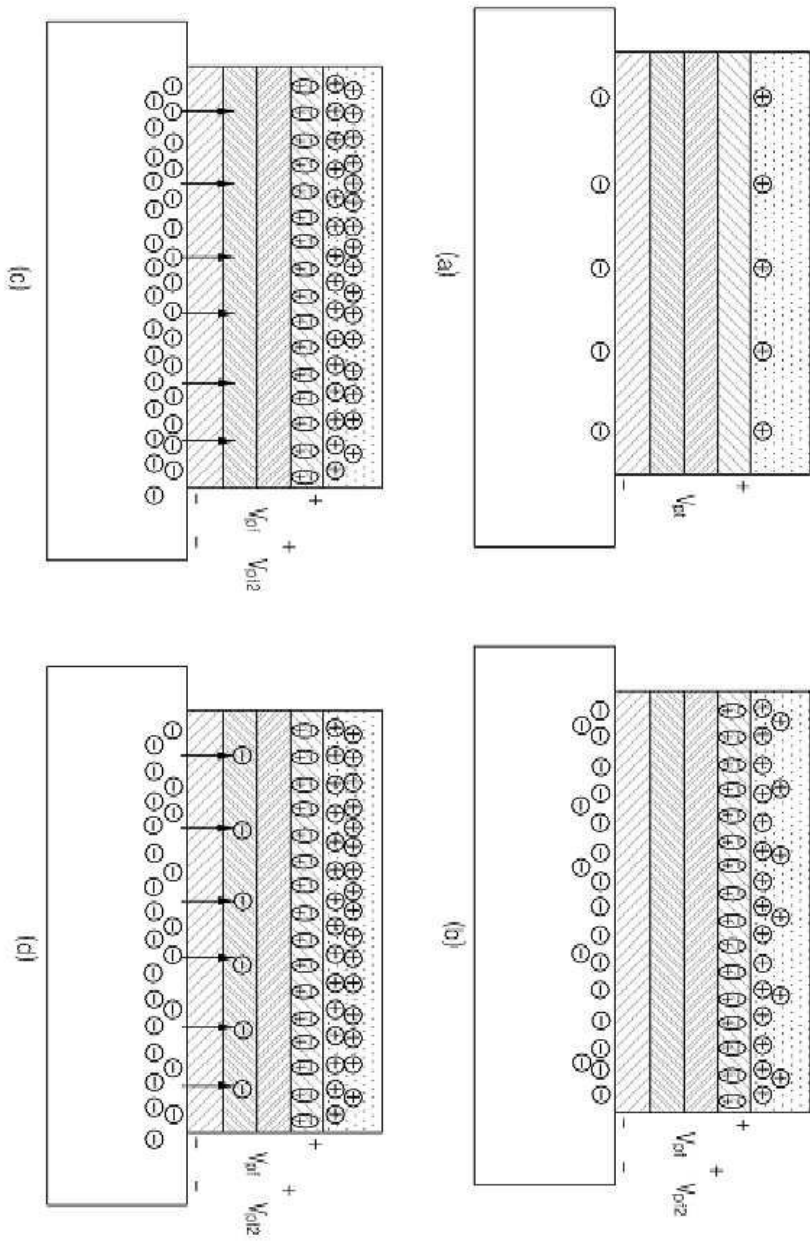
도면2



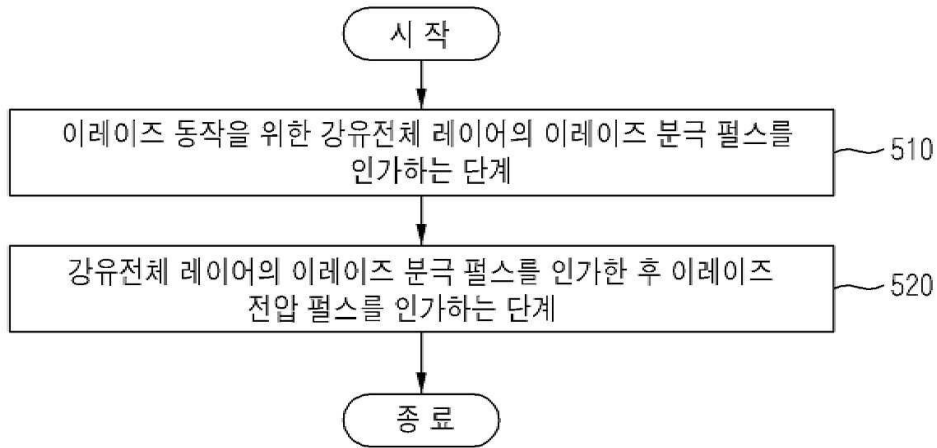
도면3



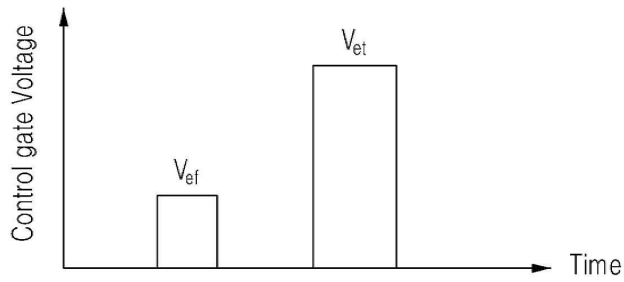
도면4



도면5



도면6



도면8

