



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년08월16일
(11) 등록번호 10-1768675
(24) 등록일자 2017년08월09일

(51) 국제특허분류(Int. Cl.)
H01L 23/538 (2006.01) H01L 23/00 (2006.01)
H01L 23/12 (2006.01) H01L 23/532 (2006.01)
(52) CPC특허분류
H01L 23/5387 (2013.01)
H01L 23/12 (2013.01)
(21) 출원번호 10-2016-0031135
(22) 출원일자 2016년03월15일
심사청구일자 2016년03월15일
(56) 선행기술조사문헌
KR1020160021071 A*
KR1020150115019 A*
KR1020150031844 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
박장웅
울산광역시 울주군 언양읍 유니스트길 50
박지훈
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
전용준

전체 청구항 수 : 총 1 항

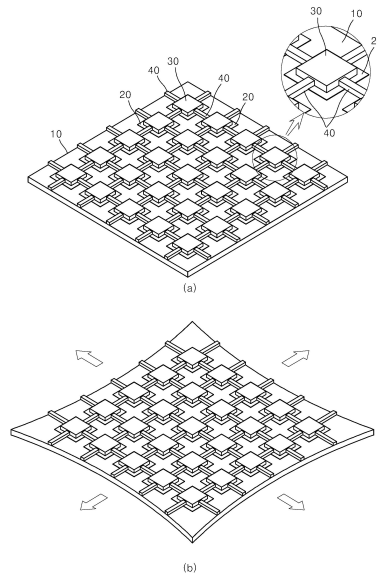
심사관 : 정구원

(54) 발명의 명칭 하이브리드 기판과 신축성 전극을 이용한 신축성 패키지 및 그 제조방법

(57) 요약

본 발명은, 신축성을 갖는 신축성 기판과 신축성이 없는 비신축성 기판을 포함하는 하이브리드 기판과, 상기 비신축성 기판위에 배치된 디바이스 칩을 포함하기 때문에, 신축성이 확보되어 신축성 전자 소자의 구현이 가능할 뿐만 아니라 비신축성 기판 위에 배치된 디바이스 칩의 안정성도 확보될 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 23/53204 (2013.01)

H01L 23/5386 (2013.01)

H01L 24/02 (2013.01)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

회생층 위에 복수의 디바이스 칩들을 배치하는 단계와;

상기 복수의 디바이스 칩들을 신축성 전극을 이용하여 연결하는 단계와;

비신축성 소재를 이용하여 미리 설정된 패턴으로 패터닝하여 상기 디바이스 칩들 위에 비신축성 기판을 만드는 단계와;

상기 신축성 전극과 상기 비신축성 기판 위에 신축성(stretchability) 소재를 도포하여, 상기 신축성 전극과 상기 비신축성 기판이 임베딩된 신축성 기판을 만드는 단계와;

상기 회생층을 제거하는 단계와;

상기 회생층을 제거하여 노출된 면에 신축성 소재를 도포하여, 상기 신축성 전극과 상기 디바이스 칩들을 보호하는 보호기재를 형성하는 단계를 포함하는 하이브리드 기판과 신축성 전극을 이용한 신축성 패키지의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 하이브리드 기판과 신축성 전극을 이용한 신축성 패키지 및 그 제조방법에 관한 것으로서, 보다 상세하게는 신축성 기판에 비신축성 기판이 삽입된 구조를 형성하고 상기 비신축성 기판위에만 디바이스 칩을 배치함으로써, 신축성과 안전성을 모두 확보할 수 있는 하이브리드 기판과 신축성 전극을 이용한 신축성 패키지 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 일반적으로 전자 장치들은 딱딱한 기판 위에 전자 소자가 구비된다. 최근에는 전자 소자의 응용 분야가 넓어지면서 유연하고 신축성 있는 전자 소자에 대한 요구가 증대되고 있다.

[0003] 그러나, 종래의 신축성 기판들은, 화학적인 손상(Damage)을 입거나 고온에 매우 취약하기 때문에, 신축성 기판 위에 전자 소자를 제조하기가 매우 곤란한 문제점이 있다. 또한, 종래의 신축성 기판 위에 전자 소자를 제조할 경우, 신축성 소재의 높은 열팽창 계수와 용매에 쉽게 팽윤(Swelling)되는 현상 등 때문에 공정에 매우 어려움이 따른다. 또한, 종래의 신축성 기판 위에 디스플레이 소자를 제조하더라도, 이를 인장시킬 경우 발생하는 기능층들의 파괴가 소자 전체의 파괴로 이어지는 문제점이 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국공개특허 10-2015-0094248

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은, 신축성과 안정성을 모두 갖는 하이브리드 기판과 신축성 전극을 이용한 신축성 패키지 및 그 제조방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명에 따른 하이브리드 기판과 신축성 전극을 이용한 신축성 패키지는, 신축성(stretchability) 소재로 형성된 신축성 기판과; 미리 설정된 패턴으로 패터닝되고, 일면은 상기 신축성 기판의 일면과 동일 평면을 이루며 나머지는 상기 신축성 기판에 임베딩되며, 비신축성 소재로 형성된 비신축성 기판과; 상기 비신축성 기판에 배치된 복수의 디바이스 칩들과; 상기 비신축성 기판들 위에 배치된 복수의 디바이스 칩들과; 상기 신축성 기판 위에 배치되어 상기 복수의 디바이스 칩들을 연결하는 신축성 전극을 포함한다.

[0007] 본 발명에 따른 하이브리드 기판과 신축성 전극을 이용한 신축성 패키지의 제조 방법은, 회생층 위에 비신축성

소재를 이용하여 미리 설정된 패턴으로 패터닝하여 비신축성 기판을 만드는 단계와; 상기 희생층과 상기 비신축성 기판 위에 신축성(stretchability) 소재를 도포하여, 상기 비신축성 기판이 임베딩된 신축성 기판을 만드는 단계와; 상기 희생층을 제거하는 단계와; 상기 희생층을 제거하여 노출된 상기 비신축성 기판의 노출면에 복수의 디바이스 칩들을 배치하는 단계와; 상기 신축성 기판 위에 신축성 전극을 배치하여, 상기 복수의 디바이스 칩들을 상기 신축성 전극을 이용하여 연결하는 단계를 포함한다.

[0008] 본 발명의 다른 측면에 따른 하이브리드 기판과 신축성 전극을 이용한 신축성 패키지의 제조 방법은, 희생층 위에 복수의 디바이스 칩들을 배치하는 단계와; 상기 복수의 디바이스 칩들을 상기 신축성 전극을 이용하여 연결하는 단계와; 비신축성 소재를 이용하여 미리 설정된 패턴으로 패터닝하여 상기 디바이스 칩들 위에 비신축성 기판을 만드는 단계와; 상기 신축성 전극과 상기 비신축성 기판 위에 신축성(stretchability) 소재를 도포하여, 상기 신축성 전극과 상기 비신축성 기판이 임베딩된 신축성 기판을 만드는 단계와; 상기 희생층을 제거하는 단계와; 상기 희생층을 제거하여 노출된 면에 신축성 소재를 도포하여, 상기 신축성 전극과 상기 디바이스 칩들을 보호하는 보호기재를 형성하는 단계를 포함하는 하이브리드 기판과 신축성 전극을 이용한다.

발명의 효과

[0009] 본 발명은, 신축성을 갖는 신축성 기판과 신축성이 없는 비신축성 기판을 포함하는 하이브리드 기판과, 상기 비신축성 기판위에 배치된 디바이스 칩을 포함하기 때문에, 신축성이 확보되어 신축성 전자 소자의 구현이 가능할 뿐만 아니라 비신축성 기판 위에 배치된 디바이스 칩의 안정성도 확보될 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 제1실시예에 따른 신축성 패키지가 도시된 도면이다.
 도 2는 본 발명의 제1실시예에 따른 신축성 패키지의 제조방법을 개략적으로 나타낸 도면이다.
 도 3은 본 발명의 제1실시예에 따른 신축성 패키지의 제조방법을 나타낸 순서도이다.
 도 4는 본 발명의 제1실시예에 따른 신축성 패키지에서 신축성 기판과 비신축성 기판의 변형율을 나타낸 도면이다.
 도 5는 본 발명의 제1실시예에 따른 신축성 패키지에서 변형 발생시 변형율의 변화를 나타낸 그래프이다.
 도 6은 본 발명의 제1실시예에 따른 신축성 기판과 비신축성 기판의 계면에 대한 SEM사진이다.
 도 7은 본 발명의 제1실시예에 따른 신축성 기판과 비신축성 기판의 계면에 대한 AFM 데이터를 나타낸 그래프이다.
 도 8은 본 발명의 제2실시예에 따른 신축성 패키지의 제조방법을 개략적으로 나타낸 도면이다.
 도 9는 본 발명의 제2실시예에 따른 신축성 패키지의 제조방법을 나타낸 순서도이다.
 도 10은 본 발명의 제3실시예에 따른 신축성 패키지의 제조방법을 개략적으로 나타낸 도면이다.
 도 11은 본 발명의 제3실시예에 따른 신축성 패키지의 제조방법을 나타낸 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 대해 설명하면 다음과 같다.
 [0012] 도 1은 본 발명의 실시예에 따른 신축성 패키지가 도시된 도면이다. 도 2는 본 발명의 실시예에 따른 신축성 패키지의 제조방법을 개략적으로 나타낸 도면이다.
 [0013] 도 1을 참조하면, 본 발명의 실시예에 따른 신축성 패키지는, 신축성 기판(10), 비신축성 기판(20), 디바이스 칩(30) 및 신축성 전극(40)을 포함한다.
 [0014] 상기 신축성 기판(10)은, 신축성(Stretchability) 소재로 형성된다. 여기서, 신축성은 늘어나고 줄어들 수 있는 성질을 의미한다.
 [0015] 상기 신축성 소재는, 외력을 가해서 잡아당기는 등의 변형을 가하면 늘어나고 외력을 제거하면 복원되는 성질을 가지는 고분자 화합물인 탄성 중합체(Elastomer)를 포함한다. 예를 들어, 상기 신축성 소재는, PDMS(Polydimethylsiloxane), 에코플렉스(Ecoflex), hydrogel(히드로겔), 고무소재 중 적어도 하나를 포함할

수 있으며, 본 실시예에서는, PDMS를 사용하는 것으로 예를 들어 설명한다.

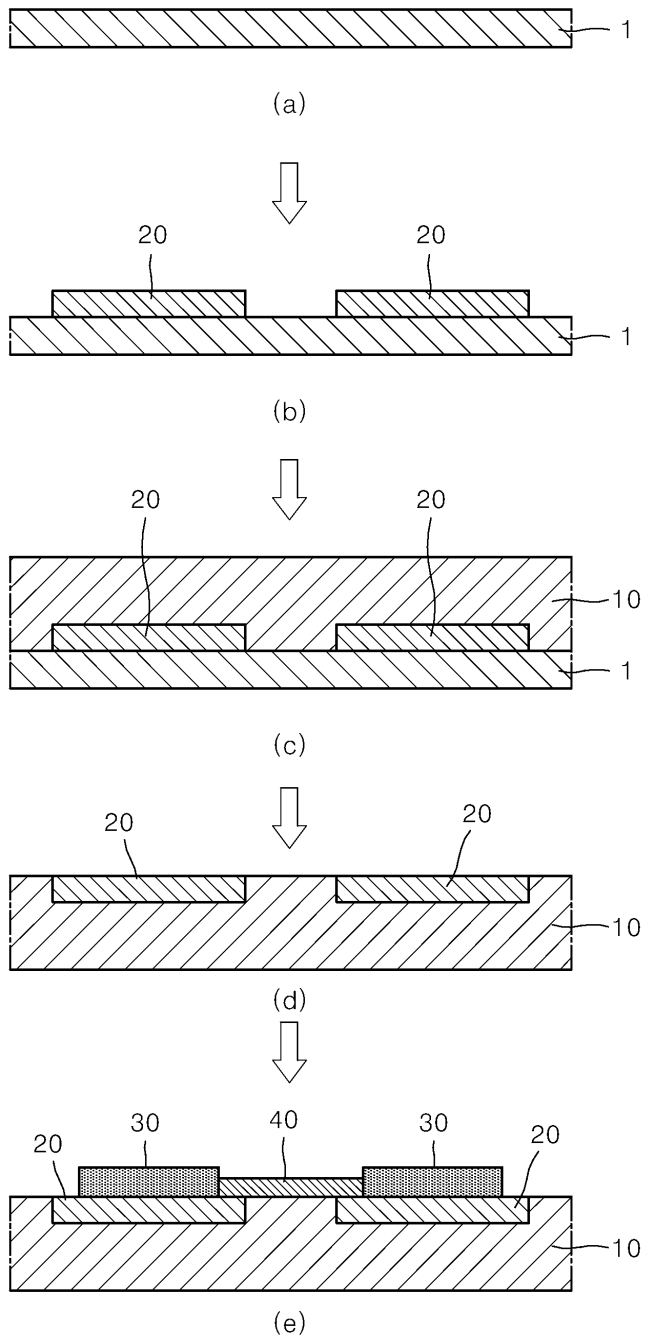
- [0016] 상기 비신축성 기관(20)은, 희생층(1)위에 미리 설정된 패턴으로 패터닝되어 형성된다. 상기 비신축성 기관(20)은, 포토리소그래피(Photolithography) 방법을 이용하여 패터닝 된다. 상기 비신축성 기관(20)은 후술하는 디바이스 칩(30)의 크기보다 크게 형성된다.
- [0017] 상기 비신축성 기관(20)은, 비신축성 소재로 형성된다. 즉, 상기 비신축성 기관(20)은 외부에서 변형을 가하면 늘어나지 않는 비신축성 소재로 형성된다. 상기 비신축성 소재는, 유연성을 갖지 않는 열경화성 수지 등의 고강도 고분자 물질로 이루어진다. 다만, 이에 한정되지 않고, 비신축성이고 구부러질 수 있는 유연성은 갖는 소재로 이루어지는 것도 물론 가능하다.
- [0018] 상기 디바이스 칩(Device chip)(30)은, 상기 비신축성 기관(20)에 배치되어 고정된다. 상기 디바이스 칩(30)은 딱딱하고 취성이 강한 재질로 이루어지므로, 기계적 변형이 최소화된 상기 비신축성 기관(20)에 배치됨으로써, 안정성이 확보될 수 있다.
- [0019] 상기 신축성 전극(40)은, 복수의 상기 디바이스 칩들(30)을 연결한다. 상기 신축성 전극(40)은 상기 신축성 기관(10)위에 인쇄되어 형성되며, 상기 신축성 기관(10)과 함께 신축 변형이 가능하다. 즉, 상기 신축성 전극(40)은 상기 신축성 기관(10)위에 배치되되 양단부는 상기 디바이스 칩들(30)에 각각 결합된다.
- [0020] 상기 신축성 전극(40)은, 신축성과 전기 전도도를 가질 수 있는 소재라면 사용가능하다. 예를 들어, 상기 신축성 전극(40)은, 금속 나노와이어(Metal nanowire), 금속 나노화이버(Metal nanofiber), 금속 나노트로프(Metal nanotrough), 금속 나노메쉬, 금속 잉크, 액체 금속(liquid metal) 및 그래핀 중 적어도 하나로 이루어질 수 있다. 상기 신축성 전극(40)은 금속 잉크를 사용할 경우, 패터닝 후 열처리 등의 후처리를 통해 박막(Film) 형태로 제조될 수 있다. 상기 신축성 전극(40)이 액체 금속으로 이루어지면, 액상의 소재 특성에 의해 우수한 신축성을 가질 수 있으며, 합금 소재 특성에 의해 우수한 전기 전도도도 가질 수 있다.
- [0021] 또한, 상기 신축성 전극(40)은 은 나노 와이어를 사용하는 것도 가능하다. 또한, 상기 신축성 전극(40)은, 말굽형 형상으로 패터닝되는 것도 가능하며, 말굽형 구조로 형성될 경우 기계적 변형을 분산시켜 신축성이 보다 향상될 수 있다.
- [0022] 또한, 상기 신축성 전극(40)은, 상기 금속 나노와이어, 상기 금속 나노화이버, 상기 금속 나노트로프, 상기 금속 나노메쉬 등이 단일 구조로 이루어지는 것도 가능하고, 상기 금속 나노와이어 등의 1차원 구조와 그래핀 등의 2차원 구조가 결합된 구조를 갖는 것도 물론 가능하다.
- [0023] 상기 신축성 전극(40)은, 상기 신축성 기관(10) 위에 인쇄되어 형성된다. 상기 신축성 전극(40)은, 상기 신축성 기관(10)과 동일한 곡률로 굽어지거나 동일한 길이로 늘어나도록 상기 신축성 기관(10)과 동일한 변형율을 갖도록 형성된다.
- [0024] 도 3은 본 발명의 실시예에 따른 신축성 패키지의 제조방법을 나타낸 순서도이다.
- [0025] 도 2a, 도 2b 및 도 3을 참조하면, 본 발명에 따른 신축성 패키지를 제조하기 위해서는 상기 희생층(1) 위에 상기 비신축성 기관(20)을 미리 설정된 패턴으로 패터닝하여 형성한다.(S1)
- [0026] 상기 비신축성 기관(20)은 비신축성 소재인 열경화성 수지로 이루어진 것으로 예를 들어 설명한다. 상기 비신축성 기관(20)은 비신축성 소재로 이루어짐으로써, 외부에서 변형이 가해지면 늘어나거나 줄어들지 않으므로 안정성이 확보된다.
- [0027] 이후, 도 2c를 참조하면, 상기 희생층(1)위에 형성된 상기 비신축성 기관(20) 위에 상기 신축성 소재를 도포하여 상기 신축성 기관(10)을 제조한다.(S2)
- [0028] 상기 신축성 소재가 도포되어 형성되는 상기 신축성 기관(10)의 두께는 상기 비신축성 기관(20)의 두께보다 두껍게 형성된다. 본 실시예에서는, 상기 신축성 기관(10)과 상기 비신축성 기관(20)의 두께 비율은 약 2:1인 것으로 예를 들어 설명한다. 따라서, 상기 비신축성 기관(20)은 상기 신축성 기관(10)에 임베딩된다. 즉, 상기 비신축성 기관(20)은 상기 희생층(1)에 맞대어진 일면을 제외한 나머지 부분들은 상기 신축성 기관(10)에 임베딩되어, 상기 신축성 기관(10)에 삽입된 구조를 갖는다. 따라서, 상기 신축성 기관(10)과 상기 비신축성 기관(20)으로 이루어진 하이브리드 기관이 이루어진다.
- [0029] 상기 신축성 기관(10)은 PDMS를 사용하는 것으로 예를 들어 설명한다. 상기 신축성 기관(10)은, 상기 희생층(1)과 상기 비신축성 기관(20)위에 PDMS를 스핀 코팅한 후 경화시켜 제조할 수 있다. 상기 신축성 기관(10)은

신축성 소재로 이루어져, 신축성 및 유연성을 모두 확보할 수 있다.

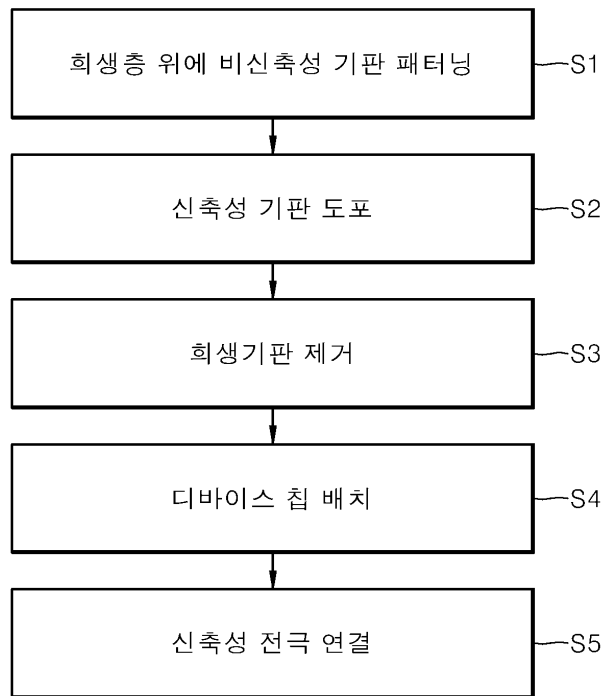
- [0030] 한편, 상기 신축성 소재를 도포하기 이전에 상기 비신축성 기관(20)을 표면처리하여, 상기 비신축성 기관(20)과 상기 신축성 기관(10)의 접촉력을 향상시키는 것도 물론 가능하다.
- [0031] 이후, 상기 희생층(1)을 제거한다.(S3)
- [0032] 도 2d를 참조하면, 상기 희생층(1)을 제거한 후, 상기 비신축성 기관(20)이 위를 향하도록 뒤집으면, 상기 비신축성 기관(20)이 상기 신축성 기관(10)에 완전히 삽입된 구조를 이룬다.
- [0033] 또한, 상기 희생층(1)을 제거하면, 상기 비신축성 기관(20)의 상면이 상기 신축성 기관(10)의 상면과 동일 평면 상에 위치하게 된다. 상기 비신축성 기관(20)의 상면과 상기 신축성 기관(10)의 상면이 동일 평면상에 위치함으로써, 상기 비신축성 기관(20)위에 배치된 상기 디바이스 칩들(30)이 상기 신축성 기관(10)의 팽윤현상 등에 따른 변형이나 손상으로부터 보호될 수 있다.
- [0034] 도 2e를 참조하면, 상면이 노출된 상기 비신축성 기관(20)에 상기 디바이스 칩(30)을 배치한다.(S4) 상기 디바이스 칩(30)은, 상기 비신축성 기관(20) 위에만 배치된다. 상기 디바이스 칩(30)이 변형이 제한된 상기 비신축성 기관(20) 위에 배치되기 때문에, 상기 디바이스 칩(30)의 변형도 방지되어 안정성이 확보될 수 있다. 또한, 상기 디바이스 칩(30)은, 상기 비신축성 기관(20)보다 크기가 작게 형성되어, 상기 비신축성 기관(20)과 상기 신축성 기관(10)의 경계면으로부터 소정간격 이격된 위치에 배치될 수 있다. 따라서, 상기 디바이스 칩(30)의 변형이 방지되어, 상기 디바이스 칩(30)의 안정성이 확보될 수 있다. 상기 비신축성 기관(20)과 상기 신축성 기관(10)의 경계면에서의 변형은 도 4를 참조하여 뒤에서 상세히 설명한다.
- [0035] 이후, 상기 신축성 기관(10) 위에 상기 신축성 전극(40)을 배치하여, 상기 신축성 전극(40)을 이용해 상기 디바이스 칩들(30)을 연결한다.(S5)
- [0036] 상기 신축성 전극(40)은, 상기 신축성 기관(10)위에 상기 신축성 기관(10)과 동일한 변형율을 갖는 소재를 인쇄하여 형성할 수 있다. 상기 신축성 전극(40)은 상기 신축성 기관(10)위에 배치되기 때문에, 신축성을 유지하면서 전기적인 연결이 가능하다.
- [0037] 상기와 같이 구성된 신축성 패키지는, 신축성 기관(10)과 비신축성 기관(20)을 포함하는 하이브리드 기관으로 이루어지기 때문에, 신축성이 확보되어 신축성 전자 소자의 구현이 가능함과 아울러 딱딱한 재질로 이루어진 디바이스 칩은 상기 비신축성 기관(20)위에 배치되어 변형이 방지될 수 있으므로, 안정성이 확보될 수 있다.
- [0038] 도 4는 본 발명의 실시예에 따른 신축성 패키지에서 신축성 기관과 비신축성 기관의 변형율을 나타낸 도면이다.
- [0039] 도 4를 참조하면, 상기 신축성 기관(10)에 상기 비신축성 기관(20)을 삽입할 경우, 대부분의 변형율(Strain)이 상기 신축성 기관(10)에 집중되는 것을 알 수 있다. 또한, 도 4에서 p(penetration depth)는 상기 신축성 기관(10)과 상기 비신축성 기관(20)의 경계면을 나타내며, 상기 경계면에서도 변형이 집중되는 것을 알 수 있다. 따라서, 상기 디바이스 칩(30)의 안정성을 확보하기 위해 상기 디바이스 칩(30)을 상기 비신축성 기관(20)위에 배치하되 상기 비신축성 기관(20)의 경계면에서 소정간격 이격된 위치에 배치한다. 따라서, 변형 발생시 상기 비신축성 기관(20)에 배치된 상기 디바이스 칩(30)에는 영향을 주지 않으므로, 상기 디바이스 칩(30)의 안정성이 확보될 수 있다.
- [0040] 도 5는 본 발명의 실시예에 따른 신축성 패키지에서 변형 발생시 변형율의 변화를 나타낸 그래프이다.
- [0041] 도 5를 참조하면, 외부에서 가해지는 변형에 따라 상기 신축성 기관(10)과 상기 비신축성 기관(20)에서 발생하는 변형율을 알 수 있다. 도 5에서 a는 상기 신축성 기관(10)의 일측에서 측정된 변형율이고, b는 상기 신축성 기관(10)의 타측에서 측정된 변형율이며, c는 상기 비신축성 기관(20)에서 측정된 변형율이다. 외부에서 가해지는 변형이 증가할수록 상기 신축성 기관(10)에서 발생하는 변형율(a,b)은 계속 증가하나, 상기 비신축성 기관(20)에서 발생하는 변형율(c)은 변화가 거의 없는 것을 알 수 있다. 즉, 상기 비신축성 기관(20)은 비신축성 소재로 이루어짐으로써, 기계적 강도가 상기 신축성 기관(10)보다 크기 때문에 변형이 거의 일어나지 않는다.
- [0042] 도 6을 참조하면, 상기 신축성 기관(10)과 상기 비신축성 기관(20)사이 계면에 빈 틈이 없으며, 계면에서 단차가 거의 나타나지 않는 것을 알 수 있다. 따라서, 상기 신축성 기관(10)과 상기 비신축성 기관(20)사이에 수분이나 공기 등의 이물질이 침투하는 것을 방지할 수 있으므로, 패키징 소재로 적합하다.
- [0043] 도 7은 본 발명의 실시예에 따른 신축성 기관과 비신축성 기관의 계면에 대한 AFM 데이터를 나타낸 그래프이다.

- [0044] AFM은 샘플의 전체적인 표면 특성을 정량적으로 측정하여 이미지로 보여주는 장비이다. 도 7을 참조하면, 상기 신축성 기관(10)과 상기 비신축성 기관(20) 사이 계면에서 단차가 발생하지 않았음을 정량적으로 알 수 있다. 따라서, 상기 비신축성기관(20)의 상면에 배치된 상기 디바이스 칩(30)의 단차와 상기 신축성 기관(10)의 상면에 배치된 상기 신축성 전극(40)이 서로 연결될 수 있으며, 단차로 인해 발생하는 추가적인 외력이 발생하지 않는다.
- [0045] 도 8은 본 발명의 제2실시예에 따른 신축성 패키지의 제조방법을 개략적으로 나타낸 도면이다. 도 9는 본 발명의 제2실시예에 따른 신축성 패키지의 제조방법을 나타낸 순서도이다.
- [0046] 도 8 및 도 9를 참조하면, 본 발명의 제2실시예에 따른 신축성 패키지는, 상기 디바이스 칩들(30)과 상기 신축성 전극(40) 위에 도포된 보호기재(11)를 더 포함하는 것이 상기 제1실시예와 상이하고, 그 외 나머지 구성은 유사하므로 유사 구성에 대해 동일 부호를 사용하고 그에 따른 상세한 설명은 생략한다.
- [0047] 상기 보호기재(11)는, 신축성 소재로 형성되어, 상기 디바이스 칩들(30)과 상기 신축성 전극(40)을 보호한다. 상기 보호기재(11)는 상기 신축성 기관(10)을 이루는 신축성 소재와 동일 소재로 형성되는 것으로 예를 들어 설명하나, 이에 한정되지 않고 신축성을 갖는 소재라면 어느 것이나 가능하다.
- [0048] 상기 보호기재(11)는 상기 디바이스 칩들(30), 상기 신축성 전극(40) 및 상기 신축성 기관(10)의 상부를 모두 덮도록 도포된다.(S6) 따라서, 상기 디바이스 칩들(30), 상기 신축성 전극(40) 및 상기 비신축성 기관(20)은 상기 신축성 소재내에 임베딩된다. 상기 보호기재(11)가 상기 디바이스 칩들(30)과 상기 신축성 전극(40)을 보호할 수 있다. 본 실시예에서는, 상기 보호기재(11)가 상기 디바이스 칩들(30), 상기 신축성 전극(40) 및 상기 신축성 기관(10)의 상부를 모두 덮는 것으로 예를 들어 설명하나, 이에 한정되지 않고 상기 보호기재(11)가 상기 디바이스 칩들(30)과 상기 신축성 전극(40)만을 덮고, 상기 신축성 기관(10)의 상부는 덮지 않는 것도 물론 가능하다.
- [0049] 도 10은 본 발명의 제3실시예에 따른 신축성 패키지의 제조방법을 개략적으로 나타낸 도면이다. 도 11은 본 발명의 제3실시예에 따른 신축성 패키지의 제조방법을 나타낸 순서도이다.
- [0050] 도 10 및 도 11을 참조하면, 본 발명의 제3실시예에 따른 신축성 패키지는, 신축성 기관(10), 비신축성 기관(20), 디바이스 칩들(30) 및 신축성 전극(40)을 포함하되, 이들의 제조방법이 상기 제1실시예와 상이하므로 상이한 점을 중심으로 상세히 설명하고 그 외 유사 구성에 대해서는 동일부호를 사용하고 그에 따른 상세한 설명은 생략한다.
- [0051] 먼저, 도 10b를 참조하면, 상기 희생층(1)위에 상기 디바이스 칩들(30)을 배치한다.(S11)
- [0052] 이후, 도 10c를 참조하면, 상기 디바이스 칩들(30)을 상기 신축성 전극(40)으로 연결한다.(S12)
- [0053] 도 10d를 참조하면, 비신축성 소재를 이용하여 미리 설정된 패턴으로 패터닝하여 상기 디바이스 칩들(30)위에 비신축성 기관(20)을 형성한다.(S13) 상기 비신축성 기관(20)은 상기 디바이스 칩들(30)을 감싸도록 형성된다. 상기 비신축성 기관(20)을 형성하면, 상기 신축성 전극(30)만이 노출된다.
- [0054] 도 10e를 참조하면, 상기 신축성 전극(30)과 상기 비신축성 기관(20)위에 신축성 소재를 도포하여, 상기 신축성 전극(30) 및 상기 비신축성 기관(20)이 임베딩된 신축성 기관(10)을 만든다.(S14)
- [0055] 도 10f를 참조하면, 상기 희생층(1)을 제거한 후, 상기 신축성 기관(10)이 아래에 위치하도록 뒤집으면, 상기 비신축성 기관(20)이 상기 신축성 기관(10)에 완전히 삽입된 구조를 이룬다. 상기 디바이스 칩(30)은, 상기 비신축성 기관(20) 위에만 배치된다. 상기 디바이스 칩(30)이 변형이 제한된 상기 비신축성 기관(20) 위에 배치되기 때문에, 상기 디바이스 칩(30)의 변형도 방지되어 안정성이 확보될 수 있다.
- [0056] 도 10g를 참조하면, 상기 희생층(1)을 제거하여 노출된 면에 신축성 소재를 도포하여 보호기재(11)를 형성한다. 상기 보호기재(11)는 노출된 상기 디바이스 칩들(30)과 상기 신축성 전극(40)위에 도포되어, 상기 디바이스 칩들(30)과 상기 신축성 전극(40)을 보호할 수 있다. 상기 보호기재(11)에 사용되는 신축성 소재는 상기 신축성 기관(10)의 소재와 동일한 것이 사용된다. 상기 보호기재(11)는 상기 디바이스칩들(30)과 상기 신축성 전극(40)을 보호할 수 있다.

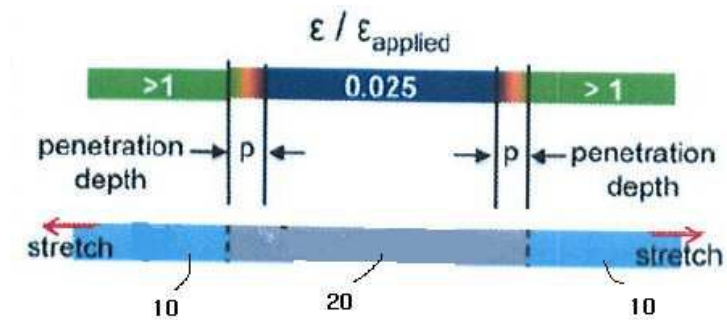
도면2



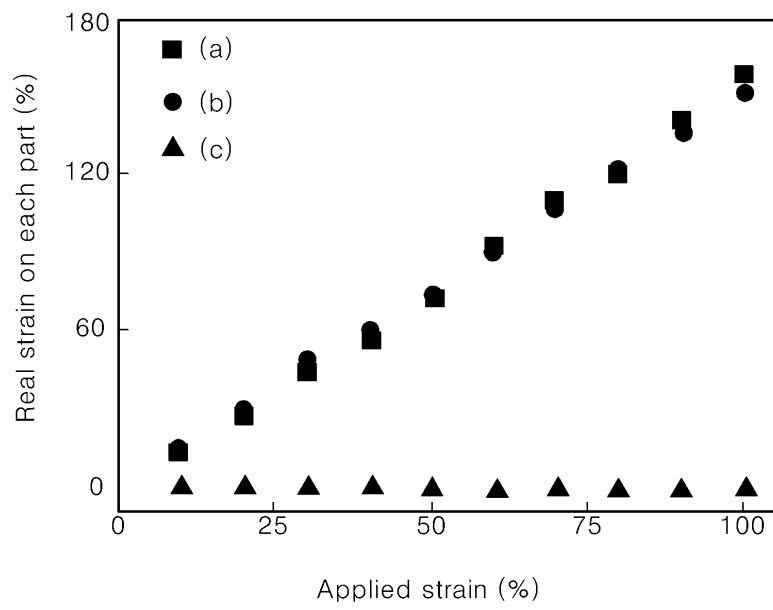
도면3



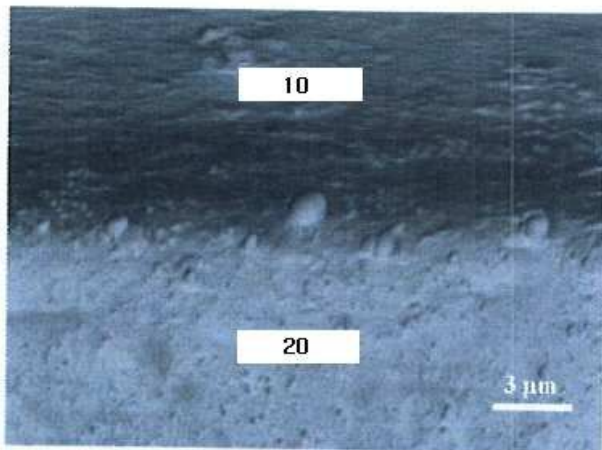
도면4



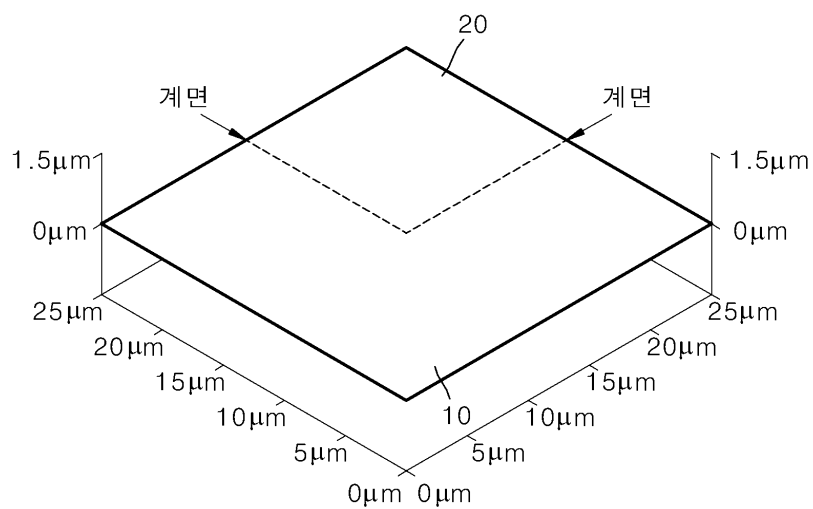
도면5



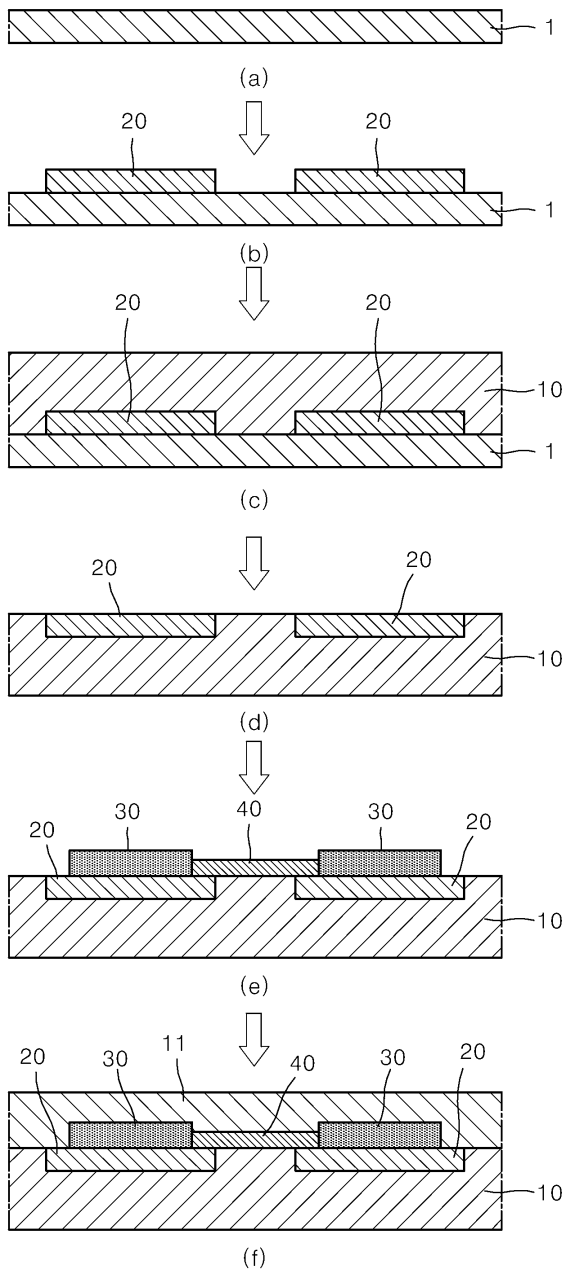
도면6



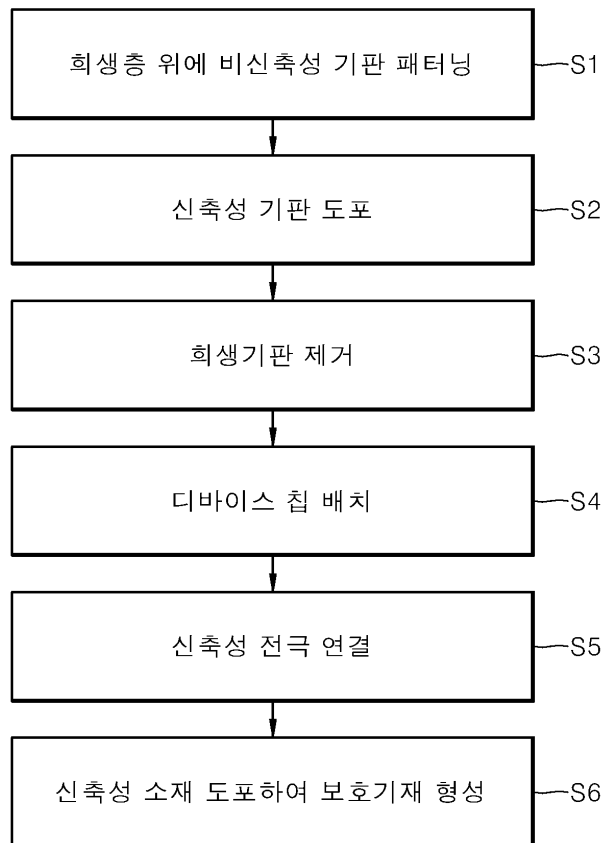
도면7



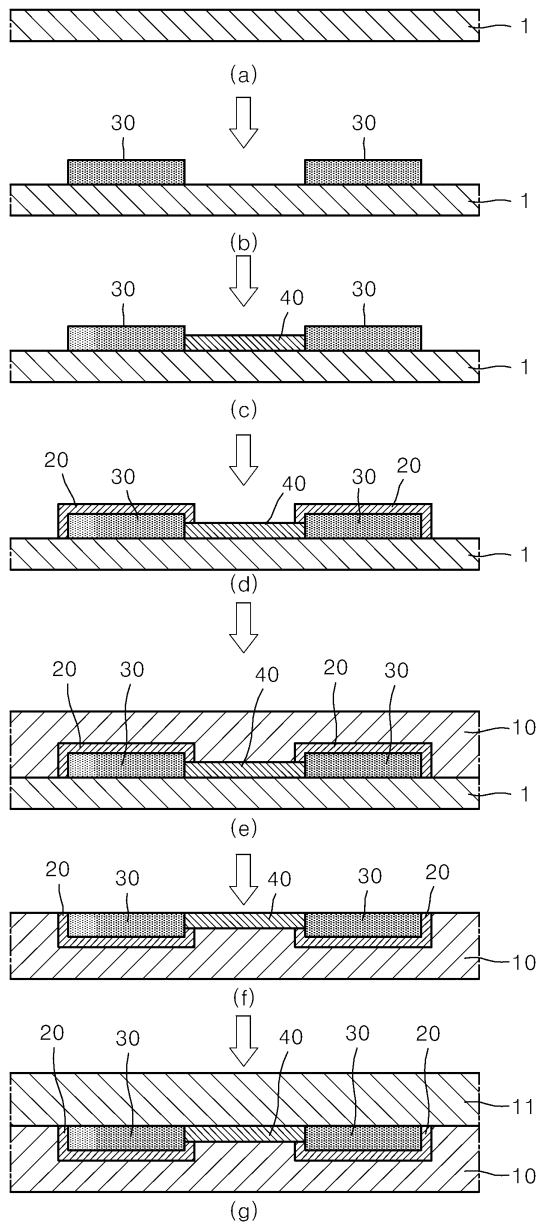
도면8



도면9



도면10



도면11

