



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년05월11일
 (11) 등록번호 10-1615732
 (24) 등록일자 2016년04월20일

(51) 국제특허분류(Int. Cl.)
 H03K 3/354 (2006.01)
 (21) 출원번호 10-2013-0146543
 (22) 출원일자 2013년11월28일
 심사청구일자 2013년11월28일
 (65) 공개번호 10-2015-0062032
 (43) 공개일자 2015년06월05일
 (56) 선행기술조사문헌
 KR1020100124549 A
 JP2013046248 A
 JP09246958 A
 KR100789700 B1

(73) 특허권자
 울산과학기술원
 울산광역시 울주군 언양읍 유니스트길 50
 (72) 발명자
 최재혁
 울산광역시 남구 신정로203번길 61 두산위브더제
 니스 제44층 101동 4401호
 유세연
 울산광역시 남구 수암로149번길 16-5 고려아파트
 B동 502호
 (74) 대리인
 특허법인충정

전체 청구항 수 : 총 8 항

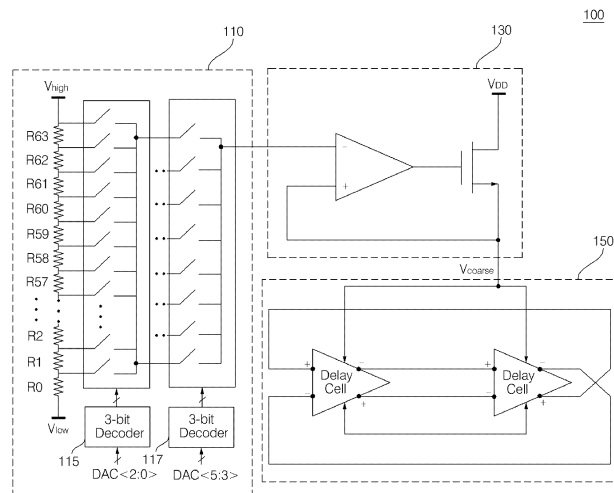
심사관 : 이승민

(54) 발명의 명칭 **광대역 이중 튜닝 링 전압제어 발진기**

(57) 요약

본 발명은 전압제어 발진기에 관한 것이다. 본 전압제어 발진기는, 제1 전압과 상기 제1 전압보다 낮은 제2 전압 사이를 소정 개수로 균등하게 분할한 전압 레벨 중 선택된 전압 레벨에 대응하는 전압을 출력하는 DAC(Digital-to-Analog Converter)부, 제1 및 제2 지연 셀을 포함하는 두단계 링 VCO부, 및 DAC부로부터 출력되는 전압을 정전압으로 변환하여, 주파수 대역을 설정하는 설정 전압으로 VCO부에 공급하는 전압 레플레이터부를 포함한다. 본 발명에 따르면, 전압 대 주파수 이득(K_{VCO})을 조절할 수 있는 기능을 갖는 광대역 이중 튜닝 링 전압제어 발진기가 제공된다.

대표도



이 발명을 지원한 국가연구개발사업

과제고유번호 2.130174.01

부처명 미래창조과학부

연구관리전문기관 울산테크노파크

연구사업명 울산과학연구단지육성사업 기초·원천 R&D과제 지원사업

연구과제명 CMOS 테라헤르츠 기반 비접촉식 선박 도장 두께 측정 기술 연구

기여율 1/1

주관기관 국립대학법인 울산과학기술대학교 산학협력단

연구기간 2013.04.01 ~ 2013.12.31

명세서

청구범위

청구항 1

제1 전압과 상기 제1 전압보다 낮은 제2 전압 사이를 소정 개수로 균등하게 분할한 전압 레벨 중 선택된 전압 레벨에 대응하는 전압을 출력하는 DAC(Digital-to-Analog Converter)부;

제1 및 제2 지연 셀을 포함하는 두 단계 링 VCO부; 및

상기 DAC부로부터 출력되는 전압을 정전압으로 변환하여, 주파수 대역을 설정하는 설정 전압으로 상기 VCO부에 공급하는 전압 레귤레이터부;를 포함하고,

상기 제1 및 제2 지연 셀은,

소스가 상기 설정 전압에 연결되는 제1 PMOSFET;

소스가 상기 설정 전압에 연결되는 제2 PMOSFET;

드레인은 상기 제1 PMOSFET의 게이트 및 드레인이 연결된 제1 노드에 연결되고, 소스는 접지단에 연결되는 제1 NMOSFET;

드레인은 상기 제2 PMOSFET의 게이트 및 드레인이 연결된 제2 노드에 연결되고, 소스는 접지단에 연결되는 제2 NMOSFET; 및

상기 제1 노드와 상기 제2 노드 사이에 연결된 래치 बैं크(latch bank)를 포함하는 것을 특징으로 하는 전압제어 발진기.

청구항 2

제1항에 있어서,

상기 DAC부는, 64개의 저항을 사용하는 6-비트 스트링 구조의 DAC인 것을 특징으로 하는 전압제어 발진기.

청구항 3

제2항에 있어서,

상기 DAC부는, 전압 레벨의 선택을 위한 두 개의 3-비트 디코더를 포함하는 것을 특징으로 하는 전압제어 발진기.

청구항 4

제1항에 있어서,

상기 전압 레귤레이터부는,

(-) 입력단에 상기 DAC부의 출력 전압이 연결되는 연산증폭기; 및

게이트는 상기 연산증폭기의 출력단에 연결되고, 드레인에는 전원 전압이 연결되며, 소스는 상기 연산증폭기의 (+) 입력단에 연결되어 상기 링 VCO부의 발진 주파수 대역을 설정하는 전압을 공급하는 MOSFET를 포함하는 것을 특징으로 하는 전압제어 발진기.

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 래치 뱅크는, 제1 내지 제4 래치부를 포함하는 것을 특징으로 하는 전압제어 발진기.

청구항 7

제6항에 있어서,

상기 제1 내지 제4 래치부 각각은,

소스에는 상기 설정 전압이 연결되고, 드레인에는 상기 제1 노드가 연결되는 제3 PMOSFET;

소스에는 상기 설정 전압이 연결되고, 드레인에는 상기 제2 노드가 연결되는제4 PMOSFET;

소스는 상기 제1 노드가 연결되고, 드레인은 상기 제4 PMOSFET의 게이트에 연결되는 제3 NMOSFET; 및

소스는 상기 제2 노드가 연결되고, 드레인은 상기 제3 PMOSFET의 게이트에 연결되며, 게이트는 상기 제3 NMOSFET의 게이트에 연결되는 제4 NMOSFET를 포함하는 것을 특징으로 하는 전압제어 발진기.

청구항 8

제6항에 있어서,

상기 래치 뱅크는, 상기 제1 내지 제4 래치부 중에서 선택된 래치부에 설정된 전압을 공급하는 스위칭부를 더 포함하는 것을 특징으로 하는 전압제어 발진기.

청구항 9

제1항 내지 제4항, 또는 제6항 내지 제8항 중 어느 한 항의 전압제어 발진기를 이용하여 기준 주파수를 생성하는 전자기기.

발명의 설명

기술 분야

[0001] 본 발명은 전압제어 발진기에 관한 것으로, 더욱 상세하게는 전압 대 주파수 이득(K_{VCO})을 조절할 수 있는 기능이 구비된 광대역 이중 튜닝 링 전압제어 발진기에 관한 것이다.

배경 기술

[0002] 최근 시간 영역에서 나노 초 이하의 임펄스 신호를 이용한 초광대역 무선 통신(Impulsed radio based ultra-wideband, IR-UWB)이 심장이나 호흡과 같은 인간의 생체 신호를 감지하는 도플러 레이더 시스템을 위한 실용적인 기술로서 주목받고 있다. IR-UWB의 큰 신호 대역폭에 의해 증가된 시간 분해능을 얻을 수 있으며, IR-UWB의 넓은 주파수 대역은 대상 및 조건에 따라 변화하는 생체 신호의 검출 정밀도를 극대화하기 위한 최적의 대역폭을 선택적으로 사용할 수 있게 한다.

[0003] 이러한 IR-UWB 시스템의 주요 구성 요소는 다중 GHz의 범위에서 기준 주파수를 생성하는데 사용되는 광대역 링 전압제어 발진기(VCO)이다.

[0004] 그런데, 일반적인 광대역 링 전압제어 발진기에서 과도한 전압대 주파수 이득(K_{VCO})은 불가피하다. 큰 K_{VCO} 는 결과적으로 너무 작은 차지 펌프(charge pump) 전류 또는 너무 큰 루프 필터(loop filter) 커패시턴스를 초래하므로, 큰 K_{VCO} 는 노이즈에 취약한 전압제어 발진기를 만들뿐만 아니라, 위상동기루프(Phase Locked Loop, PLL)의 디자인을 복잡하게 만든다. 또한, 서로 다른 주파수에서 K_{VCO} 의 민감한 변동 뿐만 아니라 프로세스, 전압, 온도(PVT) 변화는 위상동기루프의 안정성을 저하시킨다.

[0005] 최근에는 광대역 범위와 안정적인 K_{VCO} 를 얻기 위해, 서브 주파수 대역을 나누는 기술인 이중 주파수 튜닝 개념 등이 소개되고 있다. 그러나, 이러한 기술이 적용된 전압제어 발진기의 주파수 범위는 수백 MHz로 제한되어 있으며, K_{VCO} 를 스케일링할 수 있는 방법도 갖고 있지 않다.

[0006] 따라서, 보다 넓은 주파수 대역에 걸쳐 K_{VCO} 가 안정적으로 유지되어, 위상동기루프의 안정적인 동작을 보장할 수

있으며, K_{VCO} 스케일링 기능을 구비한 전압제어 발진기가 필요하다.

발명의 내용

해결하려는 과제

[0007] 따라서, 본 발명의 목적은, 전압 대 주파수 이득(K_{VCO})을 조절할 수 있는 기능을 갖는 광대역 이중 튜닝 링 전압 제어 발진기를 제공함에 있다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위한 본 발명에 따른 전압제어 발진기는, 제1 전압과 상기 제1 전압보다 낮은 제2 전압 사이를 소정 개수로 균등하게 분할한 전압 레벨 중 선택된 전압 레벨에 대응하는 전압을 출력하는 DAC(Digital-to-Analog Converter)부, 제1 및 제2 지연 셀을 포함하는 두단계 링 VCO부, 및 상기 DAC부로부터 출력되는 전압을 정전압으로 변환하여, 주파수 대역을 설정하는 설정 전압으로 상기 VCO부에 공급하는 전압 레귤레이터부를 포함한다.

[0009] 상기 DAC부는, 64개의 저항을 사용하는 6-비트 스트링 구조의 DAC인 것이 가능하며, 전압 레벨의 선택을 위한 두 개의 3-비트 디코더를 포함할 수 있다.

[0010] 그리고, 상기 목적을 달성하기 위하여 본 발명에서는, 상기 전압제어 발진기를 이용하여 기준 주파수를 생성하는 전자기기를 제공한다.

발명의 효과

[0011] 본 발명에 따르면, 전압 대 주파수 이득(K_{VCO})을 조절할 수 있는 기능을 갖는 새로운 광대역 이중 튜닝 링 전압 제어 발진기가 제공된다. 본 발명에 따른 전압제어 발진기, V_{coarse} 를 제어하는 DAC를 사용하여 6 GHz의 주파수 대역을 균등하게 분할할 수 있으며, DAC를 사용하여 디지털적으로 설정도 가능하다. 또한, 특정 타겟 발진 주파수는 지연 셀에서 래치의 강도를 변경하여 미세 조정할 수 있다. 그리고, 미세 조정을 위한 래치 뱅크에 의해, 전압 대 주파수 이득(K_{VCO})을 적절하게 조절할 수 있어, 전체적으로 2-8 GHz 주파수 대역에 걸쳐 전압 대 주파수 이득(K_{VCO})은 안정적으로 유지될 수 있으므로, 위상동기루프의 안정적인 작동도 보장할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일실시예에 따른 전압제어 발진기의 회로도,
 도 2는 도 1에서 지연 셀의 회로도,
 도 3 및 도 4는 본 발명의 일실시예에 따른 전압제어 발진기의 출력 스펙트럼을 나타낸 그래프,
 도 5는 본 발명에 따른 전압제어 발진기의 발진 주파수 대 V_{coarse} 를 나타낸 그래프,
 도 6은 본 발명에 따른 전압제어 발진기에서 측정된 위상 잡음(phase noise)을 나타낸 그래프,
 도 7은 본 발명의 일실시예에 따른 전압제어 발진기의 출력 주파수를 나타낸 그래프,
 도 8은 본 발명에 따른 전압제어 발진기에서 전압대 주파수 이득을 나타낸 그래프, 그리고
 도 9는 본 발명에 따른 전압제어 발진기의 성능을 비교한 표이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다.
 [0014] 도 1은 본 발명의 일실시예에 따른 전압제어 발진기의 회로도이다.
 [0015] 도 1을 참조하면, 본 전압제어 발진기(100)는 스트링 구조의 DAC(Digital-to-Analog Converter)부(110), 전압 레귤레이터부(130), 및 두 단계 링 VCO부(150)를 포함한다.
 [0016] 스트링 구조의 DAC부(110)는 일련의 레지스터를 직렬로 배치하는 구조의 D/A 컨버터로서, 스트링 구조로 인한

단조성을 보장한다. 본 전압제어 발진기(100)에서는 기본적으로 R0 내지 R63의 64개의 레지스터를 직렬로 배치하여, V_{high} 와 V_{low} 사이의 전압 레벨을 균등하게 분할하는 6-비트 스트링 구조의 DAC(110)를 사용할 수 있다.

[0017] 스트링 구조의 DAC부(110)에서 두 개의 3-비트 디코더 브리지(115, 117)는 DAC<5:0>에 따라, V_{high} 와 V_{low} 사이의 64 전압 레벨 중 하나를 전압 레귤레이터부(130)의 입력으로 제공한다.

[0018] 전압 레귤레이터부(130)는 DAC부(130)로부터 입력받은 전압을 정전압으로 변환하여 V_{coarse} 로 제공하며, 이 전압은 전압제어 발진기(100)의 주파수 대역을 설정한다. 본 전압제어 발진기(100)의 출력 주파수가 공급되는 전압에 의해 선형적으로 튜닝되기 때문에, 64의 주파수 대역은 균등하게 된다.

[0019] 도 2는 도 1에서 지연 셀을 나타낸 것이다.

[0020] 본 발명에 따른 전압제어 발진기(100)에서 지연 셀(Delay Cell)은, 각각 NMOSFET M_{n1} 와 M_{n2} , PMOSFET M_{p1} 와 M_{p2} , 및 래치 बैं크(latch bank)(170)를 포함한다.

[0021] 래치 बैं크(170)는, 4개의 래치부(171, 173, 175, 177)로 구성되며, 각 래치부는 PMOSFET 교차 결합 쌍(M_{p3} , M_{p4}), 및 피드백 루프의 두 개의 NMOSFET(M_{n3} , M_{n4})를 포함한다.

[0022] 이와 같은 구성에서, PMOSFET M_{p1} 또는 M_{p2} 는 V_{coarse} 에 반비례하도록 지연 셀(Delat Cell)의 출력 임피던스를 조절하기 때문에, 주파수 튜닝은 선형적이고, 튜닝 범위는 크게 확장된다.

[0023] 미세 조정을 위해, 전압제어 발진기(100)는 스위칭 소자로 NMOSFET M_{n3} 및 M_{n4} 를 사용하여 래치부(171, 173, 175, 177)의 강도를 제어한다. V_{fine} 이 감소할 때, 원하는 래치부는 출력 주파수가 증가하도록 한다.

[0024] 래치 बैं크(170)에서 4개의 래치부(171, 173, 175, 177)는 K_{VCO} 제어를 위한 것이다. 그리고 모든 래치부(171, 173, 175, 177)에서 M_{p3} 및 M_{p4} 는 동일한 크기이지만, M_{n3} (3:0), M_{n4} (3:0)의 W/L 비율은 10: 4: 3: 2로 설계된다.

[0025] 스위칭부 S<3:0>에 따라, M_{n3} <3:0> 및 M_{n4} <3:0>의 게이트는 V_{fine} 또는 V_{DD} 중 하나에 연결할 수 있다. 따라서, 단지 선택된 래치부(S(k)=1)만이 주파수 튜닝에 참여하여, S<3:0>의 더 높은 값은 결과적으로 더 높은 K_{VCO} 이 된다 .

[0026] 전압제어 발진기(100)의 안정적인 작동을 위해, MSB인 S<3>은 0으로 고정되고, 오실레이터에 대한 디폴트 패스를 제공한다. 따라서, 완전히 다른 8 개의 K_{VCO} 사용할 수 있다.

[0027] 한편, 본 발명에 따른 전압제어 발진기(100)에서 발진 주파수와 K_{VCO} 를 분석하면 다음과 같다.

[0028] 일반적으로 N-단계 링 VCO의 발진 주파수 f_{osc} 는 다음의 식과 같이 나타낼 수 있다.

수학식 1

$$f_{osc} \approx \frac{1}{2N\tau}, \quad \tau = R_{out}C_L$$

[0029]

[0030] 여기서, N 은 단계의 수, τ 은 한 단계의 전파 지연, R_{out} 은 출력 임피던스, C_L 은 부하 커패시턴스를 나타낸다. 따라서, R_{out} 의 변화에 따라 τ 가 변경되므로, 결국 f_{osc} 도 변경된다.

[0031] 도 2에 도시한 지연 셀에서 R_{out} 은 다음의 [수학식 2]와 같이 나타낼 수 있다.

수학식 2

$$R_{out} = (r_{on1} \parallel r_{op1} \parallel r_{op3} \langle 3 : 0 \rangle) \parallel \frac{1}{g_{mp1}} \parallel \frac{-1}{G_{Latch}}$$

$$\approx \frac{1}{g_{mp1} - G_{Latch}}$$

[0032]

[0033] 여기서, r_{on1} , r_{op1} , 및 $r_{op3} \langle 3 : 0 \rangle$ 는 각각 M_{n1} , M_{p1} , $M_{p3} \langle 3 : 0 \rangle$ 의 진성 출력 임피던스이다. 또한, g_{mp1} 는 M_{n1} 의 트랜스 컨덕턴스(transconductance)이고, G_{Latch} 는 래치(latch)의 트랜스 컨덕턴스이다.

[0034] [수학식 1]과 [수학식 2]에 의해, f_{osc} 는 다음과 같이 나타낼 수 있다.

수학식 3

$$f_{osc} \approx \frac{g_{mp1} - G_{Latch}}{2NC_L}$$

[0035]

[0036] [수학식 3]에 기초하여, 본 발명에 따른 전압제어 발진기(100)에서 f_{osc} 는 거시적 튜닝시 g_{mp1} 의 변화에 의해 제어되며, 미시적 튜닝시 G_{Latch} 변화에 의해 제어될 수 있다.

[0037] 거시적 튜닝과 관련하여, [수학식 3]에서 DC 동작점 g_{mp1} 는 다음과 같이 나타낼 수 있다.

수학식 4

$$g_{mp1} = \kappa_p \frac{W_{p1}}{L_{p1}} (V_{thp1} - V_{GS_{p1}}); \kappa_p = \mu_p C_{ox}$$

[0038]

[0039] 여기서, W_{p1}/L_{p1} 는 M_{p1} 의 종횡비(aspect ration) 이다.

[0040] [수학식 3]과 [수학식 4]로부터, f_{osc} 와 V_{coarse} 사이의 관계은 다음의 식과 같이 나타낼 수 있다.

수학식 5

$$f_{osc} \propto k_p \frac{W_{p1}}{L_{p1}} (V_{thp1} - V_{DSn1} + V_{coarse}) - G_{Latch}.$$

[0042] V_{coarse} 를 스위핑(sweeping)하여, 광대역 f_{osc} 는 선형적으로 제어될 수 있다.

[0043] 미시적 튜닝과 관련하여, [수학식 3]에서 G_{Latch} 는 बैंक에서 4개의 레지의 트랜스 컨덕턴스의 합으로 표현할 수 있다.

수학식 6

$$G_{Latch} = \sum_{k=0}^3 G_{Latch,sub} \langle k \rangle.$$

[0045] 각 레지에서 $M_{p4} \langle k \rangle$ 에 도달하기 전에 신호는 스위치 $M_{n3} \langle k \rangle$ 에 의해 억제된다. 그러므로, [수학식 6]에서 $G_{Latch,sub} \langle k \rangle$ 는 다음과 같이 $M_{n3} \langle k \rangle$, $R_{on,n3} \langle k \rangle$ 의 온 레지스턴스, 및 $M_{p4} \langle k \rangle$, $C_{p4} \langle k \rangle$ 의 게이트에서 커패시턴스로 구성된 진성 RC-필터에 의해 억제된 $g_{mp4} \langle k \rangle$ 로 간주할 수 있다.

수학식 7

$$G_{Latch,sub} \langle k \rangle = \frac{g_{mp4} \langle k \rangle}{\sqrt{1 + (wC_{p4} \langle k \rangle R_{on,n3} \langle k \rangle)^2}},$$

수학식 8

$$R_{on,n3}\langle k \rangle = \frac{1}{\kappa_n \left(\frac{W_{n3}}{L_{n3}} \right)_k (V_{fine} S \langle k \rangle + V_{DD} \overline{S \langle k \rangle} - V_{DSn1} - V_{th,n3})}$$

[0047]

[0048] 여기서, $(W_{n3}/L_{n3})_k$ 는 $M_{n3}\langle k \rangle$ 의 중형비이다. 그리고, $S\langle k \rangle$ 는, 도 2에 도시한 바와 같이, k번째 래치가 주파수 튜닝에 사용되면 1이고, 그 외의 경우에는 0을 나타낸다. 만일 $R_{on,n3}\langle k \rangle$ 이 충분히 큰 경우, $M_{p4}\langle k \rangle$ 가 동일한 크기를 가지므로, f_{osc} 와 V_{fine} 사이의 관계는 다음과 같이 나타낼 수 있다.

수학식 9

$$f_{osc} \propto g_{mp1} - \sum_{k=0}^3 \frac{\kappa_n g_{mp4}}{wC_{p4}} \left(\frac{W_{n3}}{L_{n3}} \right)_k \times (V_{fine} S \langle k \rangle + V_{DD} \overline{S \langle k \rangle} - V_{DSn1} - V_{th,n3}).$$

[0049]

[0050] 따라서, f_{osc} 는 V_{fine} 에 의해 미세하게 튜닝될 수 있다.

[0051] [수학식 9]에 따라, V_{fine} 에 대한 f_{osc} 의 변화율은 NMOS 스위치의 전체 크기인 W_{n3}/L_{n3} 에 비례한다.

[0052] 전술한 바와 같이, 가장 큰 스위치는 전압제어 발진기의 안정적인 동작을 위해 V_{fine} 대신 VDD에 연결된다.

[0053] K_{VCO} 의 관계는 다음의 식과 같이 나타낼 수 있다.

수학식 10

$$\begin{aligned} \frac{df_{osc}}{dV_{fine}} &\propto - \sum_{k=0}^2 \left(\frac{W_{n3}}{L_{n3}} \right)_k S \langle k \rangle, \frac{1}{2} \left(\frac{W_{n3}}{L_{n3}} \right)_0 \\ &= \frac{1}{3} \left(\frac{W_{n3}}{L_{n3}} \right)_1 = \frac{1}{4} \left(\frac{W_{n3}}{L_{n3}} \right)_2. \end{aligned}$$

[0054]

[0055] [수학식 10]에 기초하여, 전체 주파수 대역에서 $S \langle k \rangle$ 의 제어에 의해 8 레벨 중 하나로 K_{VCO} 는 스케일 될 수 있다.

[0056] 다음의 도 3 내지 도 8은 본 발명에 따른 전압제어 발진기를 실험한 결과를 나타낸 그래프이다. 실험을 위해, 본 발명에 따른 전압제어 발진기(100)를 65nm CMOS 공정으로 제작하였다. 그리고, DAC부(110)의 V_{high} 와 V_{low} 는 각각 1.35V와 0.71V로 설정하였다.

[0057] 도 3 및 도 4는 본 발명에 따른 전압제어 발진기의 출력 스펙트럼(output spectrum)을 나타낸 그래프이다.

[0058] 도 3은 4.04 GHz에서 측정된 출력 스펙트럼을 나타낸 것이고, 도 4는 8.16 GHz에서 측정된 출력 스펙트럼을 나타낸 것이다.

[0059] 도 5는 본 발명에 따른 전압제어 발진기의 발진 주파수 대 V_{coarse} 를 나타낸 그래프이다.

[0060] 도 5를 참조하면, 본 발명에 따른 전압제어 발진기는, 2-8 GHz를 커버하여, 결과적으로 120% 튜닝 범위를 나타낸다. 또한, 선형적인 발진 주파수 대 V_{coarse} 곡선은, 전압제어 발진기(100)가 균등하게 분할된 서브 밴드를 제공한다라는 것을 보여 준다.

[0061] 도 6은 4.21 GHz에서 측정된 위상 잡음(phase noise)을 나타낸 것이다.

[0062] 도 6을 참조하면, 본 발명에 따른 전압제어 발진기에서 위상 잡음은 100 KHz에서 -82.7 dBc/Hz, 1 MHz에서 -101 dBc/Hz을 나타낸다

[0063] 도 7은 본 발명에 따른 전압제어 발진기의 출력 주파수를 나타낸 그래프이다.

[0064] 도 7에서, V_{fine} 에 대한 발진 주파수를 V_{coarse} 에 의해 설정된 세 가지 대역에서 측정하였다. 즉, 7.5 GHz 부근의 고대역, 5.0 GHz 부근의 중간대역 및 3.5 GHz의 주위에 낮은 대역이다.

[0065] 도 7에서 알 수 있는 바와 같이, V_{fine} 이 증가적으로 스위프(sweep)할 때, 발진 주파수는 감소하고, 이는 강한 래치가 빠른 전압제어 발진기의 진동을 방해한다는 분석에 대응한다.

[0066] 도 7에서, 더 많은 래치가 V_{fine} 에 의해 제외되면(더 높은 $S \langle 2:0 \rangle$), 곡선의 기울기는 가파르게 되고, 결과적으로 높은 K_{VCO} 를 유도한다.

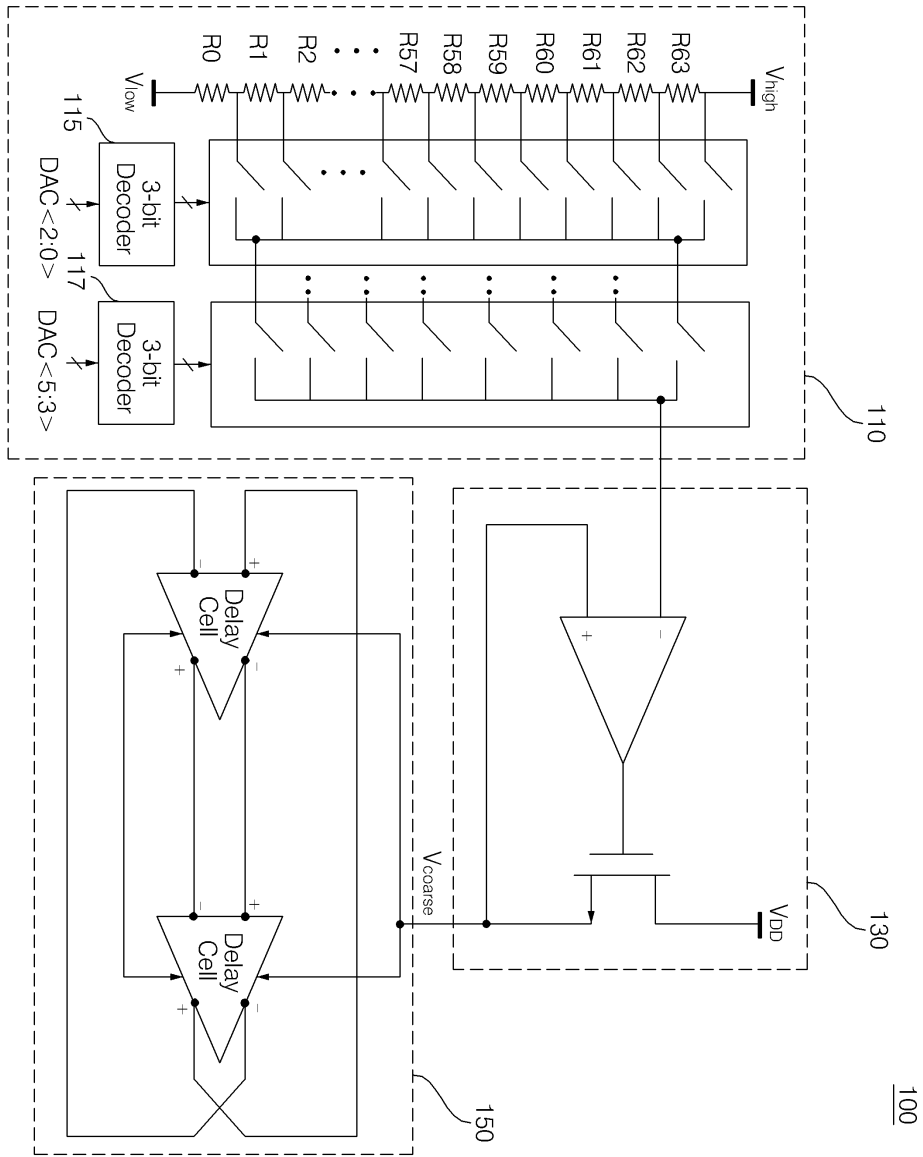
[0067] 이러한 경향은, 도 8에서, K_{VCO} 대 $S \langle 2:0 \rangle$ 의 그래프로 시각화된다. $S \langle 2:0 \rangle$ 의 변경에 따라 K_{VCO} 필요한만큼 스케일링할 수 있다.

[0068] 예를 들어, 도 8에서 회색으로 강조된 영역에서, $S \langle 2:0 \rangle$ 가 각 밴드에서 적절하게 설정될 때, K_{VCO} 는 멀티 GHz의 범위에 걸쳐 일정하게 되어, PLL의 안정성을 보장하게 된다. 전압제어 발진기(VCO)의 활성 영역은 0.038 mW이며, 전력 소비는 2 GHz에서 1.7mW, 8 GHz에서 6.8mW이다.

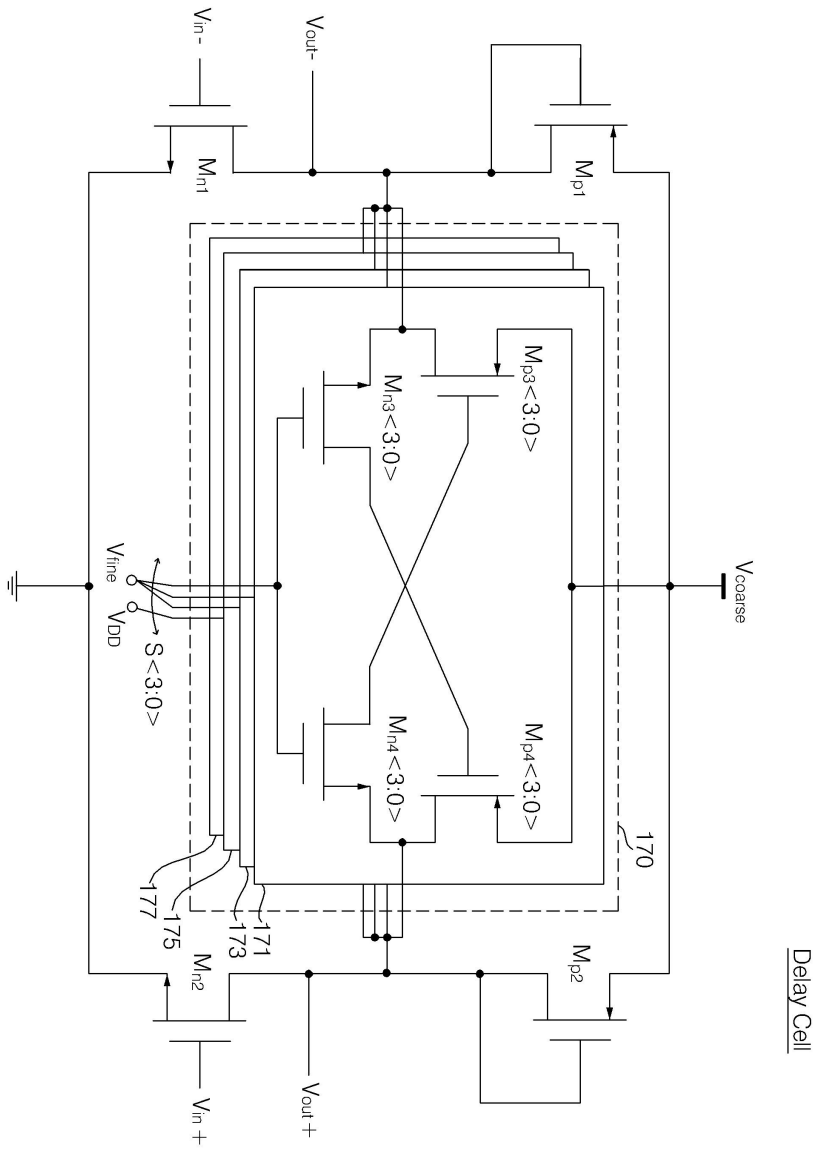
[0069] 도 9는 본 발명에 따른 전압제어 발진기의 성능을 비교한 표이다.

도면

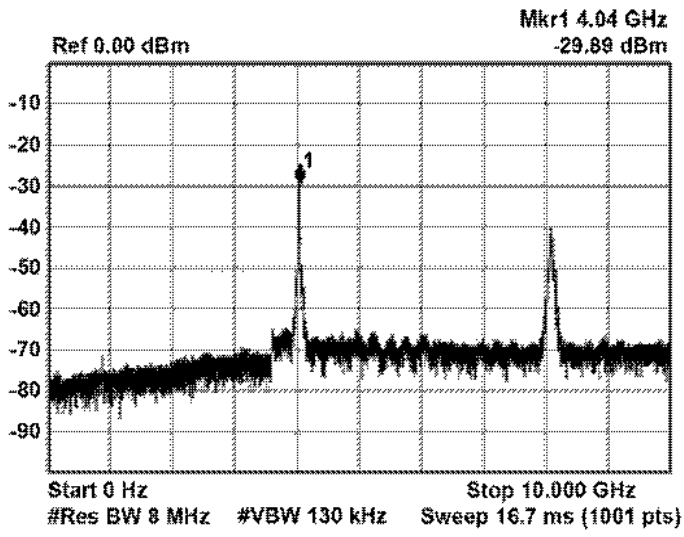
도면1



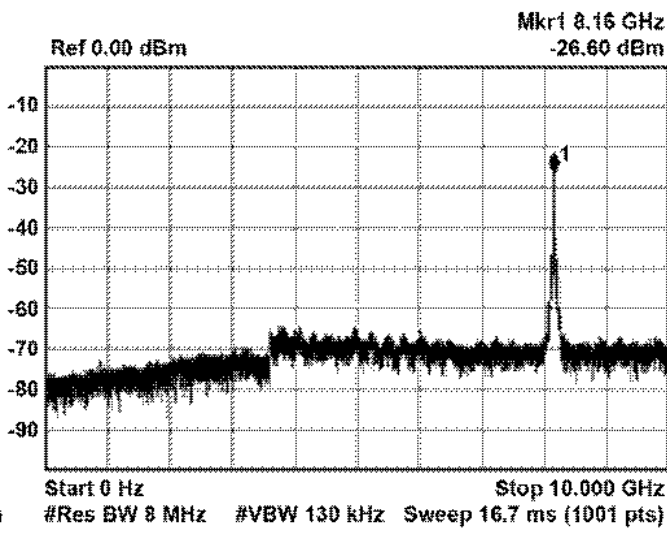
도면2



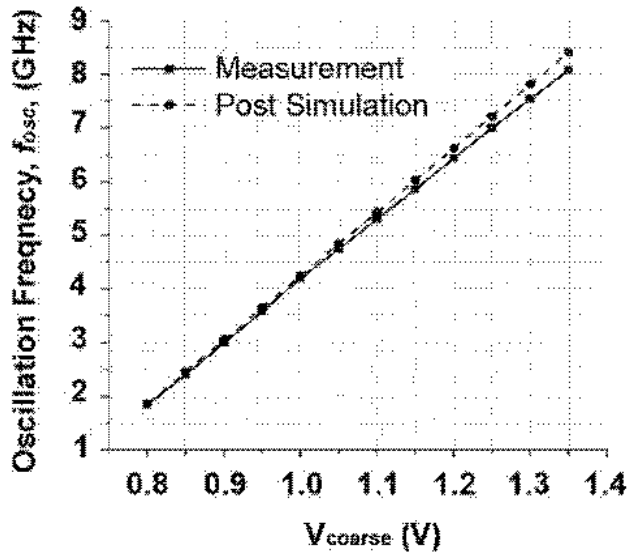
도면3



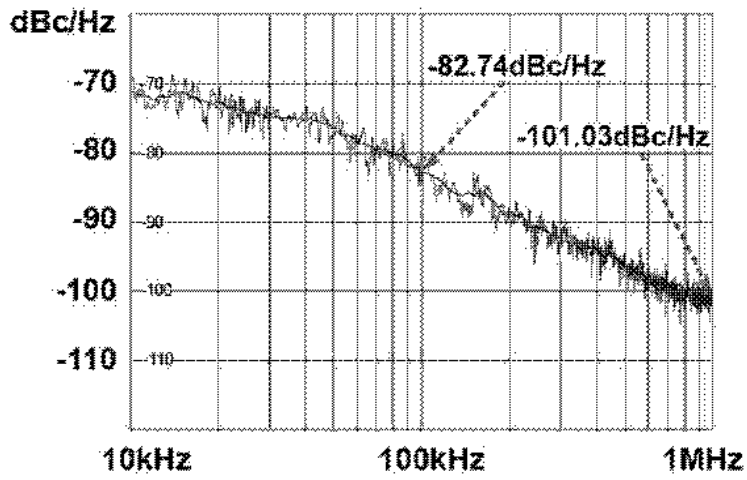
도면4



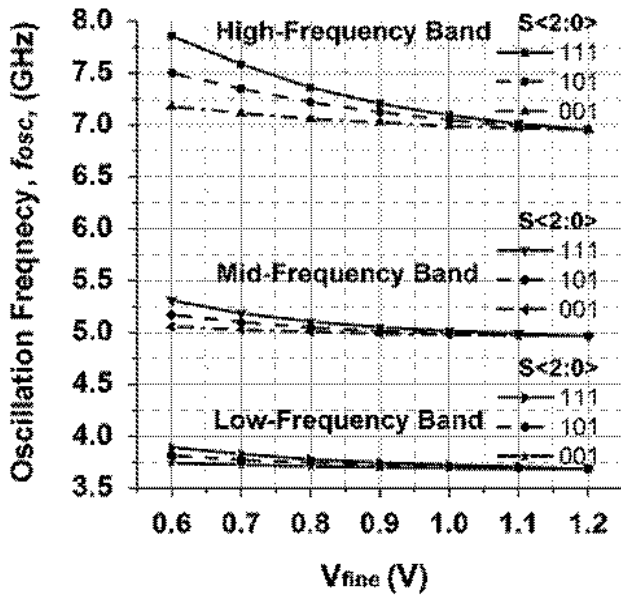
도면5



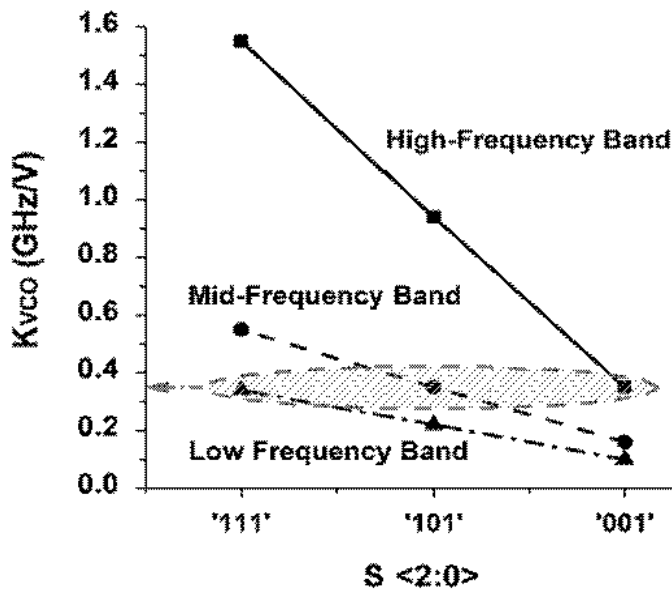
도면6



도면7



도면8



도면9

Reference	[2]	[3]	[4]	[6]	[7]	This Work
Dual-tuning/ Scalable K_{VCO}	Y/N	Y/N	N/N	N/N	N/N	Y/Y
Process	130nm CMOS	0.35um CMOS	130nm CMOS	130nm CMOS	130nm CMOS	65nm CMOS
FTR	7.39%	4.1%	161%	77%	139.4%	120%
Range (Hz)	7.3-7.86G	2.4-2.5G	1-9.4G	6-13.5G	1.8-10.2G	2-8G
PN (dBc/Hz) @ f_{off}/f_{osc} (Hz)	-103.4@ 1M/7.64G	-97@ 1M/2.4G	-112@ 10M/6G	-69.36@ 1M/13G	-88.4@ 1M/5.65G	-101@ 1M/4.2G
P_{DC} (mW)	60	NA	3.7	30	5	6.4**
*FOM	160.7	NA	186	154.6	179.3	187

$$*FOM = -PN(f_{off}) + 20\log\frac{f_{osc}}{f_{off}} - 10\log\frac{P_{DC}}{1mW} + 20\log\frac{FTR}{10} [5]$$

** Highest power consumption over the frequency range

【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 제4항의 제5행

【변경전】

링 VCC부

【변경후】

링 VCO부