



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월18일
 (11) 등록번호 10-1697309
 (24) 등록일자 2017년01월11일

(51) 국제특허분류(Int. Cl.)
 H03L 7/081 (2006.01) H03K 5/13 (2014.01)
 (21) 출원번호 10-2014-0194797
 (22) 출원일자 2014년12월31일
 심사청구일자 2014년12월31일
 (65) 공개번호 10-2016-0083428
 (43) 공개일자 2016년07월12일
 (56) 선행기술조사문헌
 KR100644127 B1

(73) 특허권자
울산과학기술원
 울산광역시 울주군 언양읍 유니스트길 50
 (72) 발명자
최재혁
 울산광역시 남구 신정로203번길 61 101동 44층
 4401호 (신정동, 두산위브더제니스)
유세연
 울산광역시 남구 수암로149번길 16-5 B동 502호
 (야음동, 고려아파트)
성태호
 울산광역시 울주군 언양읍 유니스트길 50 울산과
 학기술대학교 기숙사 304동 404-1
 (74) 대리인
특허법인 프렌즈드림

전체 청구항 수 : 총 4 항

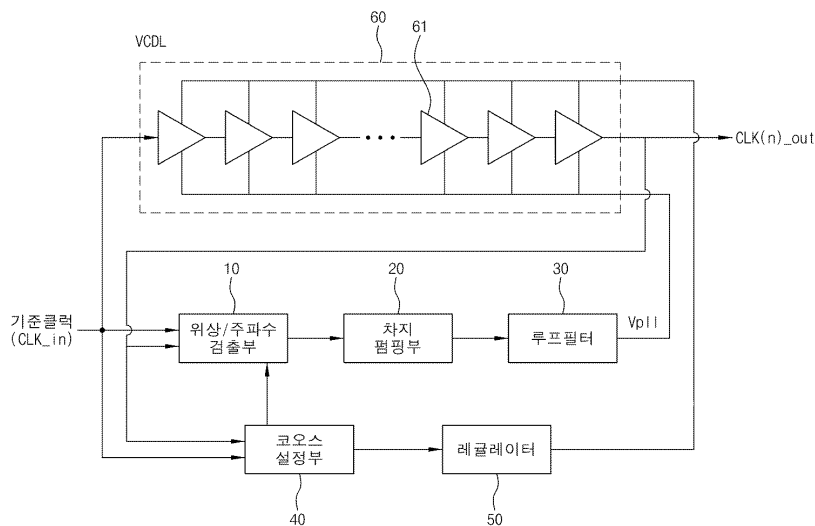
심사관 : 박정근

(54) 발명의 명칭 **광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로 그 지연 고정 방법**

(57) 요약

본 발명은 입력 클럭과 출력 클럭의 비교 결과에 따라 지연 타이밍을 최적의 밴드에 위치시켜 광대역 밴드를 이루도록 하면서도 락킹 오류(False Lock)을 방지할 수 있는 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로 그 위상 고정 방법에 관한 것으로, 외부로부터의 기준 클럭과 피드백 클럭신호의 위상과 주파수 비교 결과에 따라 발진 제어전압을 생성 및 출력하는 지연 제어부; 락킹 오류(False Lock)을 방지 조건에 따라 밴드 영역을 설정하는 코오스 설정부; 상기 코오스 설정부의 밴드 설정 영역에 상응하는 설정 전압 레벨을 조정하여 출력하는 레귤레이터; 및 상기 지연 제어부의 제어 전압과 상기 레귤레이터의 설정 전압에 따라 적어도 한 출력 클럭의 위상과 전압 레벨을 가변시켜 출력하는 전압 제어 지연라인을 구비한 것을 특징으로 한다.

대표도



이 발명을 지원한 국가연구개발사업

과제고유번호 9991001091

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 일반연구자지원(미래부)

연구과제명 Injection-Locking 기술 기반 CMOS 77GHz/24GHz 듀얼모드 차량용 레이더 송수신 IC 연구

기여율 1/1

주관기관 울산과학기술대학교

연구기간 2013.09.01 ~ 2014.08.31

명세서

청구범위

청구항 1

외부로부터의 기준 클럭과 피드백 클럭신호의 위상과 주파수 비교 결과에 따라 발진 제어전압을 생성 및 출력하는 지연 제어부;

락킹 오류 방지 조건에 따라 밴드 영역을 설정하는 코오스 설정부;

상기 코오스 설정부의 밴드 설정 영역에 상응하는 설정 전압 레벨을 조정하여 출력하는 레귤레이터; 및

상기 지연 제어부의 제어 전압과 상기 레귤레이터의 설정 전압에 따라 적어도 한 출력 클럭의 위상과 전압 레벨을 가변시켜 출력하는 전압 제어 지연라인을 구비하며,

상기 코오스 설정부는

상기의 락킹 오류 방지 조건에 따라 밴드 영역을 설정하여 상기 기준 클럭과 상기 전압 제어 지연라인으로부터 출력된 피드백 클럭신호를 공급받아 밴드 영역 설정 전압 값을 출력하고, 상기 전압 제어 지연라인에서 출력되는 적어도 한 출력 클럭의 지연 시간 및 수치가 최소화되도록 초기에 상기 레귤레이터를 통해 출력되는 설정 전압과 함께 상기 지연 제어부의 발진 제어전압을 조정하며,

[수학식 1]

$$0.5T_{ref} < T_{VCDL} < 1.5T_{ref}$$

상기 락킹 오류 방지 조건은 상기 수학식 1로서, 상기 밴드 설정 영역에 상응하는 설정 전압 레벨을 조정하고,

기준 클럭(CLK_in)이 0.5TRef 보다 큰 경우, 1단계 고정(Coarse Lock)이 0.5TRef와 TRef 사이에 위치하게 되어 1 단계의 지연 클럭(CLK_out1)이 출력되고, 1 단계의 지연 클럭(CLK_out1)이 출력된 이후, 다음 단계들의 지연 클럭(CLK(n)_out)이 순차적으로 출력되며,

각 밴드의 최대 주파수와 최소 주파수의 분주비 n은 일정하고, 주파수(1/Delay)가 지수적으로 증가하는 밴드 대역에 설정되며,

[수학식 2]

$$\frac{1}{n}f_2 < f_1 < n \cdot f_2, \quad \frac{1}{n}f_1 < f_2 < n \cdot f_1$$

주파수 f1 및 f2는

상기 수학식 2의 관계를 가지며,

상기 수학식 2의 n은 n<2로 설정되는 것을 특징으로 하는 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로.

청구항 2

제 1 항에 있어서,

상기 지연 제어부는

상기 기준 클럭과 상기 피드백 클럭신호의 위상과 주파수의 차이를 검출하는 위상/주파수 검출부,

상기 위상/주파수 검출부의 검출신호를 입력받아 충/방전신호를 출력하는 차지 펌핑부, 및

차지 펌핑부로부터의 충/방전신호에 의해 충/방전되는 발진 제어전압을 전압 제어 지연라인으로 출력하는 루프

필터를 구비를 구비한 것을 특징으로 하는 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로.

청구항 3

삭제

청구항 4

삭제

청구항 5

외부로부터의 기준 클럭과 피드백 클럭신호의 위상과 주파수 비교 결과에 따라 발진 제어전압을 생성 및 출력하는 단계;

락킹 오류(False Lock) 방지 조건에 따라 밴드 영역을 설정하는 단계;

상기 설정된 밴드 설정 영역에 상응하는 설정 전압 레벨을 조정하여 출력하는 단계;

상기 발진 제어 전압과 상기 설정 전압에 따라 적어도 한 출력 클럭의 위상과 전압 레벨을 가변시켜 출력하는 단계를 포함하며,

상기 밴드 영역을 설정하는 단계는

상기의 락킹 오류 방지 조건에 따라 밴드 영역을 설정하여 상기 기준 클럭과 전압 제어 지연라인으로부터 출력된 상기 피드백 클럭신호를 공급받아 밴드 영역 설정 전압 값을 출력하는 단계, 및

상기 전압 제어 지연라인에서 출력되는 적어도 한 출력 클럭의 지연 시간 및 수치가 최소화되도록 초기에 레귤레이터를 통해 출력되는 설정 전압과 함께 지연 제어부의 상기 발진 제어전압을 조정하는 단계를 포함하되,

[수학식 1]

$$0.5T_{ref} < T_{VCDL} < 1.5T_{ref}$$

상기 락킹 오류 방지 조건은 상기 수학식 1로서, 상기 밴드 설정 영역에 상응하는 설정 전압 레벨을 조정하고,

기준 클럭(CLK_in)이 0.5TRef 보다 큰 경우, 1단계 고정(Coarse Lock)이 0.5TRef와 TRef 사이에 위치하게 되어 1 단계의 지연 클럭(CLK_out1)이 출력되고, 1 단계의 지연 클럭(CLK_out1)이 출력된 이후, 다음 단계들의 지연 클럭(CLK(n)_out)이 순차적으로 출력되며,

각 밴드의 최대 주파수와 최소 주파수의 분주비 n은 일정하고, 주파수(1/Delay)가 지수적으로 증가하는 밴드 대역에 설정되며,

[수학식 2]

$$\frac{1}{n}f_2 < f_1 < n f_2, \quad \frac{1}{n}f_1 < f_2 < n f_1$$

주파수 f1 및 f2는

상기 수학식 2의 관계를 가지며,

상기 수학식 2의 n은 n<2로 설정되는 것을 특징으로 하는 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로의 구동방법.

청구항 6

제5항에 있어서,

상기 발진 제어전압을 생성 및 출력 단계는

위상/주파수 검출부를 이용하여 상기 기준 클럭과 피드백 클럭신호의 위상과 주파수의 차이를 검출하는 단계;

상기 위상/주파수 검출부의 검출신호를 입력받아 충/방전신호를 출력하는 단계,

상기 충/방전신호에 의해 충/방전되는 발진 제어전압을 전압 제어 지연라인으로 출력하는 단계를 포함한 것을 특징으로 하는 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로의 구동방법.

청구항 7

삭제

청구항 8

삭제

발명의 설명

기술 분야

[0001] 본 발명은 광대역 동작 범위를 갖는 지연 고정 루프(DLL: Delay Locked Loop) 회로에 관한 것으로, 특히 입력 클럭과 출력 클럭의 비교 결과에 따라 지연 타이밍을 최적의 밴드에 위치시켜 광대역 밴드를 이루도록 하면서도 락킹 오류(False Lock)을 방지할 수 있는 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로 그 지연 고정 방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 시스템이나 회로에서 사용되는 클럭은 여러 경로를 거치면서 다소 지연되어 클럭 간에 위상차(Clock Skew)가 발생하게 된다. 지연 고정 루프는 이러한 클럭 간의 위상차를 맞추면서 위상차를 보상하여 각 클럭이 동일한 위상을 갖도록 하기 위해 사용된다.

[0003] 지연 고정 루프는 지트(jitter)특성과 위상응답(phase response)특성 등이 좋으므로 직렬 데이터(serial data)를 복구하는데 많이 이용된다. 다시 말해, 기준클럭보다 빠른 주파수의 직렬 데이터가 입력되는 경우에, 기준클럭을 받아들여 다중 위상을 갖는 동일 주파수의 클럭을 생성하여 기준클럭에 동기 되어 전송되는 직렬 데이터를 복구한다.

[0004] 대부분의 응용에서 사용되는 기준클럭은 낮은 주파수에서부터 높은 주파수까지 넓은 범위를 가지므로, 지연 고정 루프는 넓은 범위에서 다중 위상 클럭을 생성할 수 있어야 한다. 그러나 지연 고정 루프는 하모닉 락(Harmonic Lock)과 같은 잘못된 고정으로 인하여 동작 주파수 범위를 제한받게 된다.

[0005] 종래 기술로 출원번호 10-2006-0026574호에 제시된 지연 고정 루프 회로는 복수개의 차지 펄핑 회로를 이용해 동작 주파수 범위를 설정하고 안정적으로 유지하고 있다.

[0006] 하지만, 출원번호 10-2006-0026574호에도 마찬가지로 지연 고정 루프를 구성하는 전압 제어 지연라인(VCDL: Voltage Controlled Delay Line)은 최소 또는 최대 지연 값이 제한되어 매우 좁은 영역에서 동작하므로, 이러한 문제의 해결을 위해 외부에서 세팅을 바꾸어 주거나, 별도의 복잡한 회로구성을 하게 된다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 입력 클럭과 출력 클럭의 비교 결과에 따라 지연 타이밍을 최적의 밴드에 위치시켜 광대역 밴드를 이루도록 하면서도 락킹 오류(False Lock)을 방지할 수 있는 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로 그 위상 고정 방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

[0008] 상기와 같은 목적을 달성하기 위한 본 발명의 실시 예에 따른 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로는 외부로부터의 기준 클럭과 피드백 클럭신호의 위상과 주파수 비교 결과에 따라 발진 제어전압을 생성 및 출력하는 지연 제어부; 락킹 오류 방지 조건에 따라 밴드 영역을 설정하는 코오스 설정부; 코오스 설정부의

밴드 설정 영역에 상응하는 설정 전압 레벨을 조정하여 출력하는 레귤레이터; 및 지연 제어부의 제어 전압과 상기 레귤레이터의 설정 전압에 따라 적어도 한 출력 클럭의 위상과 전압 레벨을 가변시켜 출력하는 전압 제어 지연라인을 구비한 것을 특징으로 한다.

[0009] 또한, 상기와 같은 목적을 달성하기 위한 본 발명의 실시 예에 따른 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로의 위상 고정 방법은 외부로부터의 기준 클럭과 피드백 클럭신호의 위상과 주파수 비교 결과에 따라 발진 제어전압을 생성 및 출력하는 단계; 락킹 오류(False Lock)을 방지 조건에 따라 밴드 영역을 설정하는 단계; 설정된 밴드 설정 영역에 상응하는 설정 전압 레벨을 조정하여 출력하는 단계; 발진 제어 전압과 상기 설정 전압에 따라 적어도 한 출력 클럭의 위상과 전압 레벨을 가변시켜 출력하는 단계를 포함한 것을 특징으로 한다.

발명의 효과

[0010] 상기와 같은 다양한 기술 특징을 갖는 본 발명의 실시 예에 따른 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로 그 지연 고정 방법은 입력 클럭과 출력 클럭의 비교 결과에 따라 지연 타이밍을 최적의 밴드에 위치시켜 광대역 밴드를 이루도록 하면서도 락킹 오류(False Lock)을 방지할 수 있다.

[0011] 즉, 각각의 밴드들이 락킹 오류가 발생하지 않을 조건을 만족하므로 안정성을 유지할 수 있다. 그리고 지연 타이밍을 최적의 밴드에 위치시켜 밴드 수를 임의로 선택할 수 있으므로 광대역 밴드를 형성할 수 있으며, 모든 밴드에 걸쳐 락킹 타이밍을 일정 시간 이하로 제한할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 실시예에 따른 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로를 나타낸 구성도.

도 2는 도 1에 도시된 코오스 설정부 및 지연 회로부의 출력 파형을 나타낸 파형도.

도 3은 지수적으로 증가하는 밴드 영역에 따른 출력 전압 대역을 나타낸 그래프.

도 4는 본 발명의 실시예에 의한 지연 고정 루프 회로의 지연 고정 방법을 나타낸 순서도.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0014] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0015] 이하, 본 발명의 실시예를 첨부한 도면들을 참조하여 상세히 설명하기로 한다.

[0016] 도 1은 본 발명의 실시예에 따른 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로를 나타낸 구성도이다.

[0017] 도 1의 지연 고정 루프 회로는 외부로부터의 기준 클럭(CLK_in)과 피드백 클럭신호의 위상과 주파수 비교 결과에 따라 발진 제어전압(Vd11)을 생성 및 출력하는 지연 제어부(10,20,30); 락킹 오류(False Lock) 방지 조건에 따라 밴드 영역을 설정하는 코오스 설정부(Coarse Setting, 40); 코오스 설정부(40)의 밴드 설정 영역에 상응하는 설정 전압(V_set) 레벨을 조정하여 출력하는 레귤레이터(50); 및 지연 제어부(10,20,30)의 제어 전압(Vd11)과 레귤레이터(50)의 설정 전압(V_set)에 따라 적어도 한 출력 클럭(CLK_in)의 위상과 전압 레벨을 가변시켜 출력하는 전압 제어 지연라인(VCDL: Voltage Controlled Delay Line, 60)을 구비한다.

[0018] 지연 제어부(10,20,30)는 기준 클럭(CLK_in)과 전압 제어 지연라인(60)으로부터 피드백된 피드백 클럭신호의 위상과 주파수 비교 결과에 상응하는 발진 제어전압(Vd11)을 생성하게 되는데, 이를 위해 지연 제어부(10,20,30)는 기준 클럭(CLK_in)과 상기 피드백 클럭신호의 위상과 주파수의 차이를 검출하는 위상/주파수 검출부(10), 위상/주파수 검출부(10)의 검출신호를 입력받아 충/방전신호를 출력하는 차지 펌핑부(20), 차지 펌핑부(20)로부터의 충/방전신호에 의해 충/방전되는 발진 제어전압(Vd11)을 전압 제어 지연라인(60)으로 출력하는 루프 필터(Loop Filter, 30)를 구비한다.

[0019] 구체적으로, 위상/주파수 검출부(10)는 기준 클럭(CLK_in)과 전압 제어 지연라인(60)으로부터 출력된 피드백 클

럭신호의 위상/주파수 차이를 검출하여 업 검출신호와 다운 검출신호를 생성한다. 업 검출신호는 피드백 클럭 신호의 위상이 기준 클럭(CLK_in)의 위상보다 뒤서는 경우, 그 위상 차이 만큼에 해당하는 펄스 폭을 가지는 신호이고, 다운 검출신호는 피드백 클럭신호의 위상이 기준클럭(CLK_in)의 위상보다 앞서는 경우 그 위상 차이 만큼에 해당하는 펄스 폭을 가지는 신호이다.

[0020] 차지 펌핑부(20)는 업 검출신호와 다운 검출신호에 대응하는 차지 펌핑 동작을 통해 루프필터(30)를 충전 또는 방전시키며, 이에 따라 루프 필터(30)에서 출력되는 발진 제어전압의 전압레벨이 달라지게 된다. 다시 말하면, 업 검출신호에 응답하여 발진 제어전압의 전압레벨은 높아지고 다운 검출신호에 응답하여 발진 제어전압의 전압레벨은 낮아진다.

[0021] 루프필터(30)는 전압 제어 지연라인(60)을 제어하기 위한 제어전압 생성부로 동작된다. 구체적으로, 루프필터(30)는 차지 펌핑부(20)의 포지티브 차지 펌핑 동작에 의해 공급된 전하만큼 충전하여 그에 대응하는 발진 제어전압(Vd11)을 생성하고, 네가티브 차지 펌핑 동작에 의해 빠져나간 전하만큼 방전하여 그에 대응하는 발진 제어전압(Vd11)을 생성하도록 동작된다. 다시 말하면, 루프필터(30)의 발진 제어전압(Vd11)은 차지 펌핑부(20)의 충전 동작에 의해 전압레벨이 높아지고 방전 동작에 의해 전압레벨이 낮아지게 된다.

[0022] 지연 제어부(10,20,30)의 반복된 동작에 따라 발진 제어전압(Vd11)의 위상이 기준 클럭(CLK_in)과 동기화되는데, 이렇게 발진 제어전압(Vd11)의 위상이 기준클럭(CLK_in)과 동기화되는 것을 "지연 락킹"이라 한다. 이때, 지연 시간은 발진 제어전압(Vd11)에 따라 조절된다. 발진 제어전압(Vd11)이 높을수록 지연시간이 짧으며, 발진 제어전압(Vd11)이 낮을수록 지연시간이 길어진다. 이렇게 루프를 돌면서 지속적으로 교정작업을 통해 발진 제어전압(Vd11)이 목표 주파수 오차범위 이내의 주파수를 출력할 수 있도록 교정하는 것이다.

[0023] 코오스 설정부(40)는 락킹 오류(False Lock) 방지 조건에 따라 밴드 영역을 설정한다. 이를 위해, 코오스 설정부(40)는 초기에 레귤레이터(50)를 통해 출력되는 설정 전압(V_set)과 함께 지연 제어부의 발진 제어전압(Vd11)이 조정되도록 하여 전압 제어 지연라인(60)이 지연 기간 및 수치가 최소화되도록 한다. 그리고, 코오스 설정부(40)는 기준 클럭(CLK_in)과 전압 제어 지연라인(60)으로부터 출력된 피드백 클럭신호를 공급받고 락킹 오류 방지 조건에 따라 밴드 영역을 설정하여 밴드 영역 설정 전압 값을 출력한다. 이때, 락킹 오류 방지 조건은 하기의 수학적 1의 조건이 될 수 있다.

수학적 1

$$0.5T_{ref} < T_{VCDL} < 1.5T_{ref}$$

[0024]

[0025] 레귤레이터(50)는 코오스 설정부(40)의 밴드 설정 영역에 상응하는 설정 전압(V_set) 레벨을 조정하여 출력한다.

[0026] 전압 제어 지연라인(VCDL: Voltage Controlled Delay Line, 60)은 상기 지연 제어부(10,20,30)의 제어 전압(Vd11)과 레귤레이터(50)의 설정 전압(V_set)에 따라 소정 시간만큼 지연시키면서 N개 지연 셀(cell)을 통해 지연된 클럭(CLK(n)_out)을 출력한다. 전압 제어 지연라인(60)에서 출력되는 지연 클럭(CLK(n)_out)의 지연된 정도는 제어 전압(Vd11)과 레귤레이터(50)의 설정 전압(V_set)에 의해 달라진다. 최종 단계 지연 클럭(CLK(n)_out)은 코오스 설정부(40)로 공급된다. 결국, 전압 제어 지연라인(60)으로 입력되는 기준 클럭(CLK_in)의 주파수가 상기 수학적 1의 범위를 벗어나는 경우라 하더라도 코오스 설정부(40)에서 설정 전압(V_set)을 고정시킴으로써, 지연 클럭(CLK(n)_out)들이 하모닉 락이 발생하지 않는 수학적 1의 TRef_CLK의 0.5배(0.5TRef_CLK) 내지 1.5배(1.5TRef_CLK) 구간에서 출력되도록 한다.

[0027] 도 2는 도 1에 도시된 코오스 설정부 및 지연 회로부의 출력 파형을 나타낸 파형도이다. 그리고, 도 3은 지수적으로 증가하는 밴드 영역에 따른 출력 전압 대역을 나타낸 그래프이다.

[0028] 도 2 및 도 3을 참조하면, 기준 클럭(CLK_in)이 0.5TRef 보다 큰 경우, 1단계 고정(Coarse Lock)이 0.5TRef와 TRef 사이에 위치하게 되어 1 단계의 지연 클럭(CLK_out1)이 출력된다. 예를 들어, 기준클럭(CLK_in)의 하위레벨이 0.5TRef 보다 큰 경우에는 1단계 고정은 TRef와 1.5TRef사이에 위치하게 된다. 그리고 그 다음 단계들의 지연 클럭지연 클럭들(CLK(n)_out)이 순차적으로 출력된다.

[0029] 각 밴드의 최대 주파수와 최소 주파수의 분주비 n은 일정하며, 주파수(1/Delay)가 지수적으로 증가하는 밴드 대

역에 설정된다. 예를 들어, 각 밴드의 임의의 두 주파수 f_1 , f_2 에 대하여 하기의 수학적 2의 조건이 성립한다.

수학적 2

$$\frac{1}{n}f_2 < f_1 < n f_2, \quad \frac{1}{n}f_1 < f_2 < n f_1$$

[0030]

[0031]

[0032]

[0033]

[0034]

[0035]

[0036]

[0037]

[0038]

따라서, $n < 2$ 로 설정하면 모든 밴드에 대해 상기 수학적 1의 조건이 성립하므로 주파수 락킹(false-locking)이 방지될 수 있다. 이와 같은 코오스 동작은 T_{VCDL} 이 T_{ref} 가 속한 밴드로 설정되었을 때 중지된다. 그리고, 코오스 단계 이후 지연 제어부(10,20,30)의 반복된 동작 진행된다.

도 4는 본 발명의 실시예에 의한 지연 고정 루프 회로의 지연 고정 방법을 나타낸 순서도이다.

도 4에 도시된 바와 같이, 위상/주파수 검출부(10)는 기준 클럭(CLK_in)과 전압 제어 지연라인(60)으로부터 출력된 피드백 클럭신호의 위상/주파수 차이를 검출하여 업 검출신호와 다운 검출신호를 생성한다(ST1).

다음으로, 코오스 설정부(40)에서는 초기에 레귤레이터(50)를 통해 출력되는 설정 전압(V_{set})과 함께 지연 제어부의 발진 제어전압(V_{d11})이 조정되도록 하여 전압 제어 지연라인(60)이 지연 기간 및 수치가 최소화되도록 조정하게 된다.(ST2) 즉, 기준 클럭(CLK_in)과 전압 제어 지연라인(60)으로부터 출력된 클럭신호를 공급받고 락킹 오류 방지 조건에 따라 밴드 영역을 설정하여 밴드 영역 설정 전압 값을 출력한다.

이에, 차지 펌핑부(20)는 업 검출신호와 다운 검출신호에 대응하는 차지 펌핑 동작을 통해 루프필터(30)를 충전 또는 방전시킨다. 이에, 루프 필터(30)에서 출력되는 발진 제어전압의 전압레벨이 달라지게 된다. 즉, 루프필터(30)는 차지 펌핑부(120)의 포지티브 차지 펌핑 동작에 의해 공급된 전하만큼 충전하여 그에 대응하는 발진 제어전압(V_{d11})을 생성하고, 네가티브 차지 펌핑 동작에 의해 빠져나간 전하만큼 방전하여 그에 대응하는 발진 제어전압(V_{d11})을 생성하도록 동작 된다(ST3).

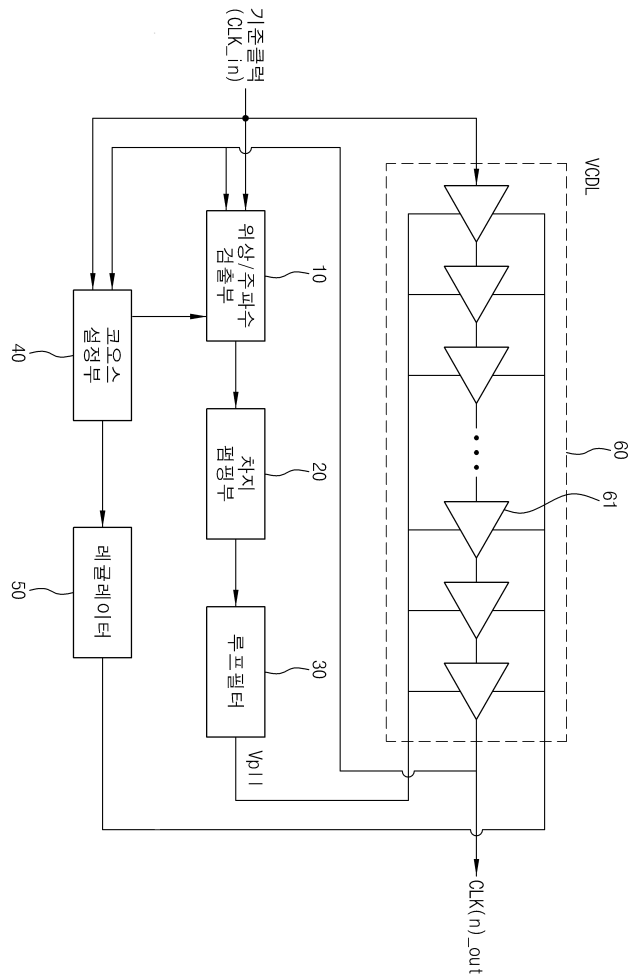
그리고, 전압 제어 지연라인(60)은 지연 제어부(10,20,30)의 제어 전압(V_{d11})과 레귤레이터(50)의 설정 전압(V_{set})에 따라 소정 시간만큼 지연시키면서 N개 지연 셀(cell)을 통해 지연된 클럭(CLK(n)_out)을 출력한다(T4). 전압 제어 지연라인(60)에서 출력되는 지연 클럭(CLK(n)_out)의 지연된 정도는 제어 전압(V_{d11})과 레귤레이터(50)의 설정 전압(V_{set})에 의해 달라진다. 전압 제어 지연라인(60)으로 입력되는 기준 클럭(CLK_in)의 주파수가 상기 수학적 1의 범위를 벗어나는 경우라 하더라도 코오스 설정부(40)에서 설정 전압(V_{set})을 고정시킴으로써, 지연 클럭(CLK(n)_out)들이 하모닉 락이 발생하지 않는 수학적 1의 T_{Ref_CLK} 의 0.5배($0.5T_{Ref_CLK}$) 내지 1.5배($1.5T_{Ref_CLK}$) 구간에서 출력되도록 한다.

이상에서 상술한 바와 같이, 상기와 같은 다양한 기술 특징을 갖는 본 발명의 실시 예에 따른 광대역 하모닉 락 발생을 방지하는 지연 고정 루프 회로 그 지연 고정 방법은 입력 클럭과 출력 클럭의 비교 결과에 따라 지연 타이밍을 최적의 밴드에 위치시켜 광대역 밴드를 이루도록 하면서도 락킹 오류(False Lock)을 방지할 수 있다. 즉, 각각의 밴드들이 락킹 오류가 발생하지 않을 조건을 만족하므로 안정성을 유지할 수 있다. 그리고 지연 타이밍을 최적의 밴드에 위치시켜 밴드 수를 임의로 선택할 수 있으므로 광대역 밴드를 형성할 수 있으며, 모든 밴드에 걸쳐 락킹 타이밍을 일정 시간 이하로 제한할 수 있다.

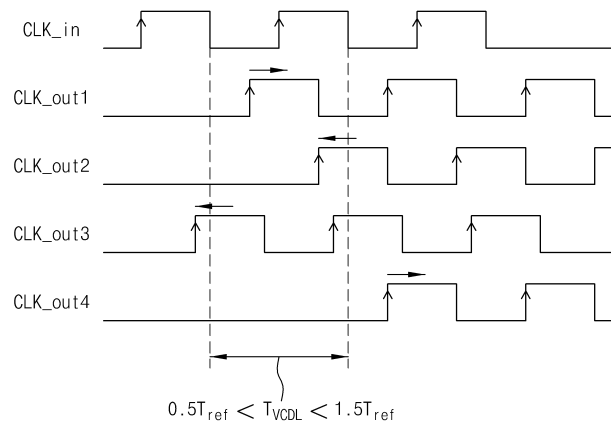
상기에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

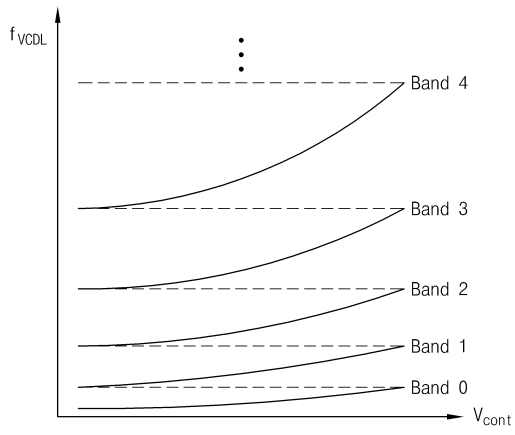
도면1



도면2



도면3



도면4

