



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년08월18일  
 (11) 등록번호 10-1649441  
 (24) 등록일자 2016년08월11일

(51) 국제특허분류(Int. Cl.)  
 G01R 29/08 (2006.01) G01R 33/06 (2006.01)  
 (52) CPC특허분류  
 G01R 29/08 (2013.01)  
 G01R 23/00 (2013.01)  
 (21) 출원번호 10-2015-0011033  
 (22) 출원일자 2015년01월23일  
 심사청구일자 2015년01월23일  
 (65) 공개번호 10-2016-0091008  
 (43) 공개일자 2016년08월02일  
 (56) 선행기술조사문헌  
 KR1020130133368 A\*  
 KR1020070035492 A\*  
 KR1020130120969 A  
 KR1020040029582 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 울산과학기술원  
 울산광역시 울주군 언양읍 유니스트길 50  
 (72) 발명자  
 김경록  
 울산광역시 울주군 범서읍 구영로 101-7, 502동 601호  
 류민우  
 울산광역시 울주군 언양읍 유니스트길 50  
 김관성  
 울산광역시 울주군 범서읍 모두박길 6-18, 202호  
 (74) 대리인  
 특허법인 무한

전체 청구항 수 : 총 4 항

심사관 : 정종한

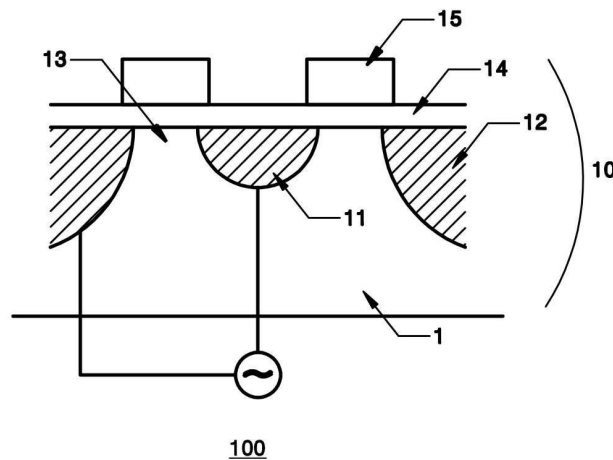
(54) 발명의 명칭 **전계효과트랜지스터를 이용한 테라헤르츠 검출기**

**(57) 요약**

본 발명은 소스/드레인 및 게이트 자체의 형상만으로 비대칭 특성을 나타내어 높은 감도를 구현할 수 있는 전계 효과트랜지스터를 이용한 테라헤르츠 검출기를 제공하는 것을 그 목적으로 한다.

상기 목적을 달성하기 위하여 본 발명은, 전계효과트랜지스터를 이용한 테라헤르츠 검출기에 있어서, 상기 전계 효과트랜지스터는: 실리콘 베이스 일부에 도핑에 의하여 형성되는 소스; 평면 상으로 상기 소스를 감싸는 형태로 형성되는 채널; 상기 채널 외부에 형성되는 드레인; 상기 소스, 채널 및 드레인 상단에 형성되는 유전층; 및 상기 유전층 상단에 위치하는 게이트;를 포함하여 구성되며, 상기 게이트를 통하여 테라헤르츠 전자기파가 인가되는 경우 상기 소스와 드레인에서 출력되는 전류/전압으로 전자기파의 정도를 감지하는 것을 특징으로 한다.

**대표도** - 도1



(52) CPC특허분류

**G01R 33/066** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711011561

부처명 교육과학기술부

연구관리전문기관 한국연구재단

연구사업명 미래융합파이오니아사업

연구과제명 나노-상보형금속산화반도체 기반 테라헤르츠 플라즈마파 트랜지스터 기술 연구

기 여 율 1/1

주관기관 울산과학기술대학교

연구기간 2014.03.01 ~ 2015.02.28

---

## 명세서

### 청구범위

#### 청구항 1

전계효과트랜지스터를 이용한 테라헤르츠 검출기에 있어서,

상기 전계효과트랜지스터는:

실리콘 베이스 일부에 도핑에 의하여 형성되는 소스;

평면 상으로 상기 소스를 감싸는 형태로 형성되는 채널;

상기 채널 외부에 형성되는 드레인;

상기 소스, 채널 및 드레인 상단에 형성되는 유전층; 및

상기 유전층 상단에 위치하는 게이트;를 포함하여 구성되며,

상기 게이트를 통하여 테라헤르츠 전자기파가 인가되는 경우 상기 소스와 드레인에서 출력되는 전류 또는 전압으로 전자기파의 정도를 감지하고, 상기 채널은 일정한 폭으로 형성되고, 상기 게이트는 상기 드레인과 오버랩되는 제1 면적과 상기 소스와 오버랩되는 제2 면적을 포함하는 것을 특징으로 하는 전계효과트랜지스터를 이용한 테라헤르츠 검출기.

#### 청구항 2

삭제

#### 청구항 3

청구항 1에 있어서, 상기 게이트는 상기 채널과 동일한 크기와 형상으로 형성되는 것을 특징으로 하는 전계효과트랜지스터를 이용한 테라헤르츠 검출기.

#### 청구항 4

삭제

#### 청구항 5

삭제

#### 청구항 6

청구항 1에 있어서, 상기 게이트는 상기 채널과 동일한 형상인 것을 특징으로 하는 전계효과트랜지스터를 이용한 테라헤르츠 검출기.

#### 청구항 7

청구항 1, 청구항 3 및 청구항 6 중 어느 한 항에 있어서, 상기 소스의 평면 형상은 원형 또는 다각형인 것을 특징으로 하는 전계효과트랜지스터를 이용한 테라헤르츠 검출기.

### 발명의 설명

### 기술 분야

[0001] 본 발명은 FET를 이용한 테라헤르츠 검출기에 관한 것으로, 더욱 상세하게는 비대칭 구조의 FET를 이용하여 테라헤르츠의 전자기파를 검출하는 테라헤르츠 검출기에 관한 것이다.

**배경 기술**

[0002] 테라헤르츠 검출기에서 감도 증가를 위해서는 게이트 전계효과에 의해 채널의 전하를 2차원 형태로 잘 모아야 하는데, 기존의 화합물 반도체가 실리콘보다 2차원 채널 전하를 형성하는 효율이 높아 주로 사용되어 왔지만, 화합물 반도체는 실리콘보다 고가 공정으로 제조되고, 모양을 만드는 식각 공정이 용이하지 않아 다양한 비대칭 구조를 만드는 것이 어려운 문제가 있으며, 또한 화합물 반도체의 사용 시 주변 부품인 안테나와 증폭기를 집적 하기가 힘들어 상용화에도 다소 어려운 단점이 있다.

[0003] 따라서, 근래에는 실리콘에서도 안테나와 증폭기의 성능 향상으로 실리콘 FET 기반 검출기의 성능이 향상된 경우가 보고되어 왔으나, 기본적으로 저출력인 실리콘 FET의 특성으로 인해 주변부품의 성능 개선만으로는 테라헤르츠 검출기의 반응도 개선에 한계가 있다.

[0004] 일반적으로 전계효과트랜지스터(FET) 기반 테라헤르츠(THz) 검출기의 경우, FET의 3개 외부 연결 단자 (게이트 G, 소스 S, 드레인 D) 중 2 개 단자(G, S) 사이에 교류 신호인 THz파 신호를 집광시켜, 소스와 드레인 사이의 하부 반도체 채널 영역의 전하량의 비대칭성을 유도하고, 이러한 비대칭적 전하분포에 의한 출력단자(드레인 D)의 직류 전압으로 광반응성(Photoresponse)을 검출하는 것에 따라 신호를 검출한다.

[0005] 상기와 같이, FET 기반 THz 검출기의 반응도 향상을 위해 요구되는 전하량 비대칭성을 확보하기 위해서 THz파 입사를 위한 안테나의 효율을 높이고 출력 단자(D)의 전압을 증폭하는 증폭기의 이득을 높이는 방식이 있지만, 상기와 같은 방식을 사용하여도 기본적으로 대칭 구조인 FET에서의 출력전압은 잡음에 민감하여 반응도 향상 수준이 극히 미미하다는 한계가 있다.

[0006] 이와 같은 FET를 실리콘 공정의 장점인 자기정렬형 게이트 구조(self-aligned gate structure)로 제작하는 경우에도, 게이트가 이미 형성된 후에 소스/드레인 영역을 비대칭으로 만들어야 하고, 게이트와 중첩되는 소스/드레인 영역을 어느 한쪽만 변화시키기 위해 주로 초미세 고성능 소자 목적의 오버랩(overlap)을 위한 이온주입 공정 등 복잡한 추가 마스크 공정이 필요하게 될 뿐만 아니라, 그러한 비대칭성을 위해 주입된 이온의 등방성 확산으로 인해, THz파가 입사하는 단자인 게이트가 바라보는 소스/드레인 비대칭 비율이 줄어들어 전하 비대칭 효과가 크지 않게 된다.

[0007] 또한, 고전압 전력소자 목적의 언더랩(underlap)을 위한 게이트 측벽 공정(게이트가 하부 채널과 겹침)도 측벽 두께 조절을 통해 효과적으로 비대칭 효과를 제어할 수 있지만, 언더랩 구조의 경우 이미 언더랩이 생긴 후의 게이트가 바라보는 비대칭 효과는 미미하고, 소자의 저항을 증가시켜 잡음 등가 전력이 증가하는 문제가 있다.

[0008] 이와 같이 기존의 실리콘 기술 기반 FET 공정의 주 방식인 자기정렬형(Self-aligned) 게이트 구조를 사용하여 비대칭 소스/드레인 영역을 만들 수 있다고 하더라도 결과적으로 THz파가 입사하는 단자인 게이트가 바라보는 소스/드레인 비대칭 영역은 변화가 없거나 그 영향이 극히 적어, 소스와 드레인 사이의 전하 비대칭 효과가 매우 줄어들게 된다. 따라서, 실리콘 기반 FET의 소스/드레인 사이의 채널 영역을 비대칭 구조로 가져가면서 동시에 게이트가 바라보는 소스/드레인 영역도 비대칭이 되는 구조를 효과적으로 만들기 위해서는 기존 자기정렬 방식과는 다른 추가적인 방안이 요구되어, 비대칭 효과를 효과를 극대화할 수 있는 테라헤르츠 검출기의 구성이 공개특허 제2013-0133368호에 개시되어 있다.

[0009] 상기 특허는 소스/드레인 영역을 비대칭 형태로 구성하여 검출기의 감도를 증가시키는 점에서 우수한 특성을 나타내나, 소스/드레인 및 게이트 형상이 사각형을 베이스로 하여 비대칭 특성을 나타내기 위해서는 별도의 공정이 필요한 단점이 있다.

**발명의 내용**

**해결하려는 과제**

[0010] 본 발명은 상기와 같은 종래 기술의 단점을 극복하기 위하여 안출된 것으로, 소스/드레인 및 게이트 자체의 형상만으로 비대칭 특성을 나타내어 높은 감도를 구현할 수 있는 전계효과트랜지스터를 이용한 테라헤르츠 검출기를 제공하는 것을 그 목적으로 한다.

**과제의 해결 수단**

- [0011] 상기 목적을 달성하기 위하여 본 발명은, 전계효과트랜지스터를 이용한 테라헤르츠 검출기에 있어서, 상기 전계 효과트랜지스터는: 실리콘 베이스 일부에 도핑에 의하여 형성되는 소스; 평면 상으로 상기 소스를 감싸는 형태로 형성되는 채널; 상기 채널 외부에 형성되는 드레인; 상기 소스, 채널 및 드레인 상단에 형성되는 유전층; 및 상기 유전층 상단에 위치하는 게이트;를 포함하여 구성되며, 상기 게이트를 통하여 테라헤르츠 전자기파가 인가되는 경우 상기 소스와 드레인에서 출력되는 전류/전압으로 전자기파의 정도를 감지하는 것을 특징으로 한다.
- [0012] 바람직하게는, 상기 채널은 일정한 폭으로 형성되는 것을 특징으로 한다.
- [0013] 바람직하게는, 상기 게이트는 상기 채널과 동일한 크기와 형상으로 형성되는 것을 특징으로 한다.
- [0014] 바람직하게는, 상기 게이트는 상기 채널과 동일한 형상이며, 상기 소스와 일부 오버랩되는 것을 특징으로 한다.
- [0015] 바람직하게는, 상기 게이트는 상기 채널과 동일한 형상이며, 상기 드레인과 일부 오버랩되는 것을 특징으로 한다.
- [0016] 바람직하게는, 상기 게이트는 상기 채널과 동일한 형상이며, 상기 소스 및 드레인과 일부 오버랩되는 것을 특징으로 한다.
- [0017] 바람직하게는, 상기 소스의 평면 형상은 원형 또는 다각형인 것을 특징으로 한다.

**발명의 효과**

- [0018] 본 발명에 따른 전계효과트랜지스터를 이용한 테라헤르츠 검출기는 소스를 채널이 감싸는 형상으로 구성하여 기하학적 형태에 의하여 비대칭 특성을 도출되고, 추가적으로 게이트와 채널간의 겹침 정도를 조절하여 비대칭성을 추가적으로 부가할 수 있으며, 형상의 정의하는 각 파라미터를 자유롭게 설정할 수 있으므로, 높은 감도의 테라헤르츠 검출기를 제조할 수 있는 효과를 제공한다.

**도면의 간단한 설명**

- [0019] 도 1은 본 발명에 따른 테라헤르츠 검출기의 단면도이며,
- 도 2는 도 1의 평면도이며,
- 도 3은 도 2의 다른 실시예들이며,
- 도 4는 도 2의 크기 정의를 위한 설명도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 이하 본 발명에 따른 바람직한 실시예를 첨부한 도면을 참조하여 구체적으로 설명한다.
- [0021] 본 발명에 따른 전계효과트랜지스터를 이용한 테라헤르츠 검출기(100)는 도 1 및 도 2에 도시된 바와 같이, 실리콘 베이스(1)에 형성되는 단위 FET(10)를 통하여 구현된다.
- [0022] 상기 FET(10)의 단면은 도 1에 도시된 바와 같이, 소스(11), 드레인(12), 채널(13), 유전층(14), 게이트(15)를 포함하여 구성된다.
- [0023] 이때 상기 소스(11)와 드레인(12)은 각각 불순물이 도핑되고, 상기 유전층(14) 및 게이트(13)의 재질들은 통상의 FET에 적용되는 것들로 사용 가능하며, 테라헤르츠 전자기파는 상기 게이트(13)에 인가되며, 이때 소스(11)와 드레인(12) 사이에 발생하는 전압에 의하여 인가된 테라헤르츠 전자기파의 특성을 감지한다.
- [0024] 한편, 상기 소스(11)는 상면에서는 도 2에 도시된 바와 같이, 중앙에 형성되고, 상기 소스(11) 둘레를 채널(13)이 감싸는 형태로 구성된다.
- [0025] 따라서 상기 소스(11)는 고립되어 구성되며, 전극은 상기 소스(11)의 상면을 통하여 연결되도록 구성할 수 있으며, 필요한 경우에는 상기 소스(11)의 단면을 상기 베이스(1) 하면까지 연장 형성하여 하단을 통하여 전극이 연결될 수 있도록 구성할 수 있다.
- [0026] 이때, 상기 소스(11)은 형상은 도 3에 도시된 바와 같이, 원형, 타원형, 삼각형, 사각형 등으로 구현 가능하며, 오각형 이상의 다각형으로도 구성할 수 있다.

- [0027] 또한, 소스(11)와 상기 드레인(12) 내부는 다른 형상으로 구성될 수 있다. 예를 들면, 소스(11)는 원형, 드레인(12) 내부는 사각형으로 구성할 수 있으며, 이때 채널(13)의 두께는 달리 구성된다.
- [0028] 또한 필요한 경우, 상기 소스(11)와 드레인(12) 내부는 동일한 형상이나, 원점을 다른 위치에 형성하도록 구성할 수 있으며, 이때도 채널(12)의 두께는 달리 구성된다.
- [0029] 한편, 상기 채널(13)을 일정한 폭으로, 상기 소스(11)를 감싸는 형태로 구성하면, 상기 소스(11)와 동일한 형상으로 구성되며, 상기와 같이 일정한 폭으로 구성하는 것이 제조적인 측면에서 유리하다.
- [0030] 그리고 드레인(12)은 상기 소스(11) 및 채널(13)을 제외한 영역으로 구성되므로, 상기와 같이 소스(11)를 고립하여 구성하는 경우 기하학적으로 비대칭성을 제공하는 장점이 있다.
- [0031] 한편, 상기 게이트(15)는 상기 유전층(14) 상단에 위치하며, 형상은 상기 채널(13)의 형상과 동일하게 구성한다. 다만, 상기 게이트(15)는 일부 면적이 상기 소스(11) 및 드레인(12)과 오버랩되도록 구성한다. 상기와 같은 오버랩은 비대칭성을 추가적으로 증가시키는 장점이 있다.
- [0032] 한편, 소스(11)가 원형의 형상을 갖는 경우, 상기 게이트(15)는 환형으로 구성되며, 이때, 도 4에 도시된 바와 같이, 소스(11)의 직경을  $d_1$ , 채널(13)의 외과 직경을  $d_2$ , 게이트(15)와 소스(11)가 오버랩되는 부분의 크기를  $e_1$ , 게이트(15)와 드레인(12)이 오버랩되는 부분의 크기를  $e_2$ 라 할 경우 상기 FET(10)의 비대칭성은 다음의 수식으로 표현된다.
- [0033] 이때 채널(13)의 끝단에 해당하는 소스(11)의 길이를  $W_s$ , 채널(13)의 다른 끝단에 해당하는 드레인(12)의 길이를  $W_d$ 라 할 경우, 폭 비대칭성을 상기 길이의 비로 정의할 수 있다.
- [0034] 폭 비대칭성= $W_d/W_s$
- [0035]  $= \pi d_2 / \pi d_1$
- [0036]  $= d_2/d_1$
- [0037] 으로 정의된다.
- [0038] 또한, 상기 게이트(15)는 상기 오버랩에 의하여 면적 비대칭성을 가진다. 상기 게이트(15)에 의한 비대칭성은 게이트(15)가 드레인(12)과 오버랩되는 면적과 게이트(15)가 소스(11)와 오버랩되는 면적의 비로 정의 된다.
- [0039] 따라서, 면적 비대칭은 다음과 같이 계산된다.
- [0040] 면적 비대칭= $\text{드레인(12)과 게이트(15)가 오버랩되는 면적} / \text{소스(11)와 게이트(15)가 오버랩되는 면적}$
- [0041]  $\text{소스(11)와 게이트(15)가 오버랩되는 면적} = \pi (d_1/2)^2 - \pi (d_1/2 - e_1)^2$
- [0042]  $\text{드레인(12)과 게이트(15)가 오버랩되는 면적} = \pi (d_2/2 + e_2)^2 - \pi (d_2/2)^2$
- [0043] 따라서, 면적 비대칭= $(d_2e_2 + e_2^2) / (d_1e_1 - e_1^2)$
- [0044] 으로 정의 되며, 이때  $e_1=e_2=e$ 인 경우, 즉 오버랩 부분을 동일하게 구성하는 경우, 면적 비대칭= $(d_2+e)/(d_1-e)$ 로 정의된다.
- [0045] 상기한 바와 같이, 본 발명에 따른 전계효과트랜지스터를 이용한 테라헤르츠 검출기(100)는 FET평면 형상 자체로 비대칭성이 나타나므로, 비대칭성을 위한 별도의 설정없이도 충분한 감도를 유지할 수 있다.
- [0046] 이때,  $d_1$  및  $d_2$ 의 차이를 크게하는 경우 폭 비대칭성을 증가하는 효과가 있으며, 오버랩 값  $e$ 를 증가시키면 역시 면적 비대칭성을 증가시키는 효과가 있어,  $d_1$ ,  $d_2$ ,  $e_1$  및  $e_2$ 의 값을 조절하여 다양한 특성을 갖는 테라헤르츠 검출기(100)를 제조할 수 있다.
- [0047] 상기한 바와 같이 본 발명의 테라헤르츠 검출기(100)는 모두 실리콘 공정 기술로 이루어질 수 있으며, 외부로부터 상기 테라헤르츠파 신호를 수신하여 상기 게이트(15) 전극과 상기 소스(11) 전극 사이에 입사하기 위한 안테나와 상기 소스(11) 전극과 상기 드레인(12) 금속 전극 사이의 출력 전압/전류를 검출하기 위한 증폭기 등 추가적인 성능개선을 위한 검출기(100)의 주변부품들과의 집적이 하나의 실리콘 기판 상에서 저가의 실리콘 공정 기술로 구현이 가능하고, 초고감도 실리콘 기반 대면적 다중픽셀 배열형 검출기 집적도 위와 같은 저가의 실리콘

큰 공정 기술에 의해 저비용으로 가능하게 된다.

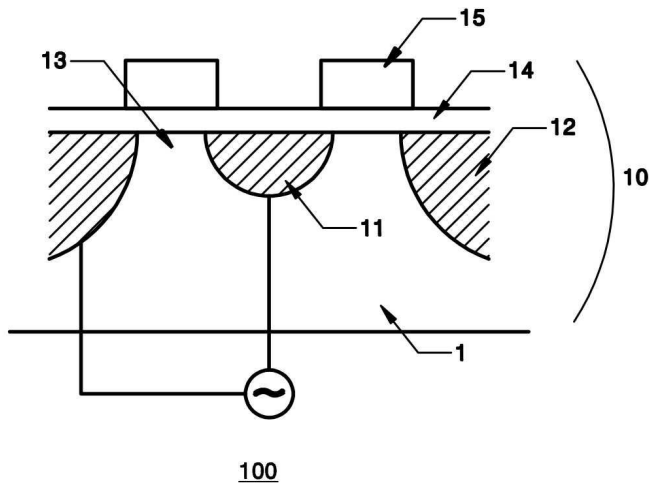
[0048] 이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

**부호의 설명**

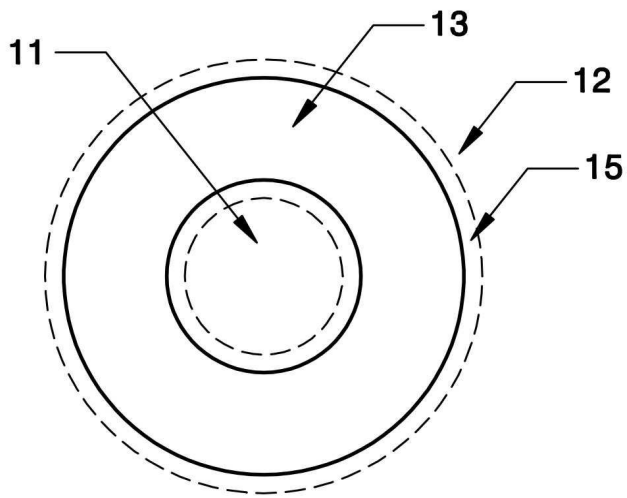
- [0049]
- |            |          |
|------------|----------|
| 1: 실리콘 베이스 | 10: FET  |
| 11: 소스     | 12: 드레인  |
| 13: 채널     | 14: 유전층  |
| 15: 게이트    | 100: 검출기 |

**도면**

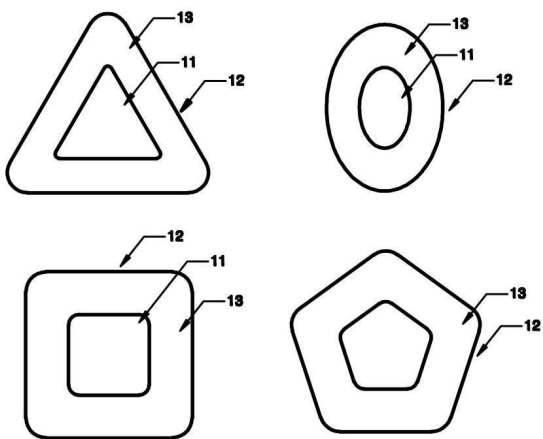
**도면1**



도면2



도면3



도면4

