



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월02일
(11) 등록번호 10-1691976
(24) 등록일자 2016년12월27일

(51) 국제특허분류(Int. Cl.)
H03M 1/10 (2006.01) H03M 1/46 (2006.01)
(52) CPC특허분류
H03M 1/1023 (2013.01)
H03M 1/466 (2013.01)
(21) 출원번호 10-2015-0032425
(22) 출원일자 2015년03월09일
심사청구일자 2015년03월09일
(65) 공개번호 10-2016-0108943
(43) 공개일자 2016년09월21일
(56) 선행기술조사문헌
KR10201110072203 A*
KR1020120065226 A*
KR100915808 B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김재준
서울특별시 강남구 압구정로29길 71, 61-406 (압구정동, 현대아파트)
박경환
경상남도 양산시 상북면 반희서5길 21, 102동 1301호 (진일1차아파트)
(74) 대리인
제일특허법인

전체 청구항 수 : 총 5 항

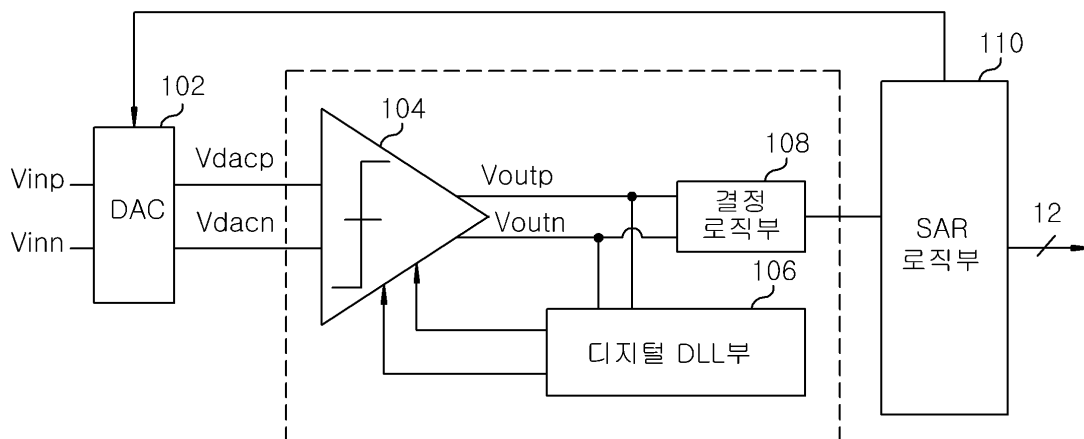
심사관 : 유선중

(54) 발명의 명칭 지연 고정 루프를 이용한 오프셋 보정 장치

(57) 요약

본 발명의 지연 고정 루프를 이용한 오프셋 보정 장치는, 입력 디지털 신호를 아날로그 신호로 변환하여 비교기로 공급하는 DAC와, 상기 DAC로부터 제공되는 샘플링 및 홀딩된 입력 신호의 레벨과 아날로그 출력신호의 레벨을 비교하여 하이 또는 로우 레벨의 비교신호를 출력하는 상기 비교기와, 상기 비교기로부터의 비교신호 출력을 이용하여 상기 비교기의 오프셋을 검출하고, 그 검출 결과에 의거하여 상기 비교기의 스위칭을 조정하는 디지털 DLL부와, 상기 비교신호의 출력 중 어느 신호가 시간적으로 빠른 지를 판단하여 하이 또는 로우 레벨의 출력을 SAR 로직부로 전달하는 결정 로직부와, 상기 결정 로직부로부터 제공되는 하이 또는 로우 레벨의 출력에 의거하여 최상위 비트에서부터 최하위 비트까지 순차적으로 기 설정된 n비트 수만큼의 디지털 신호를 출력하는 상기 SAR 로직부를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류
H03M 2201/639 (2013.01)

명세서

청구범위

청구항 1

입력 디지털 신호를 아날로그 신호로 변환하여 비교기로 공급하는 DAC와,

상기 DAC로부터 제공되는 샘플링 및 홀딩된 입력 신호의 레벨과 아날로그 출력신호의 레벨을 비교하여 하이 또는 로우 레벨의 비교신호를 출력하는 상기 비교기와,

상기 비교기로부터의 비교신호 출력을 이용하여 상기 비교기의 오프셋을 검출하고, 그 검출 결과에 의거하여 상기 비교기의 스위칭을 조정하는 디지털 DLL부와,

상기 비교신호의 출력 중 어느 신호가 시간적으로 빠른 지를 판단하여 하이 또는 로우 레벨의 출력을 SAR 로직부로 전달하는 결정 로직부와,

상기 결정 로직부로부터 제공되는 하이 또는 로우 레벨의 출력에 의거하여 최상위 비트에서부터 최하위 비트까지 순차적으로 기 설정된 n비트 수만큼의 디지털 신호를 출력하는 상기 SAR 로직부

를 포함하고,

상기 디지털 DLL부는,

신호 지연 라인과 오프셋 산출부를 각각 갖는 두 개의 지연 셀(delay cell)을 포함하는

지연 고정 루프를 이용한 오프셋 보정 장치.

청구항 2

제 1 항에 있어서,

상기 비교기는,

차동 시간 도메인 비교기(differential time domain comparator)로 구성되는

는 지연 고정 루프를 이용한 오프셋 보정 장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 오프셋 산출부는,

다수의 D-플립플롭(DFF)과 다수의 배타적 노아 게이트(XNOR)를 포함하는

지연 고정 루프를 이용한 오프셋 보정 장치.

청구항 6

제 5 항에 있어서,
상기 오프셋 산출부에서의 각 오프셋 출력은,
상기 비교기의 커패시터 어레이와 1:1로 맵핑되는
지연 고정 루프를 이용한 오프셋 보정 장치.

청구항 7

제 1 항에 있어서,
상기 신호 지연 라인은,
다수의 인버터로 구성되는
지연 고정 루프를 이용한 오프셋 보정 장치.

발명의 설명

기술 분야

[0001] 본 발명은 ADC(analog to digital converter)용 비교기의 오프셋을 보정하는 기법에 관한 것으로, 더욱 상세하게는 지연 고정 루프(DLL : delay locked loop)를 이용하여 비교기에서의 오프셋을 검출하고, 이를 이용하여 비교기의 커패시터를 조정함으로써 오프셋을 보상하는데 적합한 지연 고정 루프를 이용한 오프셋 보정 장치에 관한 것이다.

배경 기술

[0002] 잘 알려진 바와 같이, 실제로 칩(chip)을 구현함에 있어서, 시간 도메인 비교기(Time-domain Comparator)의 커패시터 사이즈(capacitor size)와 입력 트랜지스터 사이즈(input transistor size)간의 미스매칭(mismatch)이 있을 경우, 디지털 비트(digital bit)을 결정하는 부분인 비교기(comparator)의 결과에 따라 전혀 다른 비트를 얻을 수 있는데, 이것을 비교기 오프셋(comparator offset)이라 하며, 이러한 오프셋은 ADC의 성능에 있어서 주된 노이즈(dominant noise) 성분으로 작용한다.

[0003] 기존의 SAR(success approximation register) ADC에서 아무런 보정 기술 없이는 용량성(capacitive) DAC와 비교기의 오프셋에 의해 12비트를 구현하기가 매우 힘들며, 10비트 이상을 정확하게 구현하기 위해서는 반드시 이를 보정할 수 있는 기술이 필요하다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 대한민국 공개특허 제2013-0048690호(공개일: 2013. 05. 10)

발명의 내용

해결하려는 과제

[0005] 본 발명은 지연 고정 루프(DLL)를 이용하여 비교기 자체에 있는 오프셋을 검출하고, 그 검출 결과를 이용하여 비교기의 커패시터 스위치를 조정하여 오프셋에 기인하는 지연을 보정해 줄 수 있는 새로운 오프셋 보정 기법을 제안하고자 한다.

[0006] 본 발명이 해결하고자 하는 과제는 상기에서 언급한 것으로 제한되지 않으며, 언급되지 않은 또 다른 해결하고

자 하는 과제는 아래의 기재들로부터 본 발명이 속하는 통상의 지식을 가진 자에 의해 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 본 발명은, 일 관점에 따라, 입력 디지털 신호를 아날로그 신호로 변환하여 비교기로 공급하는 DAC와, 상기 DAC로부터 제공되는 샘플링 및 홀딩된 입력 신호의 레벨과 아날로그 출력신호의 레벨을 비교하여 하이 또는 로우 레벨의 비교신호를 출력하는 상기 비교기와, 상기 비교기로부터의 비교신호 출력을 이용하여 상기 비교기의 오프셋을 검출하고, 그 검출 결과에 의거하여 상기 비교기의 스위칭을 조정하는 디지털 DLL부와, 상기 비교신호의 출력 중 어느 신호가 시간적으로 빠른 지를 판단하여 하이 또는 로우 레벨의 출력을 SAR 로직부로 전달하는 결정 로직부와, 상기 결정 로직부로부터 제공되는 하이 또는 로우 레벨의 출력에 의거하여 최상위 비트에서부터 최하위 비트까지 순차적으로 기 설정된 n비트 수만큼의 디지털 신호를 출력하는 상기 SAR 로직부를 포함하는 지연 고정 루프를 이용한 오프셋 보정 장치를 제공한다.
- [0008] 본 발명의 상기 비교기는, 차동 시간 도메인 비교기(differential time domain comparator)로 구성될 수 있다.
- [0009] 본 발명의 상기 디지털 DLL부는, 두 개의 지연 셀(delay cell)을 포함할 수 있다.
- [0010] 본 발명의 상기 지연 셀 각각은, 신호 지연 라인과 오프셋 산출부를 포함할 수 있다.
- [0011] 본 발명의 상기 오프셋 산출부는, 다수의 D-플립플롭(DFF)과 다수의 배타적 노아 게이트(XNOR)를 포함할 수 있다.
- [0012] 본 발명의 상기 오프셋 산출부에서의 각 오프셋 출력은, 상기 비교기의 커패시터 어레이와 1:1로 맵핑될 수 있다.
- [0013] 본 발명의 상기 신호 지연 라인은, 다수의 인버터로 구성될 수 있다.

발명의 효과

- [0014] 본 발명은, 지연 고정 루프(DLL)를 이용하여 검출한 비교기에서의 오프셋을 이용해 비교기의 커패시터 스위치를 조정하여 오프셋에 기인하는 지연을 보정해 줌으로써, 비교기의 오프셋에 기인하여 ADC 성능이 저하되는 것을 효과적으로 억제할 수 있으며, 이를 통해 10 비트 이상의 SAR ADC를 실현할 수 있다.

도면의 간단한 설명

- [0015] 도 1은 본 발명에 따른 지연 고정 루프를 이용한 오프셋 보정 장치에 대한 블록구성도이다.
 도 2는 본 발명의 오프셋 보정 장치에 적용되는 각종 파형에 대한 동작 타이밍도이다.
 도 3은 도 1에 도시된 비교기에 대한 예시적인 회로도이다.
 도 4는 본 발명에 따라 오프셋이 보정되는 것을 설명하기 위한 펄스 예시도이다.
 도 5a 및 5b는 디지털 DLL부에 포함되는 두 개의 지연 셀(delay cell)에 대한 블록구성도이다.
 도 6은 본 발명에 따라 디지털 DLL부에 포함되는 지연 셀에 대한 세부 구성도이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 먼저, 본 발명의 장점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되는 실시 예들을 참조하면 명확해질 것이다. 여기에서, 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 발명의 범주를 명확하게 이해할 수 있도록 하기 위해 예시적으로 제공되는 것이므로, 본 발명의 기술적 범위는 청구항들에 의해 정의되어야 할 것이다.
- [0017] 아울러, 아래의 본 발명을 설명함에 있어서 공지 기능 또는 구성 등에 대한 구체적인 설명이 본 발명의 요지를

불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들인 것으로, 이는 사용자, 운용자 등의 의도 또는 관례 등에 따라 달라질 수 있음은 물론이다. 그러므로, 그 정의는 본 명세서의 전반에 걸쳐 기술되는 기술사상을 토대로 이루어져야 할 것이다.

[0018] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 상세하게 설명한다.

[0019] [실시 예]

[0020] 도 1은 본 발명에 따른 지연 고정 루프를 이용한 오프셋 보정 장치에 대한 블록구성도로서, 용량성(Capacitive)의 DAC(digital to analog converter : 디지털 아날로그 변환기)(102), 비교기(104), 디지털 DLL(delay locked loop : 지연 고정 루프)부(106), 결정 로직부(Decision Logic)(108) 및 SAR(success approximation register : 연속 근사 레지스터) 로직부(110) 등을 포함할 수 있다.

[0021] 그리고, 도 2는 본 발명의 오프셋 보정 장치에 적용되는 각종 파형에 대한 동작 타이밍도로서, 클록(CLK) 신호, 리셋(RESET) 신호, 샘플링앰홀드(S/H) 신호, 디지털 DLL 신호 등이 포함될 수 있다.

[0022] 도 2를 참조하면, SAR ADC 구조 상 n 비트를 컨버전(conversion)하기 위해서는 N 사이클이 필요하다는 것을 클록 신호에서 알 수 있는데, 매 컨버전 시작에 앞서 리셋과 샘플링 과정을 거치게 되며, 이 과정에서는 어떤 데이터 처리도 없기 때문에(즉, Vdacc, Vdacn의 신호가 일정하게 유지되는 시간) 디지털 DLL를 이용한 보정을 별도의 사이클 없이 실시간으로 할 수 있다.

[0023] 통상의 경우 보정을 위한 사이클이 따로 존재하기 때문에 동작 속도 면에서 느려질 수밖에 없는데, 이런 구조와 타이밍을 이용할 경우 기존 속도를 유지하면서 더 정확한 컨버전이 가능하다.

[0024] 도 1을 참조하면, DAC(102)는 SAR 로직부(110)로부터 제공되는 논리 스위칭 정보(비트 정보)에 따라 샘플링된 아날로그 신호를 낮추거나 높여 디지털 비트를 결정, 즉 1비트 단위로 순차 입력되는 두 입력(Vinp, Vinn)(차동 입력)의 디지털 신호를 아날로그 신호로 변환하는 등의 기능을 제공할 수 있으며, 여기에서 출력되는 아날로그 신호는 비교기(104)의 입력으로 제공된다.

[0025] 이를 위해, DAC(102)는 다수의 커패시터, 증폭회로, 스위칭 소자 등으로 구성되어 외부로부터 입력되는 아날로그 전압을 샘플링 및 홀딩하는 샘플 앤 홀더 증폭기(SHA : sampling/holding amplifier)를 포함할 수 있으며, 이를 통해 샘플링 모드(sampling mode) 또는 홀드 모드(hold mode)를 실행할 수 있다.

[0026] 다음에, 비교기(104)는 한 사이클마다 DAC(102)로부터 전달되는 샘플링 및 홀딩된 입력 전압의 레벨과 아날로그 출력신호의 레벨을 비교하고, 그 비교 결과에 의거하여 하이 또는 로우 레벨의 비교신호를 출력하는 등의 기능을 제공할 수 있는데, 이를 위해 비교기(104)는 도 3에 도시된 바와 같은 구성(예컨대, 차동 시간 도메인 비교기(differential time domain comparator))을 가질 수 있다. 예컨대, 클록 신호가 로우일 때는 해당 트랜지스터(예컨대, PMOS)의 드레인 부분이 VDD로 충전(charge)되며, 클록 신호가 하이일 때는 입력신호에 따라 방전(discharge)이 시작되어 어느 순간 해당 트랜지스터(PMOS)가 온될 수 있는 전압이 될 때 비교신호의 출력이 나오게 된다.

[0027] 즉, 도 3을 참조하면, 트랜지스터 M1, M2는 차동(differential) 입력을 받는 부분으로 전압에 따라 전류 양이 달라지는데, 이는 이후 방전 시간(discharge time) 및 출력 파형에 영향을 주게 된다.

[0028] 그리고, 차동 시간 도메인 비교기는 오프셋의 보정을 위해 DP0 ~ DP3, DN0 ~ DN3 출력을 갖는데, 이러한 비교기는 클록 신호에 동기화되어 다이내믹(dynamic) 형태로 동작하게 되며, 클록 신호가 로우일 때, 트랜지스터 M5, M6가 온되어 노드 A, B가 VDD로 충전되는데, 이러한 과정을 리셋이라고 하며, 컨버전(conversion) 중 각각의 사이클마다 실행된다. 클록이 하이가 되는 순간 Ctrl(클록이 낀 오버래핑(non overlapping) 되었지만 상태(state)는 같은 신호), 트랜지스터 M5, M6는 오프가 되고, 트랜지스터 M3, M4는 온 되면서 방전 경로(discharge path)가 형성된다.

[0029] 이때, 노드 A와 B의 전압이 떨어지게 되는데, 입력신호가 높은 쪽이 큰 전류가 흘러 먼저 트랜지스터 M7 혹은 M8을 온 시키게 되어(임계 전압: threshold voltage) Voutp, Voutn의 출력이 나오게 된다.

[0030] 만약 같은 입력신호는 넣어주게 된다면, 출력에 차이가 없어야 하지만 실제로는, 일례로서 도 4에 도시된 Voutp, Voutn과 같이 어떤 시간 차이(Td)를 가지게 되며, 이것이 오프셋으로 정의될 수 있다. 이러한 오프셋을

디지털 DLL부(106)를 통해 노드 A, B에 있는 스위치 DP3 ~ DP0, DN3 ~ DN0를 조정하여 보정해 줌으로써, 시간 차이(Td)를 오차허용 범위까지 줄일 수 있다.

[0031] 다음에, 디지털 DLL부(106)는 비교기(104)로부터의 비교신호 출력 Voutp, Voutn을 이용하여 비교기(104)에서의 오프셋을 검출하고, 그 검출 결과에 의거하여 비교기(104)의 스위칭을 조정(지연 보정)하는 등의 기능을 제공할 수 있는데, 이를 위해 디지털 DLL부(106)는, 일례로서 도 5a 및 5b에 도시된 바와 같이, 두 개의 지연 셀(delay cell)을 포함할 수 있으며, 하나의 지연 셀은 신호 지연 라인(502a)과 오프셋 산출부(504a)로 구성되고, 다른 하나의 지연 셀은 신호 지연 라인(502b)과 오프셋 산출부(504b)로 구성될 수 있다.

[0032] 여기에서, 각 신호 지연 라인은, 일례로서 도 6에 도시된 바와 같이, 시계열적으로 일련하는 다수의 인버터로 구성될 수 있으며, 각 오프셋 산출부는 다수의 D-플립플롭(DFF)과 다수의 배타적 노아 게이트(XNOR)로 구성될 수 있는데, 디지털 DLL부(106)는 비교기(104)의 비교신호의 출력을 이용하여 비교기 자체의 오프셋(offset)을 검출(확인)하고, 이 검출(확인)된 정보를 이용하여 비교기의 스위칭을 조정해 줌으로써 오프셋으로 인해 차가 나는 지연(delay)을 보정해 주는 기능을 제공한다. 즉, 디지털 DLL부(106)는 2개의 지연 셀을 이용하여 비트를 결정해 줌으로써, 비교기의 커패시터 스위치를 조절하여 오프셋을 보정해 주는 기능을 제공할 수 있다.

[0033] 도 6을 참조하면, Voutp와 Voutn은 비교기(104)의 출력으로써, 하나는 D-플립플롭의 클럭 신호가 되고, 다른 하나는 지연 셀(delay cell)을 통해 신호가 지연된다.

[0034] 도 6에서는 일례로서 Voutn 이 Voutp 보다 빠른 경우이며, 이때, 첫 번째 D-플립플롭의 출력은 1이 나오게 되고, Voutn이 지연되다 보면, 클럭 신호보다 데이터가 늦게 들어오게 되어 D-플립플롭이 0을 출력하는 경우가 발생하게 된다. 이때, 서로의 배타적 노아게이트로 묶여 있는 단에 의해, D-플립플롭의 출력이 바뀌는 시점에 DN0 ~ DN3 중 하나의 출력이 하이로 나오게 된다.

[0035] 이것이 지연의 양이 되는데, 도 3에 도시된 스위치와 1:1로 매칭(맵핑)시킴으로써, 일례로서 도 4에 도시된 바와 같이 Td를 0.5 LSB 안쪽까지 보정할 수 있게 된다. DN이 스위칭 되면, 현재 Vdacn 쪽에 오프셋이 존재하지만, 노드 B에 총 커패시턴스(total capacitance)의 증가로 인해, RC 지연이 증가하여 그 차이를 맞춰 줄 수 있게 된다. 여기에서, 지연 셀을 한 쌍으로 사용하는 이유는 어느 쪽이 빠른지 알 수 없기 때문에 두 개의 지연 셀을 이용하는 것이며, 이를 통해 결과에 따른 값을 보정한다.

[0036] 이를 위해, 디지털 DLL부(106) 내 오프셋 산출부에서의 각 오프셋 출력(DN0 - DN3, DP0 - DP3)을 비교기(104)의 커패시터 어레이와 1:1로 맵핑시킴으로써, 오프셋을 보정할 수 있다.

[0037] 그리고, 결정 로직부(108)는 비교신호의 두 출력 Voutp와 Voutn 중 어느 신호가 시간적으로 빠른 지를 판단하여 하이 또는 로우 레벨의 출력을 다음 단의 SAR 로직부(110)로 전달하는 등의 기능을 제공할 수 있다.

[0038] 다음에, SAR 로직부(110)는 결정 로직부(108)로부터 제공되는 하이 또는 로우 레벨의 출력에 의거하여 최상위 비트에서부터 최하위 비트까지 순차적으로 홀딩하여 기 설정된 n비트 수만큼 디지털 신호를 출력하는 등의 기능을 제공할 수 있는데, 여기에서 생성되는 최상위 비트의 디지털 신호는 논리 스위칭 정보로서 DAC(102)로 제공될 수 있다.

[0039] 이상의 설명은 본 발명의 기술사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경 등이 가능함을 쉽게 알 수 있을 것이다. 즉, 본 발명에 개시된 실시 예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것으로서, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다.

[0040] 따라서, 본 발명의 보호 범위는 후술되는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

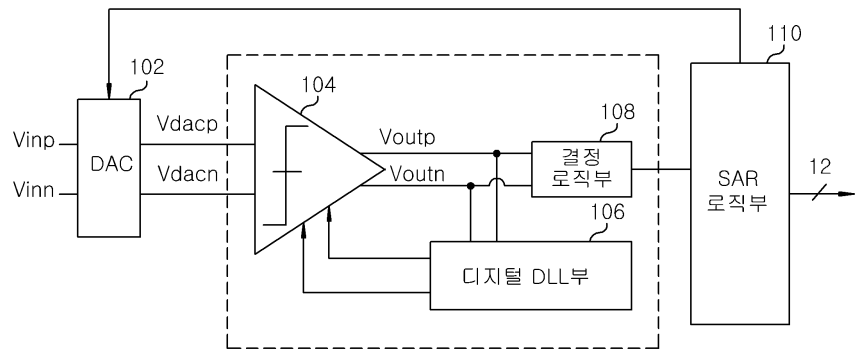
부호의 설명

- [0041] 102 : DAC
104 : 비교기
106 : 디지털 DLL부

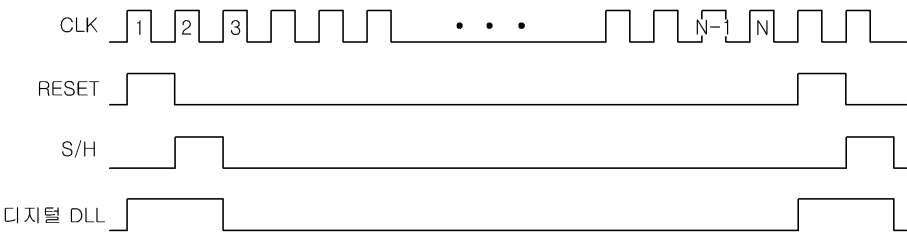
- 108 : 결정 로직부
- 110 : SAR 로직부
- 502a, 502b : 신호 지연 라인
- 504a, 504b : 오프셋 산출부

도면

도면1

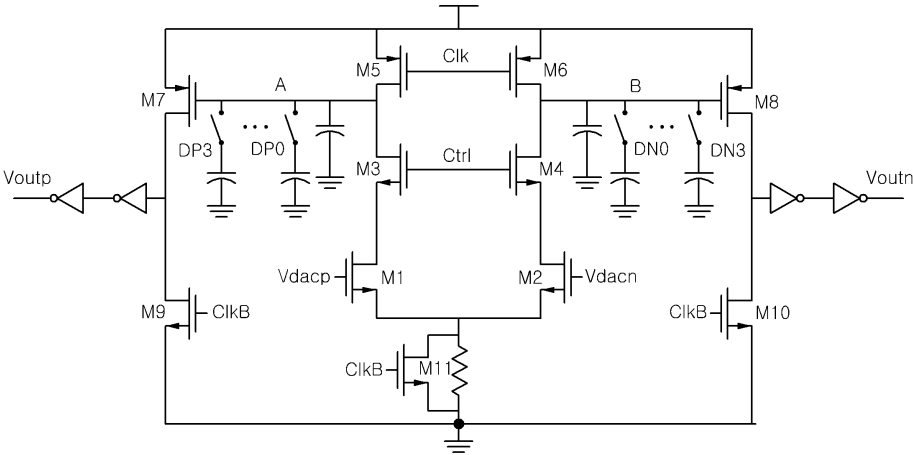


도면2

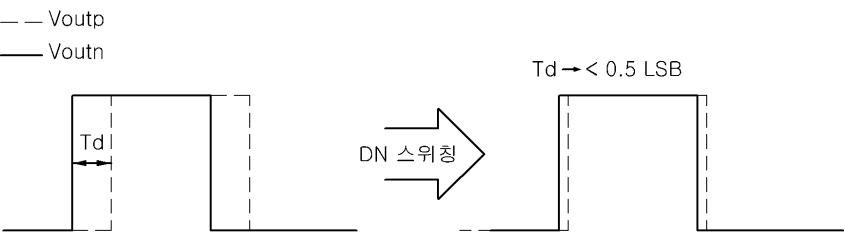


도면3

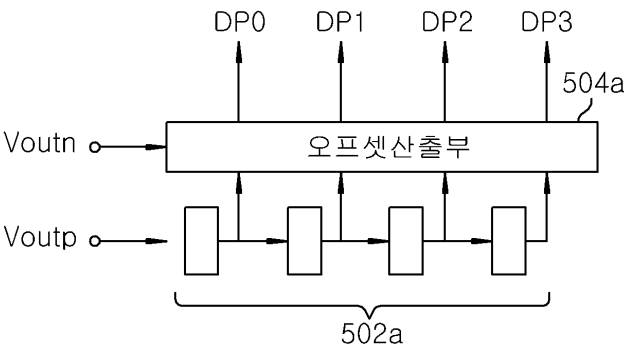
104



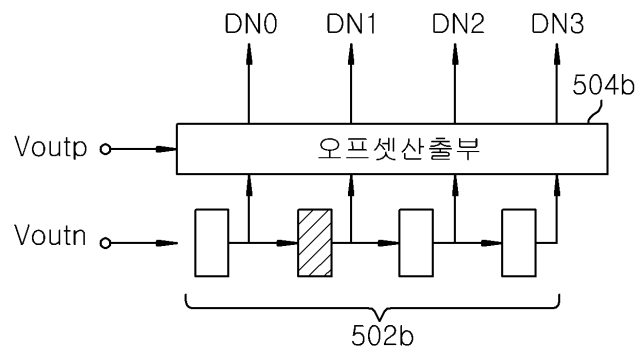
도면4



도면5a



도면5b



도면6

