



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월19일
 (11) 등록번호 10-1697527
 (24) 등록일자 2017년01월12일

(51) 국제특허분류(Int. Cl.)
 H03K 17/22 (2006.01) H03K 3/356 (2006.01)
 (52) CPC특허분류
 H03K 17/22 (2013.01)
 H03K 3/356 (2013.01)
 (21) 출원번호 10-2015-0140221
 (22) 출원일자 2015년10월06일
 심사청구일자 2015년10월06일
 (56) 선행기술조사문헌
 JP2006246367 A
 JP59202728 A

(73) 특허권자
 울산과학기술원
 울산광역시 울주군 언양읍 유니스트길 50
 (72) 발명자
 이명희
 울산광역시 울주군 언양읍 유니스트길 50
 조원희
 울산광역시 울주군 언양읍 유니스트길 50
 (뒷면에 계속)
 (74) 대리인
 특허법인충정

전체 청구항 수 : 총 4 항

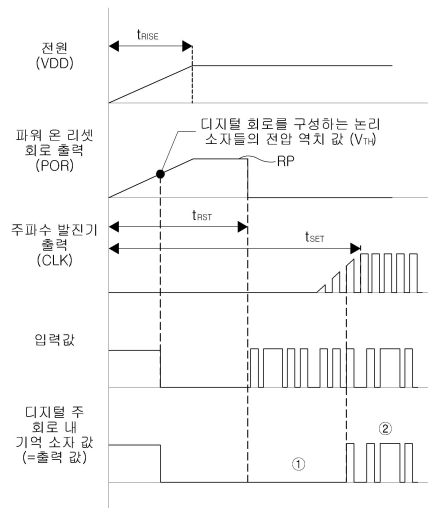
심사관 : 이우리

(54) 발명의 명칭 **디지털 회로의 오동작을 방지하기 위한 보호 회로**

(57) 요약

본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로는, 주파수 발진기의 출력과 파워 온 리셋 회로의 출력을 수신하는 디지털 회로의 보호 회로에 있어서, 상기 주파수 발진기의 출력과 상기 파워 온 리셋 회로의 출력에 기반하여 상기 디지털 회로의 동작 준비가 완료되었음을 나타내는 준비 완료 신호를 출력하는 오동작 방지부를 포함하여, 최소한의 구성요소를 사용하여 파워 온 리셋 회로의 리셋 펄스의 지속 시간 동안 안정화되지 못한 주파수 발진기로 인한 디지털 회로의 오동작을 방지할 수 있다.

대표도 - 도1



(72) 발명자

강석환

울산광역시 울주군 언양읍 유니스트길 50

조영욱

울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호 10044497

부처명 지식경제부

연구관리전문기관 한국산업기술평가관리원

연구사업명 신진연구

연구과제명 AEC-Q100을 만족하는 BCDMOS 기반 자동차용 반도체 공정 및 관련 핵심 IP 개발

기여율 1/1

주관기관 국립대학법인 울산과학기술대학교 산학협력단

연구기간 2015.05.01 ~ 2016.04.30

명세서

청구범위

청구항 1

주파수 발진기의 출력과 파워 온 리셋 회로의 출력을 수신하는 디지털 회로의 보호 회로에 있어서,
 상기 주파수 발진기의 출력과 상기 파워 온 리셋 회로의 출력에 기반하여 상기 디지털 회로의 동작 준비가 완료 되었음을 나타내는 준비 완료 신호를 출력하는 오동작 방지부를 포함하며,
 상기 오동작 방지부는,
 상기 파워 온 리셋 회로에서 출력되는 리셋 펄스의 지속 시간 동안 리셋되고,
 상기 리셋 펄스의 지속 시간 이후에 상기 주파수 발진기에서 출력되는 클록 신호에 따라 상기 준비 완료 신호를 출력하며,
 상기 오동작 방지부는 D-플립플롭을 포함하고,
 상기 D-플립플롭의 D 입력 단자에는 논리 레벨 "하이(high)"인 전원 전압이 인가되고, 상기 D-플립플롭의 리셋 단자에는 상기 파워 온 리셋 회로의 출력이 인가되며, 상기 D-플립플롭의 클록 단자에는 상기 주파수 발진기의 출력이 인가되고,
 상기 D-플립플롭은 상기 준비 완료 신호를 상기 디지털 회로의 상위 시스템 및 상기 디지털 회로에 제공하는, 디지털 회로의 오동작을 방지하기 위한 보호 회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

청구항 1에 있어서,
 상기 상위 시스템은 상기 준비 완료 신호가 수신되지 않는 경우 상기 디지털 회로에 입력 신호를 제공하지 않고, 상기 준비 완료 신호가 수신되는 경우, 상기 디지털 회로에 입력 신호를 제공하며,
 상기 디지털 회로는 상기 준비 완료 신호가 수신되는 경우 작동을 시작하는, 디지털 회로의 오동작을 방지하기 위한 보호 회로.

청구항 5

청구항 4에 있어서,
 상기 D-플립플롭의 D 입력 단자와 접지 사이에 연결된 제1 커패시터, 상기 D-플립플롭의 리셋 단자와 접지 사이에 연결된 제2 커패시터 및 상기 D-플립플롭의 출력 단자와 접지 사이에 연결된 제3 커패시터를 더 포함하는, 디지털 회로의 오동작을 방지하기 위한 보호 회로.

청구항 6

청구항 1에 있어서,
 상기 오동작 방지부는 상기 디지털 회로에 내장되는, 디지털 회로의 오동작을 방지하기 위한 보호 회로.

발명의 설명

기술분야

[0001] 본 발명은 디지털 회로의 오동작을 방지하기 위한 보호 회로에 관한 것이다.

배경기술

[0002] 디지털 회로에는 보통 주파수 발진기(Oscillator)와 파워 온 리셋(Power On Reset) 회로가 부가적으로 부착된다. 주파수 발진기는 사각파형 펄스(이하 클록 신호)를 주기적으로 발생시켜 디지털 회로가 동기적으로 작동할 수 있도록 해준다.

[0003] 파워 온 리셋 회로는 디지털 회로 안에 있는 메모리 소자들의 값들이 초기화되도록 전원이 인가된 후 일정 시간 동안 리셋 펄스를 발생시킨다. 이 리셋 펄스는 디지털 회로의 동작을 일시정지시키는 역할도 수행한다. 이 일시 정지되어 있는 시간동안 주파수 발진기는 안정화되어 주기적인 펄스를 발생시킬 수 있어야 한다.

[0004] 그러나 문제는 주파수 발진기가 주어진 파워 온 리셋 시간(보통 수 백 μ s에서 수 ms)동안 안정화되지 못했을 경우이다. 보통 저사양의 주파수 발진기는 회로의 노이즈를 이용하여 작동하도록 설계되기도 하는데, 이 경우 회로의 노이즈에 따라 주어진 시간 안에 안정화되지 못할 수도 있다. 즉, 주파수 발진기가 안정화되는 시간을 t_{SET} 이라 하고, 파워 온 리셋 회로의 리셋 펄스의 지속 시간을 t_{RST} 이라고 할 때, $t_{SET} > t_{RST}$ 이 되면 도 1과 같은 문제가 발생할 수 있다.

[0005] 도 1은 주파수 발진기가 주어진 시간 내에 발진하지 못했을 경우 발생하는 문제의 상황을 타이밍 다이어그램으로 나타낸 것이다. t_{SET} 이 t_{RST} 보다 훨씬 큰 것을 확인할 수 있다. 전원 전압(VDD)은 매우 짧은 상승 시간(t_{RISE}) (보통 1ms 이내) 동안 서서히 증가한다. 이에 따라 파워 온 리셋 회로는 전원이 안정된 후에도 일정 시간(t_{RST}) 동안 리셋 펄스(RP)를 제공한다. 이 리셋 펄스(RP)에 의해 디지털 회로 내 기억 소자들의 값이 알 수 없는 값에서 기본 값(여기에선, 로우 레벨)으로 초기화 된다.

[0006] 상위 시스템과 같은 외부 회로는 파워 온 리셋의 리셋 펄스가 끝나면, 회로가 초기화되어 동작할 준비가 되었다는 것으로 인식하게 된다. 외부 회로에서 입력 값을 t_{RST} 시간 이후 입력하는 것을 볼 수 있다. 그러나 주파수 발진기에서 클록 신호가 발생되지 않고 있기 때문에 디지털 회로는 도 1의 ①에 표시된 바와 같이, 이 입력 값들을 모두 놓치게 된다. 그러다 t_{SET} 시간 즈음해선 클록 신호가 안정되어 도 1의 ②에 표시된 바와 같이, 디지털 회로는 입력 값들을 받아들여 신호처리를 시작한다.

[0007] 그러나 이미 놓친 입력값들로 인해 디지털 회로는 비정상적으로 동작할 가능성이 매우 높아지게 된다.

[0008] 하기의 특허문헌 1은 타임 스위치의 제어 메모리 초기화 장치를 개시하고 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) KR 2002-0044918 A

발명의 내용

해결하려는 과제

[0010] 본 발명이 해결하고자 하는 과제는, 주파수 발진기와 파워 온 리셋 회로가 부가적으로 부착된 디지털 회로에 있어서 파워 온 리셋 시간 동안 안정화되지 못한 주파수 발진기로 인한 디지털 회로의 오동작을 방지할 수 있는, 디지털 회로의 오동작을 방지하기 위한 보호 회로를 제공하는 것이다.

과제의 해결 수단

[0011] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로는,

[0012] 주파수 발진기의 출력과 파워 온 리셋 회로의 출력을 수신하는 디지털 회로의 보호 회로에 있어서,

- [0013] 상기 주파수 발진기의 출력과 상기 파워 온 리셋 회로의 출력에 기반하여 상기 디지털 회로의 동작 준비가 완료되었음을 나타내는 준비 완료 신호를 출력하는 오동작 방지부를 포함한다.
- [0014] 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로에 있어서, 상기 오동작 방지부는,
- [0015] 상기 파워 온 리셋 회로에서 출력되는 리셋 펄스의 지속 시간 동안 리셋되고,
- [0016] 상기 리셋 펄스의 지속 시간 이후에 상기 주파수 발진기에서 출력되는 클럭 신호에 따라 상기 준비 완료 신호를 출력할 수 있다.
- [0017] 또한, 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로에 있어서, 상기 오동작 방지부는 D-플립플롭을 포함하고,
- [0018] 상기 D-플립플롭의 D 입력 단자에는 논리 레벨 "하이(high)"인 전원 전압이 인가되고, 상기 D-플립플롭의 리셋 단자에는 상기 파워 온 리셋 회로의 출력이 인가되며, 상기 D-플립플롭의 클럭 단자에는 상기 주파수 발진기의 출력이 인가되고,
- [0019] 상기 D-플립플롭은 상기 준비 완료 신호를 상기 디지털 회로의 상위 시스템 및 상기 디지털 회로에 제공할 수 있다.
- [0020] 또한, 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로에 있어서, 상기 상위 시스템은 상기 준비 완료 신호가 수신되지 않는 경우 상기 디지털 회로에 입력 신호를 제공하지 않고, 상기 준비 완료 신호가 수신되는 경우, 상기 디지털 회로에 입력 신호를 제공하며, 상기 디지털 회로는 상기 준비 완료 신호가 수신되는 경우 작동을 시작할 수 있다.
- [0021] 또한, 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로는, 상기 D-플립플롭의 D 입력 단자와 접지 사이에 연결된 제1 커패시터, 상기 D-플립플롭의 리셋 입력 단자와 접지 사이에 연결된 제2 커패시터 및 상기 D-플립플롭의 출력 단자와 접지 사이에 연결된 제3 커패시터를 더 포함할 수 있다.
- [0022] 또한, 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로에 있어서, 상기 오동작 방지부는 상기 디지털 회로에 내장될 수 있다.

발명의 효과

- [0023] 본 발명의 일 실시예에 의하면, 부가적인 검파 회로(detection circuit)를 개발할 필요 없이 최소한의 구성요소를 사용하여 파워 온 리셋 회로의 리셋 펄스의 지속 시간 동안 안정화되지 못한 주파수 발진기로 인한 디지털 회로의 오동작을 방지할 수 있다. 예를 들어, 본 발명의 일 실시예에 의하면, 단 1개의 D-플립플롭을 사용하여 디지털 회로의 오동작을 방지할 수 있다. D-플립플롭은 디지털 회로에서 가장 작은 단위 기억 소자로서 전체 시스템에서 차지하는 비용은 거의 0에 가깝다. 특수한 응용에서는 이러한 페일-세이프(fail-safe) 기능을 필수적으로 요구하게 되는데, 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로를 이용하면, 거의 0의 비용으로 페일 세이프의 요구 조건을 만족시킬 수 있으므로, 매우 경쟁력 있는 회로를 설계할 수 있다.

도면의 간단한 설명

- [0024] 도 1은 주파수 발진기가 주어진 시간 내에 발진하지 못했을 경우 발생하는 문제의 상황을 도시한 타이밍 다이어그램.
- 도 2는 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로가 적용되는 디지털 회로를 도시한 도면.
- 도 3 내지 도 6은 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로의 동작을 설명하기 위한 타이밍 다이어그램.
- 도 7은 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로가 디지털 주 회로에 내장되는 실시예를 도시한 도면.
- 도 8은 본 발명의 다른 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

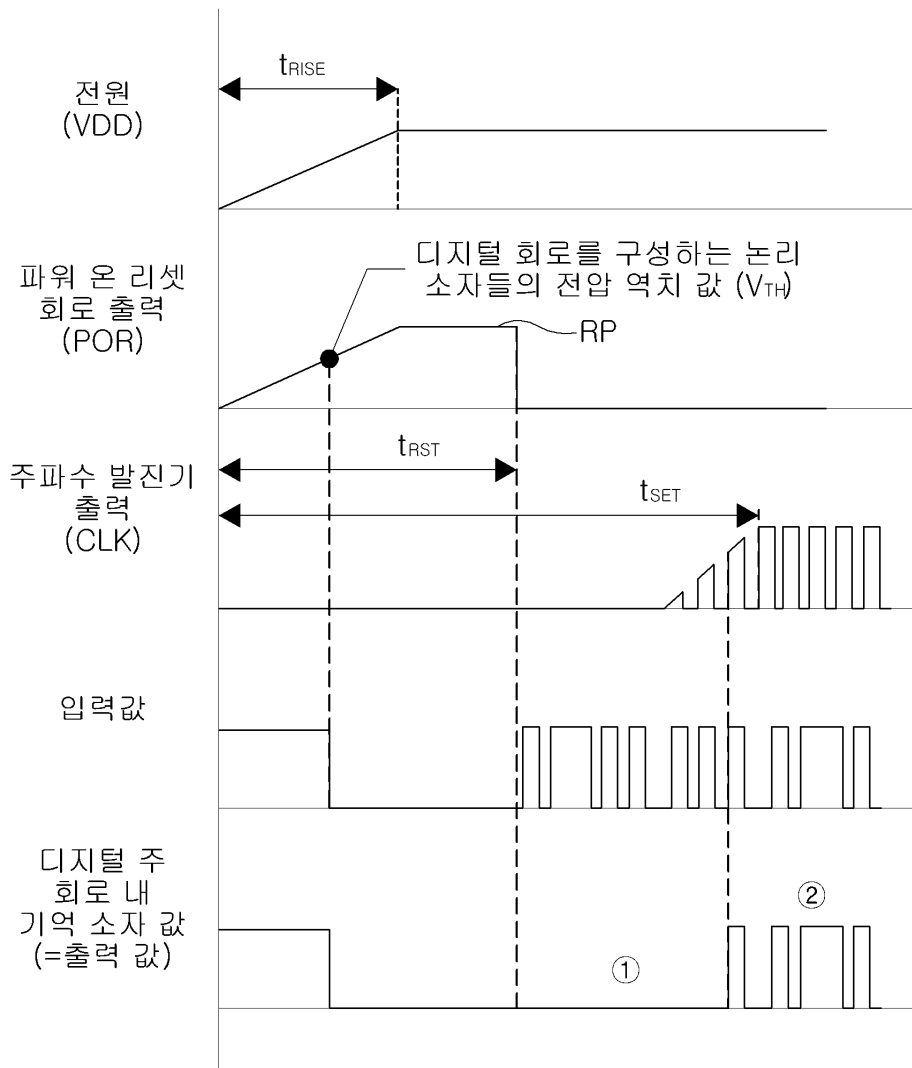
- [0025] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되어지는 이하의 상세한 설명과 바람직한 실시예들로부터 더욱 명백해질 것이다.
- [0026] 이에 앞서 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이고 사전적인 의미로 해석되어서는 아니되며, 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있는 원칙에 입각하여 본 발명의 기술적 사상에 부합되는 의미와 개념으로 해석되어야 한다.
- [0027] 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.
- [0028] 또한, "제1", "제2", "일면", "타면" 등의 용어는, 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 상기 용어들에 의해 제한되는 것은 아니다.
- [0029] 이하, 본 발명을 설명함에 있어, 본 발명의 요지를 불필요하게 흐릴 수 있는 관련된 공지 기술에 대한 상세한 설명은 생략한다.
- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 상세히 설명하기로 한다.
- [0031] 도 2는 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로(204)가 적용되는 디지털 회로를 도시한 도면이다.
- [0032] 도 2를 참조하면, 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로(204)는, 주파수 발진기(200)의 출력(CLK)과 파워 온 리셋 회로(202)의 출력(POR)에 기반하여 디지털 주 회로(206)의 동작 준비가 완료되었음을 나타내는 준비 완료 신호(READY, 도 3 내지 도 6 참조)를 출력하는 오동작 방지부(204)를 포함한다.
- [0033] 상기 오동작 방지부(204)는, 상기 파워 온 리셋 회로(202)에서 출력되는 리셋 펄스(RP, 도 3 내지 도 6 참조)의 지속 시간 동안 리셋되고, 상기 리셋 펄스(RP)의 지속 시간 이후에 상기 주파수 발진기(200)에서 출력되는 클럭 신호(CLK)에 따라 상기 준비 완료 신호(READY)를 출력한다.
- [0034] 상기 리셋 펄스(RP)는 상기 디지털 주 회로(206) 안의 메모리 소자들(미도시)의 값을 초기화하기 위하여 상기 파워 온 리셋 회로(202)에서 출력되는 신호이다.
- [0035] 상기 오동작 방지부(205)는 준비 완료 신호(READY)를 생성하여 상위 시스템(미도시) 및 상기 디지털 주 회로(206)에 제공한다.
- [0036] 상기 디지털 주 회로(206)의 동작을 조정하는 상기 상위 시스템은 상기 준비 완료 신호(READY)가 수신되지 않는 경우 상기 디지털 주 회로(206)에 입력 신호를 제공하지 않고, 상기 준비 완료 신호(READY)가 수신되는 경우, 상기 디지털 주 회로(206)에 입력 신호를 제공하며, 상기 디지털 주 회로(206)는 상기 준비 완료 신호(READY)가 수신되는 경우 작동을 시작한다.
- [0037] 상기 준비 완료 신호(READY)는 상기 디지털 주 회로(206)가 올바르게 동작할 수 있다는 것을 알리는 신호이다.
- [0038] 상기 디지털 주 회로(206)를 조정하는 상기 상위 시스템은 상기 준비 완료 신호(READY)가 수신되는 경우, 상기 디지털 주 회로(206)가 동작 준비가 되었다고 판단하여, 입력 신호를 디지털 주 회로(206)에 제공한다. 또한, 상기 디지털 주 회로(206)도 상기 준비 완료 신호(READY)가 수신되는 경우, 자기 자신이 올바르게 초기화되었고, 클럭 신호도 올바르게 입력되고 있어 동작 준비가 되었다고 판단한다.
- [0039] 상기 준비 완료 신호(READY)가 상기 디지털 주 회로(206)에 인가되는 것은, 상기 디지털 주 회로(206)가 정식 동작을 개시하기 전에 올바르게 작동할 준비가 되었는지를 자가 점검함으로써, 오류가 발생하지 않도록 신뢰성을 보장하는 확인 과정이다.
- [0040] 도 2에 도시된 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로(204)는, 상기 파워 온 리셋 회로(202)의 리셋 펄스(RP)의 지속 시간(t_{RST}) 안에 주파수 발진기(200)의 클럭 신호(CLK)가 발생되지 못할 경우, 전체 시스템의 동작을 일시적으로 지연시켜 전체 시스템의 비정상 작동을 예방한다.
- [0041] 도 2에 도시된 바와 같이, 상위 시스템은 보호 회로(204)에서 준비 완료 신호(READY)가 발생하는 경우 입력 신호를 제공하도록 구성되어야 하고, 디지털 주 회로(206) 또한 준비 완료 신호(READY)가 발생하는 경우 작동을

시작하도록 구성되어야 한다.

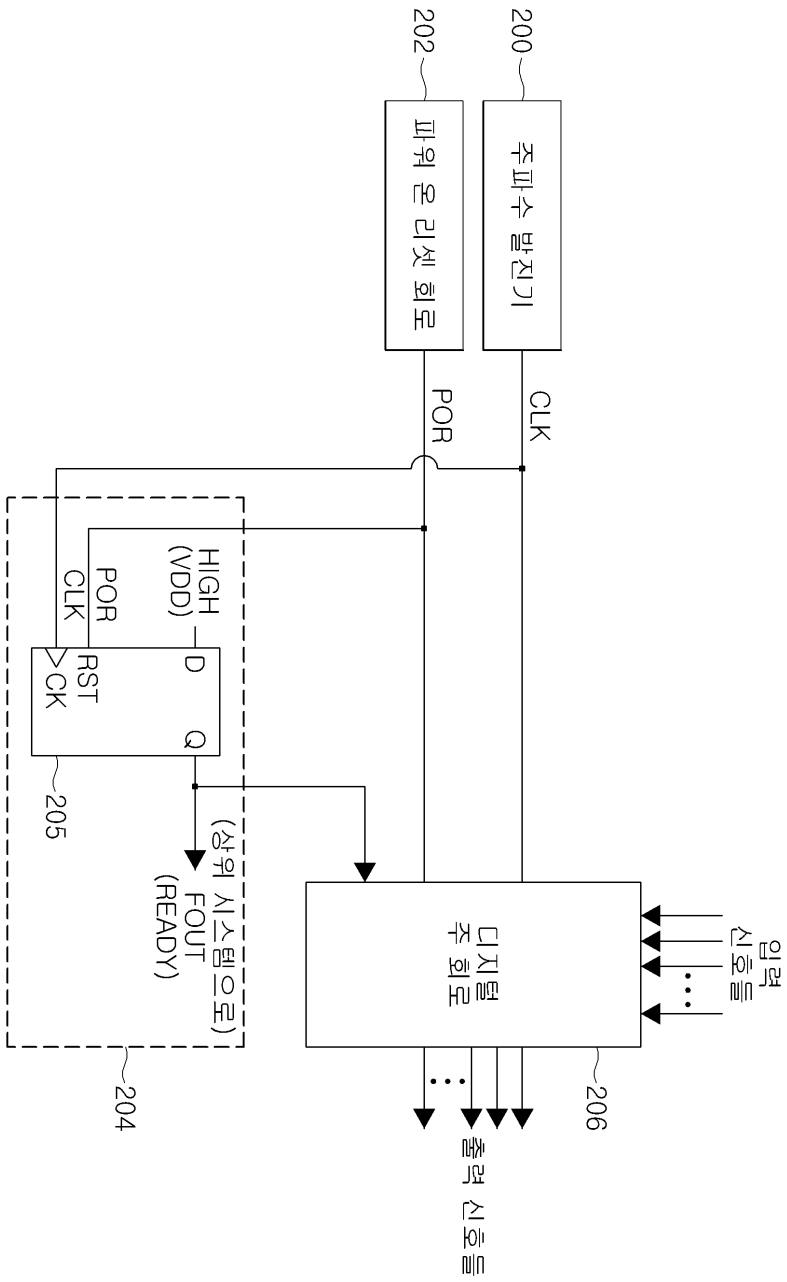
- [0042] 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로(204)의 내부는 도 2에 도시된 바와 같이, 오동작 방지부로서, 단 1개의 D-플립플롭(205)으로 구성되어 있으며, D-플립플롭(205)의 입력(D)은 전원 전압(VDD)인 논리 레벨 "하이(HIGH)"가 인가되어 고정(tie)되어 있고, 이는 물리적으로 전원에 연결되어 있다. D-플립플롭(205)의 리셋 단자(RST)에는 파워 온 리셋 회로(202)의 출력(POR)이 인가되고, 클록 단자(CK)에는 주파수 발진기(200)의 클록 신호(CLK)가 인가된다. 또한 D-플립플롭(205)의 출력 단자(Q)에서는 출력 신호(FOUT(READY))가 출력되고, D-플립플롭(205)에서 준비 완료 신호(READY)가 발생하는 경우 발생된 준비 완료 신호(READY)가 디지털 주 회로(206)와 상위 시스템(미도시)에 제공된다.
- [0043] 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로(204)는 도 3 내지 도 6에 도시된 바와 같이 발생할 수 있는 모든 경우의 수에서 디지털 주 회로(206)의 올바른 동작을 보장하게 된다.
- [0044] 먼저 도 3은 일반적인 동작 상황을 도시한 것으로, 파워 온 리셋 회로(202)에서 출력되는 리셋 펄스(RP)의 지속 시간(t_{RST}) 이내에 주파수 발진기(200)가 안정화된 경우이다. 이 경우, 보호 회로(204)에서 출력되는 준비 완료 신호(READY)는 t_{RST} 이 우성 인자(dominant factor)가 된다. t_{SET} 는 주파수 발진기(200)가 안정화되는 시간을 나타낸다.
- [0045] 다음으로 도 4는 주파수 발진기(200)의 안정화 시간이 매우 늦어진 경우로, 파워 온 리셋 회로(202)에서 출력되는 리셋 펄스(RP)의 지속 시간(t_{RST}) 이내에 주파수 발진기(200)가 안정화되지 못한 경우이다. 그렇다 하더라도 주파수가 정상적으로 발진하기 시작하면, 보호 회로(204)가 정상적인 발진을 인지하여 준비 완료 신호(READY)를 발생시킬 수 있게 된다. 이로써 보호 회로(204)는 준비 완료 신호(READY)를 발생시켜 상위 시스템(미도시)과 디지털 주 회로(206)에 제공함으로써, 회로 초기화를 완료하였고, 입력 값 또한 받아들일 준비가 되었음을 상위 시스템(미도시)과 디지털 주 회로(206)에 알리게 된다. 이 경우, 준비 완료 신호(READY)는 t_{SET} 이 우성 인자가 된다.
- [0046] 도 5는 전원 전압(VDD)이 올라가는 속도가 매우 늦어진 경우로, 파워 온 리셋 회로(202)에서 출력되는 리셋 펄스(RP)의 지속 시간(t_{RST})이 길어지게 된다. 따라서, 주파수 발진기(200)는 t_{RST} 보다 빠른 시간에 안정화될 수 있다. 비록 주파수 발진기(200)는 빠르게 안정화되어 클록 신호(CLK)를 발생시키지만, 파워 온 리셋 회로(202)에서 출력되는 리셋 펄스(RP)에 의해 전체 회로를 아직 초기화시키는 중이므로, 회로는 일시 정지 되어 있고, 준비 완료 신호(READY)는 0(로우 레벨)이 된다. 파워 온 리셋 회로(202)에서 출력되는 리셋 펄스(RP)에 의한 전체 회로 초기화가 끝나면, 보호 회로(204)는 다음 번 클록 신호의 상승 엣지(rising edge)에서 준비 완료 신호(READY)를 1(하이 레벨)로 바꾸게 된다. 이 경우, 보호 회로(204)의 준비 완료 신호(READY)는 t_{RST} 이 우성 인자가 된다.
- [0047] 마지막으로 도 6은 전원 전압(VDD)이 올라가는 속도가 매우 늦어지고, 주파수 발진기(200)의 안정화 시간(t_{SET})도 길어진 경우이다. 전원 전압(VDD)이 올라가는 속도가 매우 늦어지더라도, 디지털 회로를 구성하는 논리 소자들의 역치 전압(V_{TH}) 이상으로 리셋 펄스(RP)가 유지되어 전체 회로는 충분히 초기화 된다. 이후 보호 회로(204)는 주파수 발진기(200)가 안정화되어 정상 작동하기를 기다리게 되고, 정상적인 클록 신호가 들어오기 시작하면 준비 완료 신호(READY)를 1(하이 레벨)로 바꾸게 된다. 이 경우, 준비 완료 신호(READY)는 t_{SET} 이 우성 인자가 된다.
- [0048] 상기와 같이, 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로(204)는, 파워 온 리셋 회로(202)와 주파수 발진기(200)로 인해 발생할 수 있는 문제의 상황들로부터 설계 시스템을 보호할 수 있다.
- [0049] 한편, 도 7은 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로(704)가 디지털 주 회로(706)에 내장되는 실시예를 도시한 도면이다.
- [0050] 도 7을 참조하면, 본 발명의 일 실시예에 의한 디지털 회로의 오동작을 방지하기 위한 보호 회로(704)는 디지털 주 회로(706)에 내장되어 있다. 상기 보호 회로(704)는 오동작 방지부로서 D-플립플롭(705)을 포함하며, 주파수 발진기(700)의 출력(CLK) 및 파워 온 리셋 회로(702)의 출력(POR)에 기반하여, 준비 완료 신호(READY)를 생성하고, 생성된 준비 완료 신호(READY)를 상위 시스템과 디지털 주 회로(706)에 제공한다.

도면

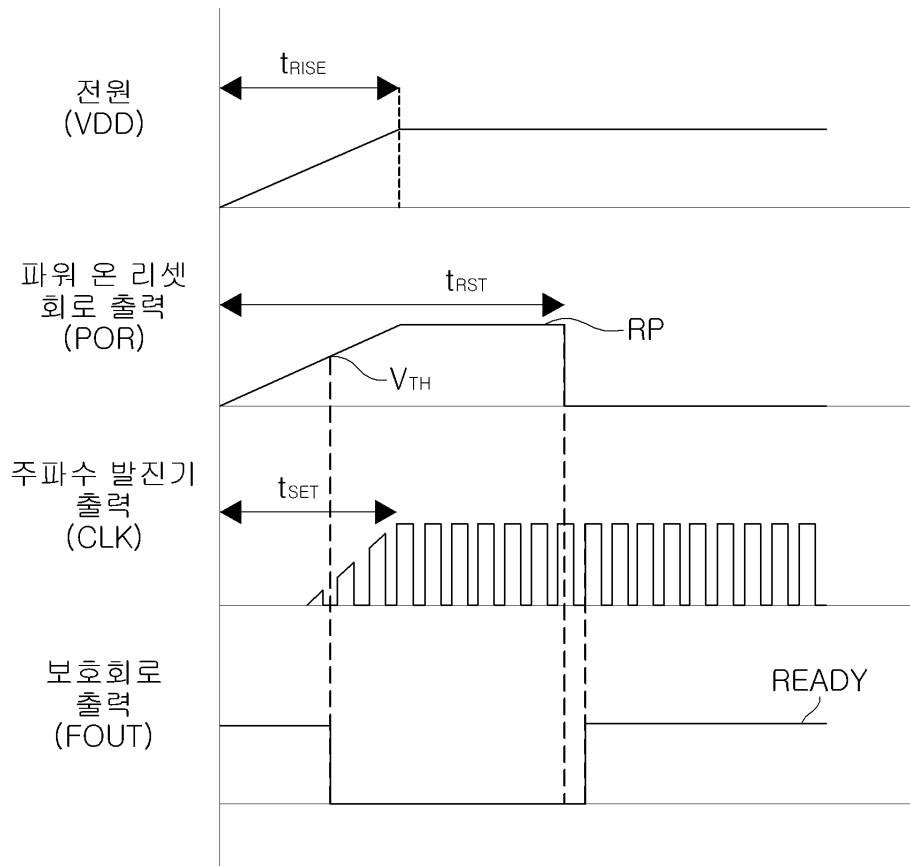
도면1



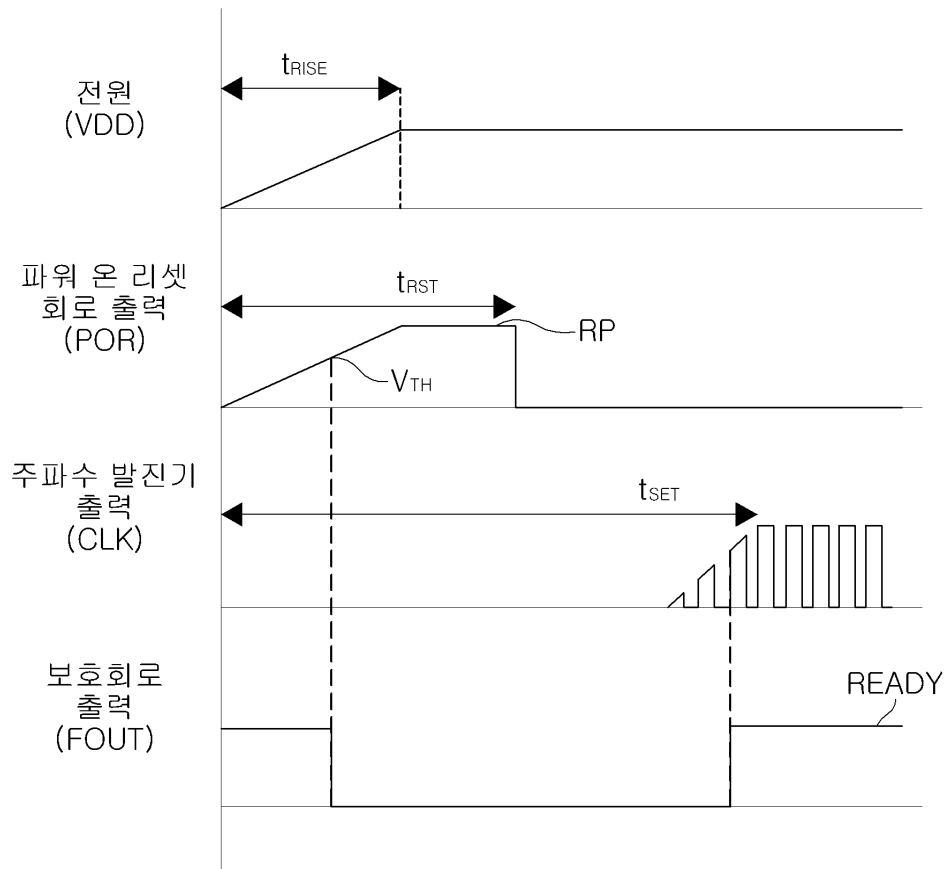
도면2



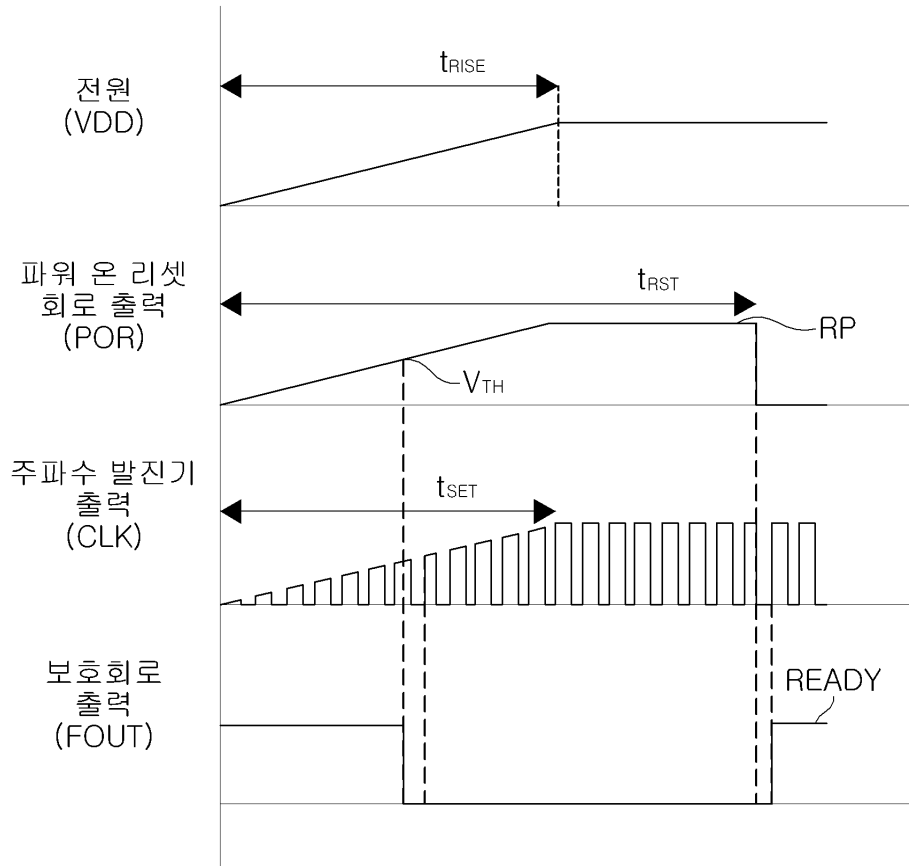
도면3



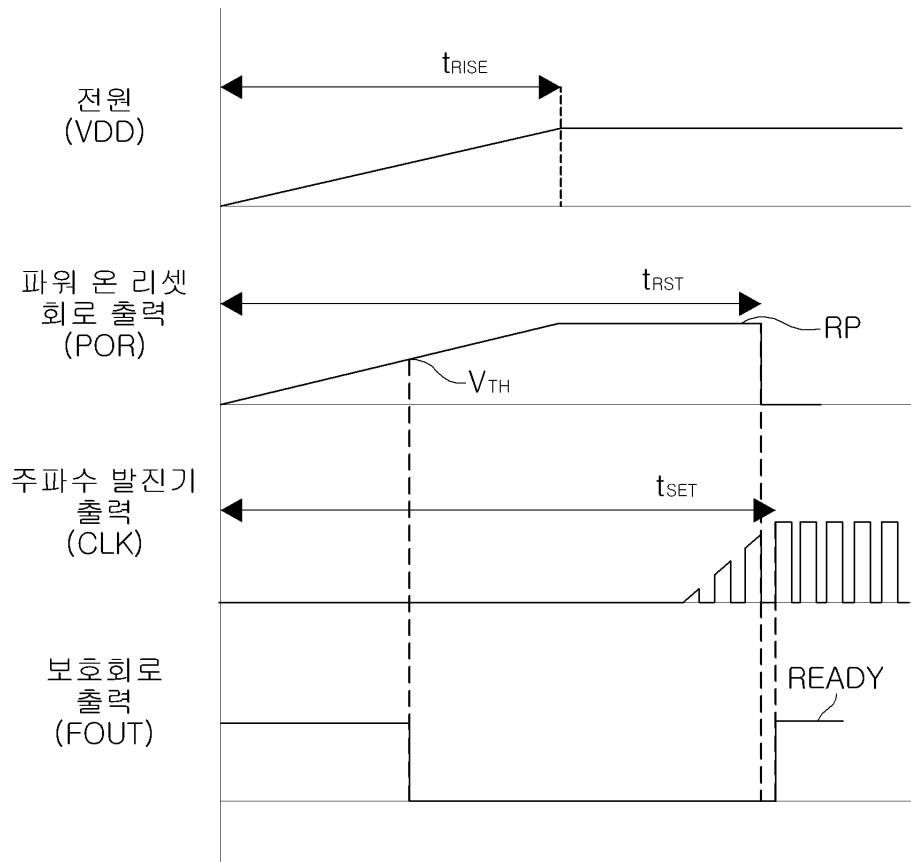
도면4



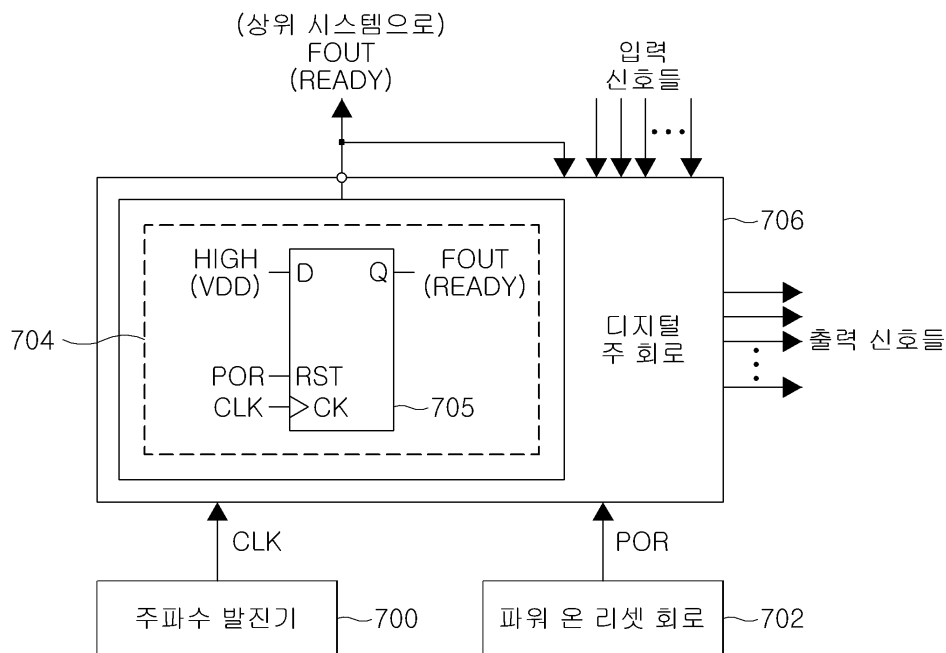
도면5



도면6



도면7



도면8

