



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년10월25일
(11) 등록번호 10-2457874
(24) 등록일자 2022년10월19일

(51) 국제특허분류(Int. Cl.)
H03F 1/32 (2006.01) H03F 1/02 (2006.01)
H03F 3/193 (2006.01) H03F 3/195 (2006.01)
H03F 3/21 (2006.01) H03F 3/24 (2006.01)
(52) CPC특허분류
H03F 1/3241 (2013.01)
H03F 1/0266 (2013.01)
(21) 출원번호 10-2020-0028948
(22) 출원일자 2020년03월09일
심사청구일자 2020년03월09일
(65) 공개번호 10-2021-0113786
(43) 공개일자 2021년09월17일
(56) 선행기술조사문헌
KR1020050089609 A*
KR1020070017273 A*
KR1020190080164 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
김철영
대전광역시 유성구 계룡로 55, 102동 2104호(봉명동, 유성자이아파트)
최한웅
강원도 원주시 부론면 가루개길 70
(뒷면에 계속)
(74) 대리인
특허법인빛과소금

전체 청구항 수 : 총 6 항

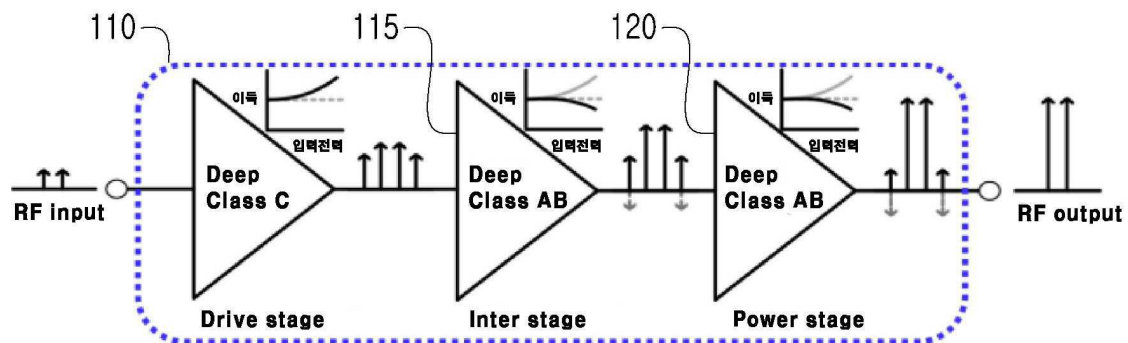
심사관 : 이준건

(54) 발명의 명칭 다단 선형화 기법을 이용한 전력증폭기

(57) 요약

본 발명은 전치왜곡 보상 방식에 따라 전력증폭기의 선형성을 향상시키는 기술로서, 전력단의 바이어스 부담을 낮추기 위하여 구동단과 전력단 사이에 중간단을 두어 구동단에 의한 전치왜곡이 중간단과 전력단의 왜곡에 의해 보상되게 한다. 본 발명에 따르면 왜곡의 보상이 중간단과 전력단에서 나누어 이루어짐으로써 전력단의 바이어스 전압을 낮출 수 있고, 전력증폭기의 전체 효율을 높일 수 있다.

대표도 - 도2



(52) CPC특허분류

H03F 1/3205 (2013.01)

H03F 3/193 (2013.01)

H03F 3/195 (2013.01)

H03F 3/211 (2013.01)

H03F 3/245 (2013.01)

H03F 2201/3215 (2013.01)

(72) 발명자

최선규

서울특별시 마포구 백범로37길 12, 106동 1604호(
신공덕동, 신공덕1차삼성래미안아파트)

이은규

대전광역시 대덕구 신탄진로756번안길 452(용호동)

임정택

대전광역시 대덕구 동서대로1754번길 39, A동 102
호(비래동, 수정맨션)

명세서

청구범위

청구항 1

다단 선형화 기법을 이용한 전력증폭기로서,

동위상의 IMD3(third-order intermodulation distortion)를 생성하도록 서브-임계 전압 바이어스 조건을 갖는 전치왜곡 구동단;

역위상의 IMD3를 생성하도록 상기 전치왜곡 구동단에 접속되는 중간단; 및

역위상의 IMD3를 생성하도록 상기 중간단에 접속되는 전력단

을 포함하고,

상기 전치왜곡 구동단에 의해 생성되는 상기 동위상의 IMD3는 상기 중간단에 의해 생성된 역위상의 IMD3 및 상기 전력단에 의해 생성된 역위상의 IMD3에 의해 상쇄됨으로써, 상기 전치왜곡 구동단에 의한 전치왜곡이 상기 중간단과 상기 전력단에서 나누어져 보상되는

다단 선형화 기법을 이용한 전력증폭기.

청구항 2

제1항에 있어서,

상기 전치왜곡 구동단은 딥 클래스 C(deep class C) 모드로 동작하고,

상기 중간단은 딥 클래스 AB(deep class AB) 모드로 동작하며,

상기 전력단은 딥 클래스 AB(deep class AB) 모드로 동작하는

다단 선형화 기법을 이용한 전력증폭기.

청구항 3

제1항에 있어서,

상기 전력증폭기는 밀리미터파 CMOS(Complementary metal-oxide-semiconductor) 전력증폭기이고, 24 내지 27 GHz의 주파수 대역에서 동작하는

다단 선형화 기법을 이용한 전력증폭기.

청구항 4

제1항에 있어서,

상기 전치왜곡 구동단, 상기 중간단, 상기 전력단 각각은 공통 소스를 갖는 2개의 MOSFET(metal-oxide-semiconductor field-effect transistor)을 포함하고, 상기 전치왜곡 구동단과 상기 중간단, 그리고 상기 중간단과 상기 전력단은 트랜스포머 발룬(transformer balun)에 의해 자기적으로 결합되는

다단 선형화 기법을 이용한 전력증폭기.

청구항 5

제1항에 있어서,

상기 전치왜곡 구동단, 상기 중간단, 상기 전력단 각각은 하나의 MOSFET을 포함하고, 상기 전치왜곡 구동단과 상기 중간단, 그리고 상기 중간단과 상기 전력단은 트랜스포머 발룬에 의해 자기적으로 결합되는

다단 선형화 기법을 이용한 전력증폭기.

청구항 6

제1항에 있어서,

상기 전치왜곡 구동단, 상기 중간단, 상기 전력단 각각은 하나의 MOSFET을 포함하고, 상기 전치왜곡 구동단과 상기 중간단, 그리고 상기 중간단과 상기 전력단은 인덕터를 통해 결합되는

다단 선형화 기법을 이용한 전력증폭기.

발명의 설명

기술 분야

[0001] 본 발명은 전력증폭기에 관한 것으로서, 더욱 상세하게는 다단 선형화 기법을 이용한 밀리미터파 전력증폭기에 관한 것이다.

배경 기술

[0002] 전력증폭기는 모든 무선통신기기의 말단에서 안테나로 입력되는 가장 큰 신호를 발생시키는 역할을 하며 먼 거리의 수신기에 신호를 전달하기 위해 가장 큰 전력을 소모하는 회로이기도 하다. 전력증폭기의 성능은 효율성 및 출력 전력에 따라 이동기기의 수명 및 통신 범위를 결정하는 것으로 알려져 있다. 따라서 전력증폭기의 효율이 향상되면 이동 단말의 배터리 사용시간이 증가될 뿐만 아니라, 기지국의 전력 소모 또한 극적으로 절약할 수 있다.

[0003] 최근, 반도체 기술이 나노-스케일의 트랜지스터로 향상됨에 따라, CMOS 전력증폭기가 주목을 받고 있다. 특히, CMOS 기술은 저비용으로 단일 칩에 회로들을 구현하는데 매우 유리하다. 그러나 실리콘(silicon) 기판은 매우 손실이 많기 때문에 출력 트랜스포머 발룬(balun; 평형 불평형 변성기)의 더 낮은 품질 인자(quality factor)는 출력 전력 및 효율성을 악화시킨다. 따라서 더 높은 선형 출력 전력 및 효율성을 갖는 CMOS 전력증폭기는 여러 도전 과제들을 제기한다.

[0004] 또한 밀리미터파 전력증폭기의 전력효율은 휴대용 기기 배터리 사용시간에 상당한 영향을 주기 때문에 이러한 전력효율을 높이기 위하여 최대 출력전력에 가까운 선형출력을 낼 수 있도록 하는 선형성 기술들이 많이 개발되고 있다.

[0005] 전력증폭기의 선형성을 향상시키기 위한 기술들 중 하나로서 전치왜곡 기술이 있다. 전치왜곡 기술은 증폭기의 역위상 증폭부를 구동단과 전력단으로 구성하고 각 단에 인가된 게이트 바이어스 전압을 조절하여 선형성을 높이는 방식을 취한다. 구체적으로, 전치왜곡 기술은 구동단과 전력단 간의 서로 상반된 부호를 가진 IMD3(third-order intermodulation distortion)를 이용하여 IMD3를 상호 상쇄시킴으로써 선형성을 높일 수 있다.

[0006] 이와 같이, 역위상 증폭부가 2단으로 구성된 종래 전치왜곡 기술은 박종훈 등의 논문 “A CMOS Antiphase Power Amplifier with an MGTR Technique for Mobile Application” IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL., 65, NO. 11, NOVEMBER 2017에 개시되어 있다. 도 1은 종래 기술에 따른 역위상 전력증폭기를 도시한다. 도 1에 도시된 바와 같이, 역위상 증폭부는 클래스 C(class C) 모드로 동작하는 구동단(110)과 쉘로우 클래스 AB(shallow class AB) 모드로 동작하는 전력단(120)으로 구성된다. 알려진 바와 같이, 딥 클래스 모드는 해당 클래스 모드보다 더 낮은 바이어스에서 동작하고 쉘로우 클래스 모드는 해당 클래스 모드보다 더 높은 바이어스에서 동작한다. 역위상 증폭부 앞에 배치된 클래스 A 모드의 증폭단(130)은 바이어싱이 충분히 스윙할 수 있도록 선택적으로 부가된 구성이다. 클래스 C 모드에서 동작하는 구동단(110)은 신호 대비 동위상의 IMD3 (third-order intermodulation distortion)를 형성한다. 이렇게 형성된 동위상의 IMD3는 Class AB 모드에서 동작하는 전력단(120)에서 생성된 신호 대비 역위상의 IMD3와 합해져 제거되어 전력증폭기의 선형성을 증가시킨다. 이 경우 클래스 C 모드의 구동단에서 생성된 포지티브 IMD3와 클래스 AB 모드의 전력단에서 생성된 네거티브 IMD3 간의 전력 균형이 정확하게 일치할 때 선형성을 증가시킬 수 있다. 그러나 구동단의 경우 적정 바이어스 전압이 선택되어야 포지티브 IMD3와 전력단 구동에 필요한 전력을 생성해 낼 수 있다. 너무 낮은 바이어스 전압이 선택될 경우 포지티브 IMD3는 증가시킬 수 있으나 전력단 구동에 필요한 충분한 전력을 생성해 낼 수 없다. 따라서 위 두 가지 조건을 만족하는 구동단의 전압이 결정되면 전력단의 바이어스 전압을 조절하여 IMD3가 상쇄되도록 한다. 이 과정에서 전력단의 바이어스 전압 선택폭이 상당 부분 제한된다. 전력증폭기

의 효율은 가장 큰 트랜지스터 크기를 갖는 전력단의 바이어스 전압에 의해 결정되는데 상기 기재된 종래 기술의 경우 제한적인 바이어스 전압 선택폭으로 인해 전력단의 클래스를 낮출 수 없어 전체적인 효율을 증가시키기 어려웠다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 선행기술 1: 일본공개특허 제2007-6436호 "왜곡보상 증폭기"(2007.1.11. 공개)
- (특허문헌 0002) 선행기술 2: 한국공개특허 제2009-0084843호 "왜곡 성분을 상쇄하는 이산 증폭기"(2009.8.5. 공개)
- (특허문헌 0003) 선행기술 3: 미국공개특허 제2019/0190461호 "Multistage amplifier linearization in a radio frequency system"(2019.6.20. 공개)

비특허문헌

- [0008] (비특허문헌 0001) 선행기술 4: 박종훈 등의 논문 "A CMOS Antiphase Power Amplifier with an MGTR Technique for Mobile Application" IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL., 65, NO. 11, NOVEMBER 2017
- (비특허문헌 0002) 선행기술 5: Sherif Shakib, Kamran Entesari에 의한 "Highly Efficient and Linear Power Amplifier for 28-GHz 5G Phased Array Radios in 28-nm CMOS" (IEEE Journal of Solid-State Circuits, Volume: 51, Issue: 12, Dec. 2016)
- (비특허문헌 0003) 선행기술 6: 박병준, 김범만에 의한 "Linear mm-Wave CMOS Power Amplifier" (IEEE Transactions on Microwave Theory and Techniques, Volume: 64, Issue: 12, Dec. 2016)
- (비특허문헌 0004) 선행기술 7: Haikun Jia, Patrick Yue에 의한 "Full Ka-Band Power Amplifier With 32.9% PAE and 15.3-dBm Power in 65-nm CMOS" (IEEE Transactions on Circuits and Systems I: Regular Papers, Volume: 65, Issue: 9, Sept. 2018)
- (비특허문헌 0005) 선행기술 8: Sherif Shakib, Kamran Entesari에 의한 "Wideband 28GHz Power Amplifier Supporting 8x100MHz Carrier Aggregation for 5G in 40nm CMOS" (2017 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers)

발명의 내용

해결하려는 과제

- [0009] 본 발명은 전치왜곡 보상 방식에 따른 전력증폭기의 선형성을 향상시키는 것을 목적으로 한다. 특히 본 발명은 전치왜곡 보상 방식에 따른 전력증폭기에서 전력단의 바이어스 부담을 낮추어 전력증폭기의 전체 효율성을 증가시키는 것을 목적으로 한다.

과제의 해결 수단

- [0010] 상기와 같은 목적을 달성하기 위하여 본 발명의 일 태양에 따른 다단 선형화 기법을 이용한 전력증폭기는, 동위상의 IMD3(third-order intermodulation distortion)를 생성하도록 서브-임계 전압 바이어스 조건을 갖는 전치왜곡 구동단; 역위상의 IMD3를 생성하도록 상기 전치왜곡 구동단에 접속되는 중간단; 및 역위상의 IMD3를 생성하도록 상기 중간단에 접속되는 전력단을 포함하고, 상기 전치왜곡 구동단에 의해 생성되는 상기 동위상 IMD3는 상기 중간단에 의해 생성된 IMD3 및 상기 전력단에 의해 생성된 역위상 IMD3에 의해 상쇄될 수 있다.
- [0011] 또한, 상기 전치왜곡 구동단은 딥 클래스 C(deep class C) 모드로 동작할 수 있고, 상기 중간단은 딥 클래스 AB(deep class AB) 모드로 동작할 수 있으며, 상기 전력단은 딥 클래스 AB(deep class AB) 모드로 동작할 수

있다.

- [0012] 상기 전력증폭기는 밀리미터파 CMOS(Complementary metal-oxide-semiconductor) 전력증폭기일 수 있고, 24 내지 27 GHz의 주파수 대역에서 동작할 수 있다.
- [0013] 본 발명의 일 태양에 따르면, 상기 전치왜곡 구동단, 상기 중간단, 상기 전력단 각각은 공통 소스를 갖는 2개의 MOSFET(metal-oxide-semiconductor field-effect transistor)을 포함하고, 상기 전치왜곡 구동단과 상기 중간단, 그리고 상기 중간단과 상기 전력단은 트랜스포머 발룬(transformer balun)에 의해 자기적으로 결합될 수 있다.
- [0014] 본 발명의 다른 태양에 따르면, 상기 전치왜곡 구동단, 상기 중간단, 상기 전력단 각각은 하나의 MOSFET을 포함하고, 상기 전치왜곡 구동단과 상기 중간단, 그리고 상기 중간단과 상기 전력단은 트랜스포머 발룬에 의해 자기적으로 결합될 수 있다.
- [0015] 본 발명의 또 다른 태양에 따르면, 상기 전치왜곡 구동단, 상기 중간단, 상기 전력단 각각은 하나의 MOSFET을 포함하고, 상기 전치왜곡 구동단과 상기 중간단, 그리고 상기 중간단과 상기 전력단은 인덕터를 통해 결합될 수 있다.

발명의 효과

- [0016] 본 발명에 따르면, 전력증폭기의 전치왜곡 구동단과 전력단 사이에 중간단을 두어 전치왜곡 구동단에 의한 전치왜곡이 중간단과 전력단의 왜곡에 의해 상쇄될 수 있다. 즉, 본 발명에 따르면, 왜곡의 보상이 중간단과 전력단에서 나누어 이루어짐으로써 전력단의 바이어스 전압을 낮출 수 있고, 전력증폭기의 전체 효율이 높아진다. 왜곡의 상쇄가 중간단과 전력단에 분배됨에 따라 전력단의 바이어스 부담이 낮아져서 전력단이 더 낮은 클래스 모드에서 동작하는 것이 가능하게 된다.
- [0017] 또한 본 발명의 3-단 구조에 의해 충분한 이득이 획득될 수 있는데, 이것은 위상 어레이 채널(phased array channel)에 매우 필요한 특성이다.
- [0018] 또한 본 발명은 이하의 실시예 및 본 발명의 청구범위에 기재된 사항들로부터 용이하게 추고할 수 있는 범위 내에서 발생할 수 있는 그 밖의 효과를 가질 수 있다.

도면의 간단한 설명

- [0019] 도 1은 종래 기술에 따른 역위상 전력증폭기의 개략도이다.
- 도 2는 본 발명에 따른 역위상 전력증폭기의 개략도이다.
- 도 3a는 본 발명의 일 실시예에 따른 전력증폭기의 회로도이다.
- 도 3b는 본 발명의 다른 실시예에 따른 전력증폭기의 회로도이다.
- 도 3c는 본 발명의 또 다른 실시예에 따른 전력증폭기의 회로도이다.
- 도 4a 및 도 4b는 종래 기술에 따른 역위상 전력증폭기와 본 발명의 일 실시예에 따른 역위상 전력증폭기의 투-톤(two-ton) 시뮬레이션 결과를 보여준다.
- 도 5는 본 발명의 일 실시예에 따른 전력증폭기의 최적 게이트 전압을 얻기 위한 투-톤 시뮬레이션 결과를 보여준다.
- 도 6은 본 발명의 일 실시예에 따른 전력증폭기의 S-파라미터의 시뮬레이션 결과 및 측정 결과를 보여준다.
- 도 7은 25 GHz에서 측정된 본 발명의 일 실시예에 따른 전력증폭기의 출력 전력(P_{out})과 이득(Gain) 간의 관계를 보여준다.
- 도 8은 24-27 GHz에서 측정된 본 발명의 일 실시예에 따른 전력증폭기의 포화 전력(P_{sat}) 및 전력부가효율(PAE)을 보여준다.
- 도 9는 24-27 GHz에서 측정된 본 발명의 일 실시예에 따른 전력증폭기의 선형 P_{out}과 선형 PAE를 보여준다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 사람이 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 본 발명의 요지와 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조번호를 부가한다.
- [0021] 본 명세서에서 크기 또는 값이 특정 수치로 언급된 경우, 해당 수치뿐만 아니라 해당 수치의 허용오차 범위 내의 값들도 포함한다.
- [0022] 도 2는 본 발명에 따른 역위상 전력증폭기의 개략도를 도시한다. 본 발명의 일 실시예에 따른 전력증폭기는 벌크 65 nm CMOS(Complementary metal-oxide-semiconductor) 기술에 기반한 25 GHz 전력증폭기일 수 있고, 5G 애플리케이션, 특히 유럽의 5G 애플리케이션에 적합하다. 본 발명에 따른 전력증폭기는 전력단의 효율성을 향상시키기 위하여 3-단 역위상 선형화를 이용하여 구현될 수 있다.
- [0023] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 3-단 역위상 선형화 전력증폭기는 전치왜곡 구동단(pre-distortion drive stage)(110), 중간단(inter-stage)(115), 전력단(power-stage)(120)으로 구성된다.
- [0024] 역위상 동작에 대한 스위트 스팟 지점(sweet spot point)을 얻기 위해 종래 기술과 마찬가지로 전치왜곡 구동단(110)은 클래스 C 모드로 동작할 수 있다. 다만, 더 높은 출력 전력의 포지티브 IMD를 유지하기 위하여 본 발명에 따른 전치왜곡 구동단(110)은 종래 기술보다 더 낮은 바이어스 점을 가진 딥 클래스 C 모드로 동작하는 것이 바람직하다.
- [0025] 전력단(120)의 경우에는 종래에 비해 더 높은 효율성을 얻기 위하여 종래 기술보다 더 낮은 바이어스 점을 가진 딥 클래스 AB 모드로 동작할 수 있다. 그러나 전력단의 바이어스 점을 더 낮추기 위해 클래스 B 모드로 동작시키게 되면 네거티브 IMD가 감소하게 된다.
- [0026] 전치왜곡 구동단(110)에서 생성된 포지티브 IMD를 완전히 상쇄시키기 위하여 네거티브 IMD를 생성하는 중간단(115)을 구동단(110)과 전력단(120) 사이에 마련할 수 있다. 중간단(115)은 딥 클래스 AB 모드로 동작할 수 있다.
- [0027] 예컨대, 1V의 공급 전압에 대하여, 전치왜곡 구동단(110)의 게이트 전압은 0.25V로 구현되고, 중간단(115)의 게이트 전압은 0.49V로 구현되며, 전력단(120)의 게이트 전압은 0.49V로 구현된다.
- [0028] 이러한 구성에 따르면, 동위상 IMD3(third-order intermodulation distortion; 3차 혼변조 왜곡)는 서브-임계 바이어스 조건을 가진 전치왜곡 구동단(110)에서 생성되어, 중간단(115)에 의해 생성된 역위상 IMD3과 전력단(120)에 의해 생성된 역위상 IMD3에 의해 보상된다. 즉, 전치왜곡 구동단(110)에서 생성된 포지티브 IMD3는 중간단(115)과 전력단(120)에 의해 나누어져 생성된 네거티브 IMD3로 보상된다. 여기서, 중간단(115)은 네거티브 IMD3를 공급할 뿐만 아니라, 전력단(120)을 구동하는데 요구되는 충분한 이득과 출력 전력을 공급할 수 있다. 결과적으로 전력단 클래스의 클래스 부담이 줄어들고 전체적인 효율이 증가한다. 참고로, 각 단의 우측 상부에 표시된 그래프는 입력전력에 따른 해당 클래스 모드에서의 이득(gain)을 표시한 것이다.
- [0029] 부가하여, 3-단 역위상 구조에 의해 충분한 이득이 획득될 수 있는데, 이것은 위상 어레이 채널에 매우 필요한 특성이다. 예컨대, 1V의 공급 전압에 대하여, 측정된 선형 출력 전력은 9.8 dBm보다 크고, 24-27 GHz의 20-MHz 대역폭 64-QAM(Quadrature Amplitude Modulation) 신호들에 대해 선형 효율성은 6.8%보다 크다. 1V의 공급 전압에 대하여 포화 전력(P_{sat})은 17.7 dBm이고, 최대 효율성은 33%이며, 이득은 29.1 dB이다. 여기서, '효율성'은 전력증폭기의 순수 전력 효율 특성을 나타내기 위한 전력부가효율(Power-Added Efficiency; PAE)을 의미한다.
- [0030] 본 발명의 일 실시예에 따른 CMOS 전력증폭기는 유럽의 5G 주파수 대역인 24-27 GHz에서 동작할 수 있다.
- [0031] 도 3a 내지 도 3c는 본 발명의 실시예들에 따른 전력증폭기의 회로도들을 보여준다.
- [0032] 도 3a는 본 발명의 일 실시예에 따라 차동 구조의 MOSFET 쌍으로 이루어진 3-단 역위상 전력증폭기의 회로도를 예시한다. 각 단은 1V 바이어스 공급에서 충분한 전압 스윙을 갖는 공통 소스 구조로 구성된 MOSFET 쌍을 포함한다. 도 3a에는 도시되지 않았으나 전력증폭기를 안정적으로 동작시키기 위해 R-C 피드백이 사용될 수도 있고, 전력증폭기의 이득 및 안정성을 증가시키기 위하여 커패시턴스 중화 기법이 사용될 수도 있다. 각 단의 게이트 전압은 0.25V, 0.49V 0.49V로 구현될 있다. 입력단과 전치왜곡 구동단 사이, 전치왜곡 구동단과 중간단

사이, 중간단과 전력단 사이, 전력단과 출력단 사이에 트랜스포머 발룬(transformer balun)이 배치되어, 상기 단들은 트랜스포머 발룬으로 자기적으로 결합될 수 있다. 출력 트랜스포머 발룬은 전달 손실을 줄이기 위하여 1:1 권선비로 구현될 수 있다.

[0033] 보다 구체적으로 살펴보면, 입력단은 제 1 트랜스포머 발룬(141)의 1차 인덕터의 일단에 연결되고, 제 1 트랜스포머 발룬(141)의 1차 인덕터의 타단은 접지되고, 제1 트랜스포머 발룬(141)의 1차 인덕터는 제1 트랜스포머 발룬(141)의 2차 인덕터와 자기적으로 결합되며, 제1 트랜스포머 발룬(141)의 2차 인덕터의 양단은 전치왜곡 구동단(110)의 MOSFET 쌍의 각 게이트와 연결된다. 전치왜곡 구동단(110)의 MOSFET 쌍의 각 드레인은 제2 트랜스포머 발룬(142)의 1차 인덕터 양단에 연결되고, 제2 트랜스포머 발룬(142)의 1차 인덕터는 제2 트랜스포머 발룬(142)의 2차 인덕터와 자기적으로 결합되며, 제2 트랜스포머 발룬(142)의 2차 인덕터의 양단은 중간단(115)의 MOSFET 쌍의 각 게이트와 연결된다. 중간단(115)의 MOSFET 쌍의 각 드레인은 제3 트랜스포머 발룬(143)의 1차 인덕터 양단에 연결되고, 제3 트랜스포머 발룬(143)의 1차 인덕터는 제3 트랜스포머 발룬(143)의 2차 인덕터와 자기적으로 결합되며, 제3 트랜스포머 발룬(143)의 2차 인덕터의 양단은 전력단(120)의 MOSFET 쌍의 각 게이트와 연결된다. 전력단(120)의 MOSFET 쌍의 각 드레인은 제4 트랜스포머 발룬(144)의 1차 인덕터 양단에 연결되고, 제4 트랜스포머 발룬(144)의 1차 인덕터는 제4 트랜스포머 발룬(144)의 2차 인덕터와 자기적으로 결합되며, 제4 트랜스포머 발룬(144)의 2차 인덕터의 일단은 출력단에 연결되고, 타단은 접지된다.

[0034] 도 3b는 본 발명의 다른 실시예에 따른 3-단 역위상 전력증폭기의 회로도를 예시한다. 각 단은 하나의 MOSFET을 포함하고, 입력단, 전치왜곡 구동단, 중간단, 전력단, 출력단은 트랜스포머 발룬에 의해 서로 자기적으로 결합될 수 있다.

[0035] 보다 구체적으로 살펴보면, 입력단은 제 1 트랜스포머 발룬(141)의 1차 인덕터의 일단에 연결되고, 제 1 트랜스포머 발룬(141)의 1차 인덕터의 타단은 접지되고, 제1 트랜스포머 발룬(141)의 1차 인덕터는 제1 트랜스포머 발룬(141)의 2차 인덕터와 자기적으로 결합되며, 제1 트랜스포머 발룬(141)의 2차 인덕터의 일단은 전치왜곡 구동단(110)의 MOSFET의 게이트와 연결되고 타단은 접지된다. 전치왜곡 구동단(110)의 MOSFET의 드레인은 제2 트랜스포머 발룬(142)의 1차 인덕터 일단에 연결되고, 제2 트랜스포머 발룬(142)의 1차 인덕터는 제2 트랜스포머 발룬(142)의 2차 인덕터와 자기적으로 결합되며, 제2 트랜스포머 발룬(142)의 2차 인덕터의 일단은 중간단(115)의 MOSFET의 게이트와 연결된다. 중간단(115)의 MOSFET의 드레인은 제3 트랜스포머 발룬(143)의 1차 인덕터의 일단에 연결되고, 제3 트랜스포머 발룬(143)의 1차 인덕터는 제3 트랜스포머 발룬(143)의 2차 인덕터와 자기적으로 결합되며, 제3 트랜스포머 발룬(143)의 2차 인덕터의 일단은 전력단(120)의 MOSFET의 게이트와 연결된다. 전력단(120)의 MOSFET의 드레인은 제4 트랜스포머 발룬(144)의 1차 인덕터 일단에 연결되고, 제4 트랜스포머 발룬(144)의 1차 인덕터는 제4 트랜스포머 발룬(144)의 2차 인덕터와 자기적으로 결합되며, 제4 트랜스포머 발룬(144)의 2차 인덕터의 일단은 출력단에 연결되고, 1, 2차 인덕터의 타단은 접지된다. 그 외의 구성은 도 3a에 도시된 실시예와 같다.

[0036] 도 3c는 본 발명의 또 다른 실시예에 따른 3-단 역위상 전력증폭기의 회로도를 예시한다. 각 단은 하나의 MOSFET을 포함하고, 입력단, 전치왜곡 구동단, 중간단, 전력단, 출력단은 직렬 연결된 커패시터와 인덕터를 통해 결합될 수 있다. 각 MOSFET의 드레인 전압은 인덕터를 통해 인가될 수 있다. 그 외의 구성은 도 3a에 도시된 실시예와 같다.

[0037] 위 회로도의 구성요소들은 등가의 기능을 하는 다른 소자들로 구성될 수도 있다.

[0038] 종래기술에 따른 2-단 역위상 기법과 본 발명의 3-단 역위상 기법을 비교하기 위하여 도 3a와 동일한 토폴로지로 투-톤(two-ton) 시뮬레이션을 구현하여 보았다. 각각의 전력증폭기의 스윙 스팩은 10 dBm 선형 출력 전력에서 -35 dBc의 IMD3을 만족시키도록 설계되었다. 도 4a 및 도 4b는 각각 종래기술에 따른 역위상 전력증폭기 및 본 발명의 일 실시예에 따른 역위상 전력증폭기의 투-톤(two-ton) 시뮬레이션 결과들을 보여준다. 구체적으로, 도 4a는 선형 출력 전력에 대한 IMD3를 보여주고, 도 4b는 선형 출력 전력에 대한 전력 부가 효율(PAE)을 보여준다.

[0039] 시뮬레이션의 주파수 간격은 20-MHz로 사용된다. 양 회로들의 게이트 바이어스는 투-톤(two-ton) 시뮬레이션에 최적화된다. 종래 기술에 따른 역위상 증폭기는 입력 증폭단(130)과 2-단 역위상 구조로 구성되며, 2-단 역위상 구조는 구동단(110)과 전력단(120)으로 구성된다. 이 때, 입력 증폭단(130), 구동단(110), 전력단(120)의 게이트 전압은 각각 0.5V, 0.3V, 0.58V로 구현된다. 본 발명에 따른 역위상 증폭기는 3-단의 역위상 구조로 구성되며, 3-단의 역위상 구조는 구동단(110), 중간단(115), 전력단(120)으로 구성된다. 이 때, 구동단(110), 중간단(115), 전력단(120)의 게이트 전압은 0.25V, 0.49V, 0.49V로 구현된다.

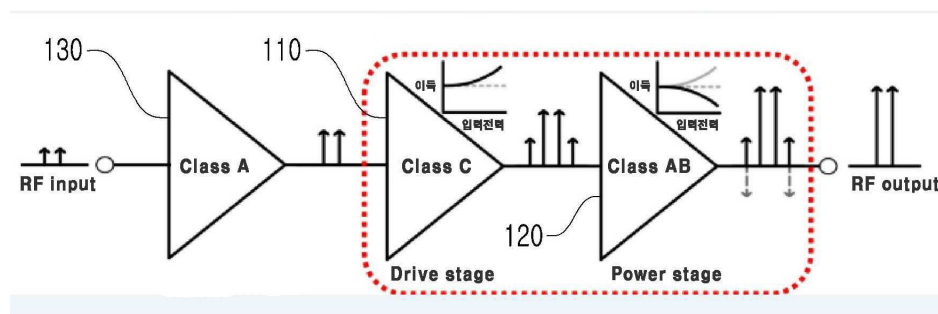
- [0040] 도 4b에 도시된 바와 같이, 본 발명에 따르면 전력증폭기의 전체 효율성이 증가한다. 3-단 역위상 기법에서의 전력단의 게이트 바이어스 전압은 종래기술에 따른 2-단 역위상 기법에서의 전력단의 게이트 바이어스 전압보다 더 낮은 전압으로 결정될 수 있다.
- [0041] 저전력 동작에서의 전력증폭기의 선형성 또한 전력증폭기 분야에서 중요한 이슈이다. 전력증폭기가 최대 선형 출력 전력보다 더 낮은 전력에서 동작하기 때문이다. 따라서 각 단의 게이트 바이어스는 도 5에 도시된 모든 선형 범위에서 -35 dBc 억제를 만족시키도록 결정된다. 참고로, 도 5는 본 발명의 일 실시예에 따른 전력증폭기의 최적 게이트 전압을 얻기 위하여 중간단 게이트 전압과 전력단 게이트 전압을 변화시켜 가며 IMD3를 측정해본 투-톤(two-ton) 시뮬레이션 결과를 보여준다. 전력증폭기의 효율성은 또한 최적의 전압을 획득하도록 고려된다.
- [0042] 도 6은 본 발명의 일 실시예에 따른 전력증폭기의 S-파라미터의 시뮬레이션 결과 및 측정 결과를 보여준다. 여기서, 'S(scattering)-파라미터'는 RF에서 가장 널리 사용되는 회로결과값으로서, 주파수분포 상에서 입력전압대 출력전압의 비를 의미한다. 구현된 칩은 온-웨이퍼 프로빙으로 측정되었다. 각 단의 바이어스 전압은 24 GHz에서 0.2 V, 0.5 V, 0.5 V가 사용된다.
- [0043] 도 7은 25 GHz에서 측정된 출력 전력(P_{out})에 따른 이득(Gain) 및 전력부가효율(PAE)을 보여준다. 도 8에 도시된 바와 같이, 24-27 GHz에서 17.1 dBm보다 큰 포화 전력(P_{sat})(파란 선 참조)이 달성되고, 31%보다 큰 PAE(빨간 선 참조)가 달성된다. 도 9는 24-27 GHz에서 측정된 선형 P_{out} (파란 선 참조)과 선형 PAE(빨간 선 참조)를 보여준다. 본 발명의 전력증폭기는 24-27 GHz에서 20-MHz 대역폭, 64-QAM 및 10.5-dB PAPR 무선 랜(WLAN) 신호로 측정된다. 25 GHz에서 측정할 경우, 본 발명의 FOM(Figure of merit)은 89.2로서, 공지된 5G CMOS 전력증폭기들 가운데 가장 높은 수치를 갖는다.
- [0044] 참고로, 전력증폭기의 FOM은 아래의 식으로 구할 수 있다.
- [0046]
$$FOM = P_{sat} [dBm] + Gain [dB] + 20 \log(f_c [GHz]) + 10 \log(PAE_{max} [\%])$$
- [0048] 본 발명과 대비를 위하여 선행기술에 따른 5G CMOS 전력증폭기들의 FOM를 살펴보면 다음과 같다.
- [0049] 선행기술 5에 따른 전력증폭기의 FOM은 74.7이다.
- [0050] 선행기술 6에 따른 전력증폭기의 FOM은 1.1V의 공급전압에 대해서는 69.4이고, 2.2 V의 공급전압에 대해서는 78.7이다.
- [0051] 선행기술 7에 따른 전력증폭기의 FOM은 81.3이다.
- [0052] 선행기술 8에 따른 전력증폭기의 FOM은 81.4이다.
- [0053] 이러한 FOM 값으로부터 본 발명의 일 실시예에 따른 전력증폭기가 보고된 5G CMOS 전력증폭기들 가운데 가장 높은 수치의 이점을 달성함을 알 수 있다.
- [0054] 본 발명은 전력증폭기가 사용되는 모든 회로 시스템에 적용가능하며, 위상 어레이 시스템과 같이 다수의 전력증폭기가 사용되는 시스템에서 본 발명의 전력증폭기가 사용되면 전력증폭기의 효율이 증가됨에 따라 전체 시스템의 효율 또한 상당히 향상될 수 있다.
- [0055] 위 실시예는 본 발명의 가장 기본적인 예에 불과할 뿐이기 때문에, 본 발명이 위의 실시예에만 국한되는 것으로 이해되어져서는 아니 되며, 본 발명의 권리범위는 후술하는 청구범위 및 그 균등범위로 이해되어져야 할 것이다.

부호의 설명

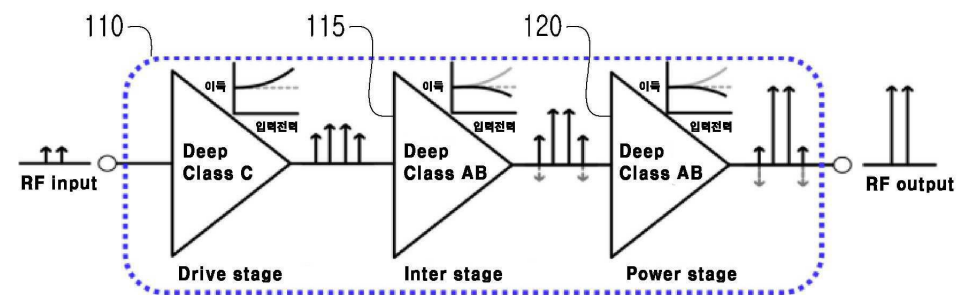
- [0056] 110: 전치왜곡 구동단
115: 중간단
120: 전력단

도면

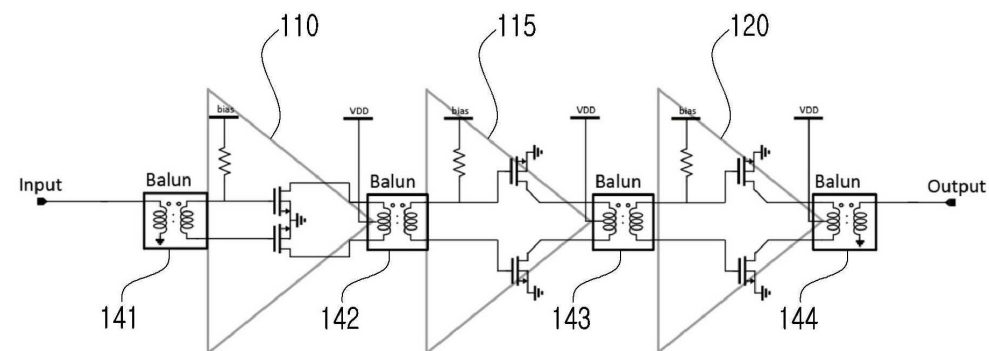
도면1



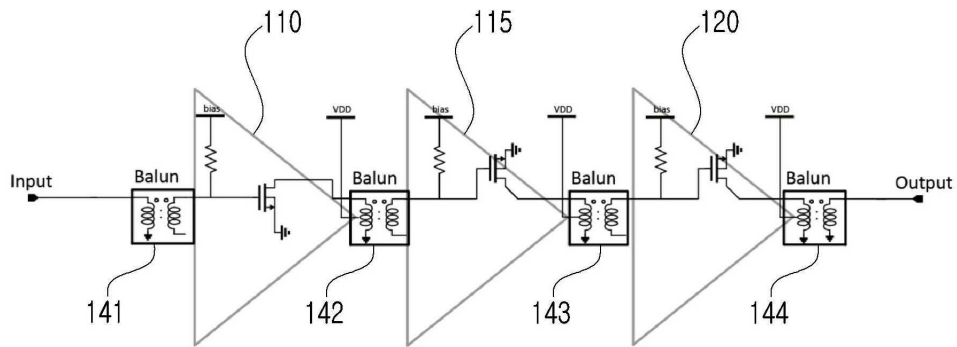
도면2



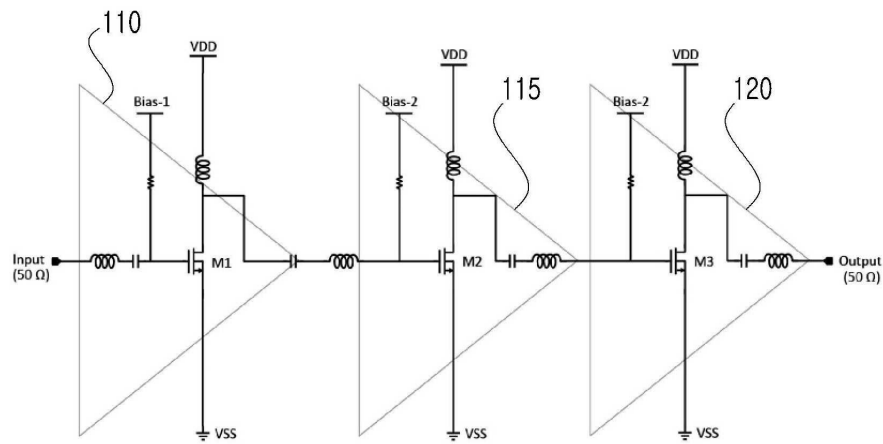
도면3a



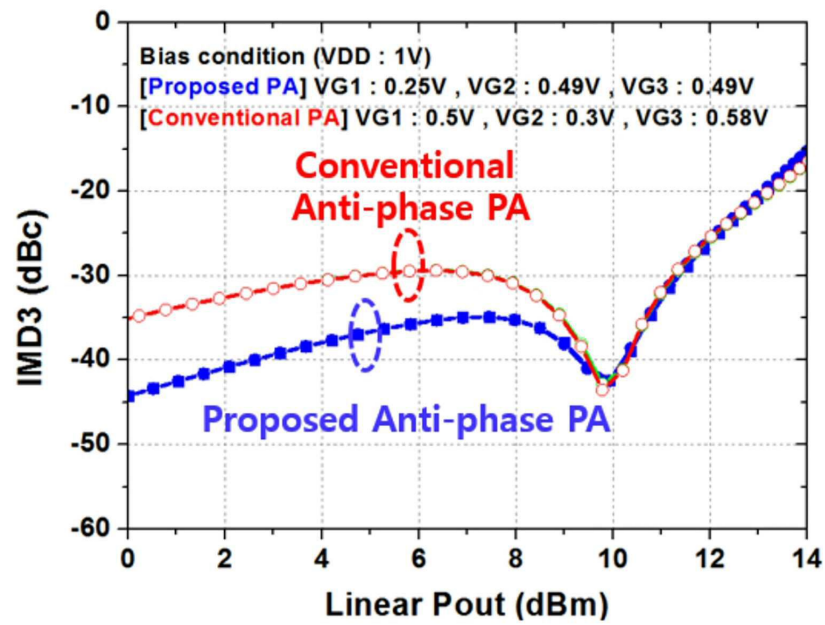
도면3b



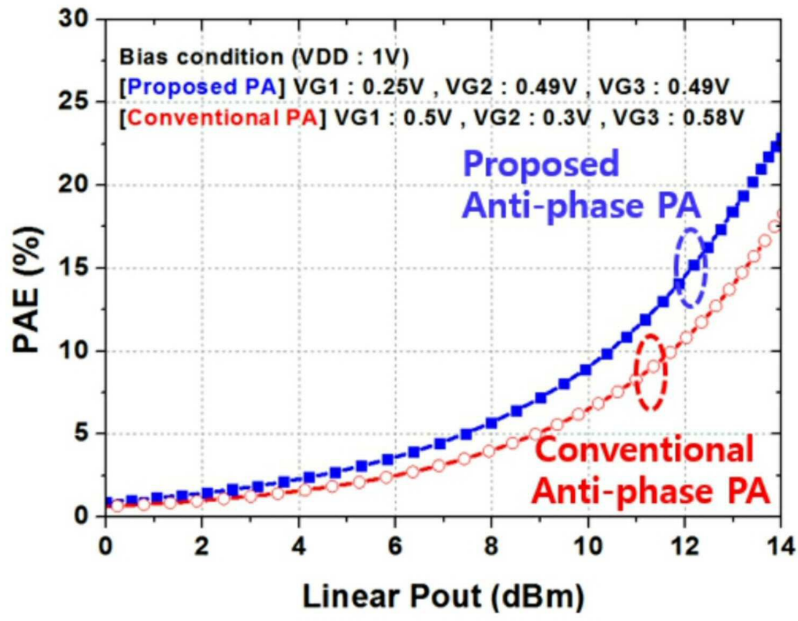
도면3c



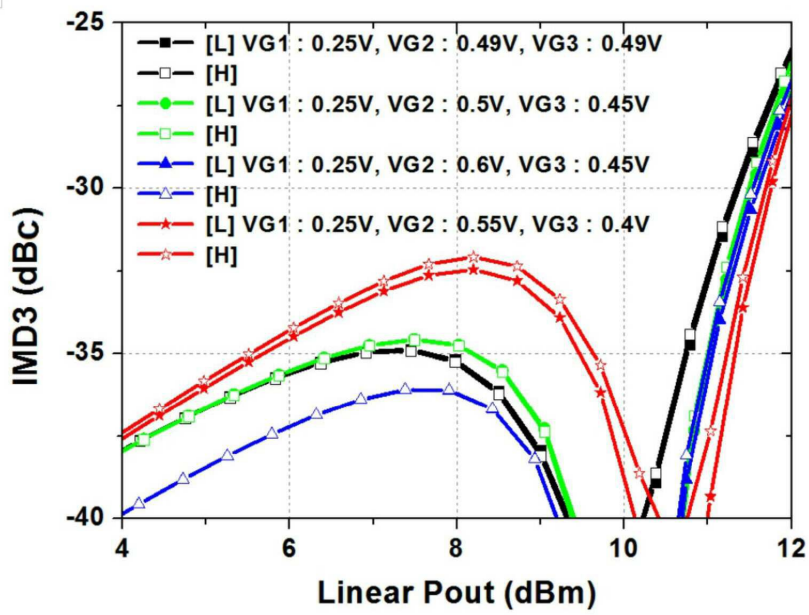
도면4a



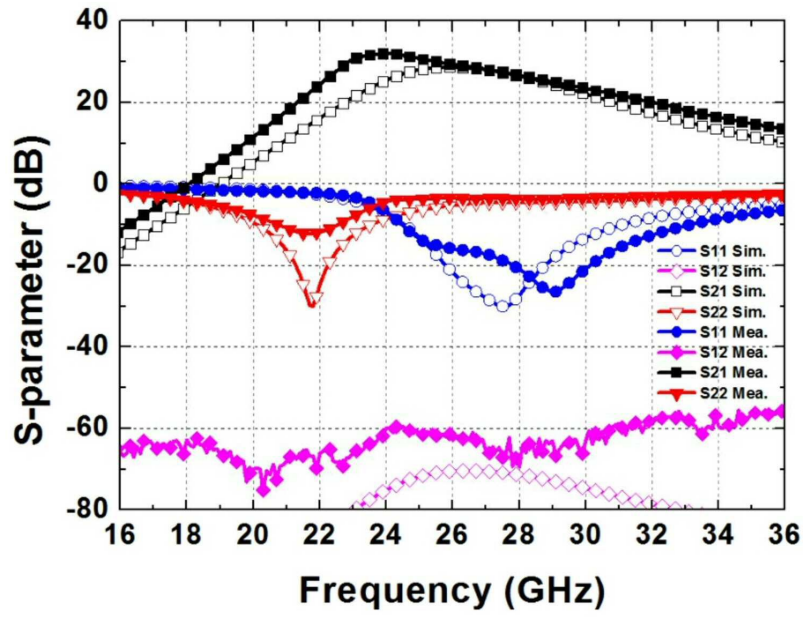
도면4b



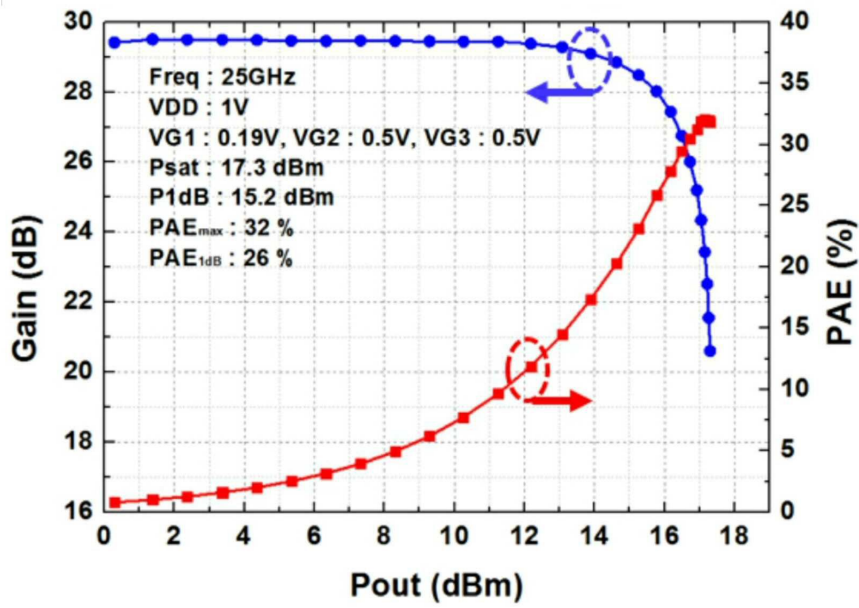
도면5



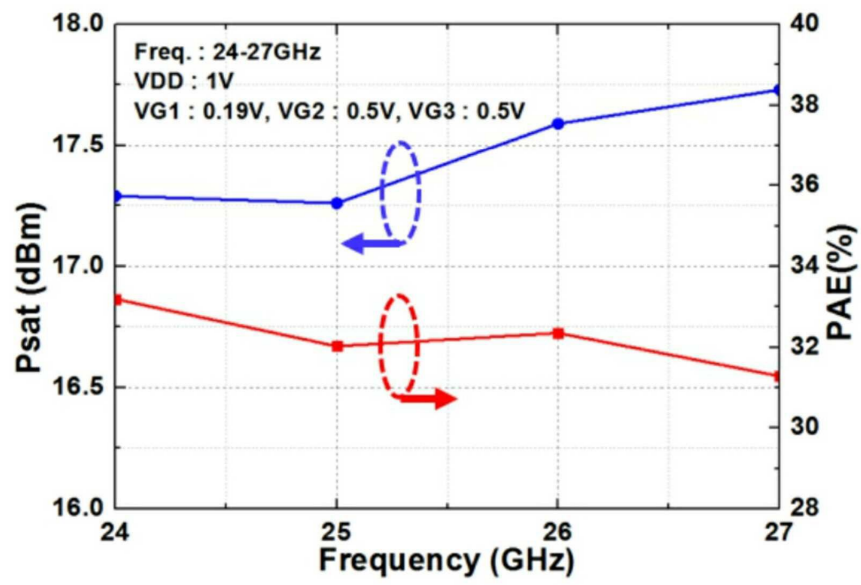
도면6



도면7



도면8



도면9

