



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년11월04일
(11) 등록번호 10-2463561
(24) 등록일자 2022년11월01일

- | | |
|---|---|
| (51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) H01L 21/02 (2006.01)
H01L 29/16 (2006.01) H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 29/66045 (2013.01)
H01L 21/02527 (2013.01)
(21) 출원번호 10-2021-0043885
(22) 출원일자 2021년04월05일
심사청구일자 2021년04월05일
(65) 공개번호 10-2022-0138522
(43) 공개일자 2022년10월13일
(56) 선행기술조사문헌
KR1020200101714 A*
KR1020200128658 A*
KR1020160133959 A*
*는 심사관에 의하여 인용된 문헌 | (73) 특허권자
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
윤순길
대전시 유성구 덕명로 19 운암네오미아 아파트
105-2101
한이래
대전광역시 대덕구 석봉로58번안길 73, 302호 (석봉동)
(74) 대리인
특허법인오암 |
|---|---|

전체 청구항 수 : 총 6 항

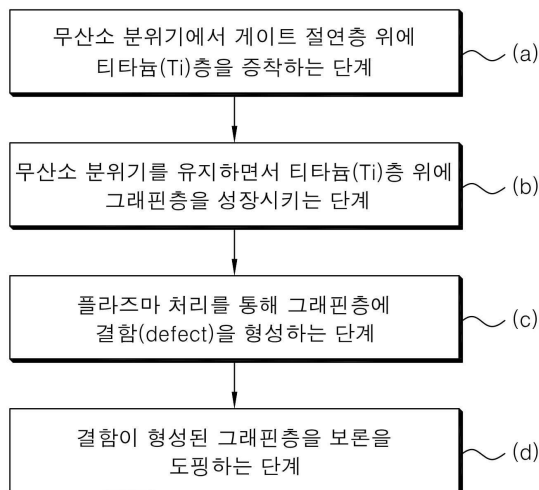
심사관 : 김종호

(54) 발명의 명칭 **그래핀 기반의 P-type FET 제조방법 및 이를 이용한 P-type FET**

(57) 요약

본 발명은 a) 무산소 분위기에서 게이트 절연층 위에 티타늄(Ti)층을 증착하는 단계 b) 무산소 분위기를 유지하면서 in-situ로 상기 티타늄(Ti)층 위에 그래핀층을 성장시키는 단계 c) 플라즈마 처리를 통해 상기 그래핀층에 결함(defect)을 형성하는 단계 및 d) 상기 결함이 형성된 그래핀층을 보론을 도핑하는 단계;를 포함하여 채널로 사용되는 활성층을 형성하되, 상기 a) 내지 c) 단계는 화학기상증착(CVD)장치 내에서 수행되며, 상기 d) 단계는 스퍼터 장치 내에서 수행되는 것을 특징으로 하는 그래핀 기반의 P-type FET 제조방법에 관한 것이다.

대표도 - 도2



(52) CPC특허분류

H01L 21/0262 (2013.01)

H01L 29/1606 (2013.01)

H01L 29/78684 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	2021125030
과제번호	2021R1A2B5B03002016
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	한국연구재단 중견 도약 후속과제
연구과제명	100℃에서 직접 성장된 그래핀을 이용한 n-type and p-type graphene TFT 개발
기여율	1/1
과제수행기관명	충남대학교
연구기간	2021.03.01 ~ 2024.02.28

명세서

청구범위

청구항 1

무산소 분위기에서 게이트 절연층 위에 티타늄(Ti)층을 증착하는 a) 단계;
 무산소 분위기를 유지하면서 in-situ로 상기 티타늄(Ti)층 위에 그래핀층을 성장시키는 b) 단계;
 플라즈마 처리를 통해 상기 그래핀층에 결함(defect)을 형성하는 c) 단계; 및
 상기 결함이 형성된 그래핀층을 보론을 도핑하는 d) 단계;를 포함하여 채널로 사용되는 활성층을 형성하되,
 상기 a) 내지 c) 단계는 화학기상증착(CVD)장치 내에서 수행되며,
 상기 d) 단계는 대향 타겟식 스퍼터링 시스템(Facing target sputtering system) 장치 내에서 수행된 결과,
 전류점멸비(I_{on}/I_{off}) 가 1.0×10^4 이상, 전기전하이동도(Mobility)가 $100\text{cm}^2/\text{V} \cdot \text{s}$ 이상, 문턱전압(V_{th})이 1.4V 이하, 서브문턱 스윙(Subthreshold Swing)은 0.7V/decade 이하이며, 1.0eV 미만의 밴드갭을 가지는 것을 특징으로 하는, 그래핀 기반의 P-type FET 제조방법.

청구항 2

청구항 1에 있어서,
 상기 활성층을 이루는 그래핀층은 동일한 도메인 내에서 선택되는 것을 특징으로 하는, 그래핀 기반의 P-type FET 제조방법.

청구항 3

게이트전극;
 상기 게이트전극 위에 위치한 게이트절연층;
 상기 게이트 절연층의 일부 영역에 위치하여 보론이 도핑된 그래핀층을 포함하여 채널로 사용되는 활성층;
 상기 활성층의 일측 영역 위에 위치한 제1전극;
 상기 활성층의 타측 영역 위에 위치한 제2전극;을 포함하며,
 상기 보론이 도핑된 그래핀층은,
 무산소 분위기에서 게이트 절연층 위에 티타늄(Ti)층이 증착된 후 In-situ로 그래핀층이 직접 생성되고, 상기 그래핀층에 보론이 도핑된 그래핀층/ TiO_{2-x} 층이며,
 상기 그래핀층/ TiO_{2-x} 층이 대향 타겟식 스퍼터링 시스템(Facing target sputtering system)에 의해 도핑된 결과,
 전류점멸비(I_{on}/I_{off}) 가 1.0×10^4 이상, 전기전하이동도(Mobility)가 $100\text{cm}^2/\text{V} \cdot \text{s}$ 이상, 문턱전압(V_{th})이 1.4V 이하, 서브문턱 스윙(Subthreshold Swing)은 0.7V/decade 이하이며, 1.0eV 미만의 밴드갭을 가지는 것을 특징으로 하는 그래핀 기반의 P-type FET.

청구항 4

청구항 3항에 있어서,
 상기 활성층을 이루는 그래핀층은 동일한 도메인 내에서 선택되는 것을 특징으로 하는, 그래핀 기반의 P-type FET.

청구항 5

청구항 3항에 있어서,

상기 게이트전극이 그래핀층으로 구성된 것을 특징으로 하는 그래핀 기반의 P-type FET.

청구항 6

청구항 3항에 있어서,

상기 제1전극 및 제2전극은 그래핀층/TiO_{2-x}층을 포함하는 것을 특징으로 하는 그래핀 기반의 P-type FET.

발명의 설명

기술 분야

[0001] 본 발명은 그래핀 기반의 P-type FET의 제조방법에 관한 것으로, 무전사 성장한 그래핀층에 스퍼터를 사용하여 보론(B)을 도핑한 그래핀 기반의 P-type FET 제조방법 및 제조방법에 관한 것이다.

배경 기술

[0002] 최근 급속한 정보화 기술의 진전으로 언제 어디서나 정보를 접할 수 있는 유비쿼터스 컴퓨팅 시대로 접어들고 있다. 이에 따라 다양한 정보를 전달하는 정보 전달 매체와 저장 매체 등 새로운 전자소자의 중요성이 점점 커져 가고 있다.

[0003] 이러한 과정에서 전자소자의 성능을 향상하기 위해 여러 재료들이 연구되고 있다. 그 중 그래핀(graphene)은 탄소 원자들이 각각 sp² 결합으로 연결된 원자 하나 두께의 2차원 구조로, 투명성이 우수하고 기계적 물성 및 전기 전도성이 뛰어나다는 특징이 있다. 이러한 장점으로 투명 전극 소재, 반도체 소자, 분리막 또는 각종 센서용 소재로 각광받고 있다.

[0004] 하지만 상기 그래핀은 밴드갭이 없는 특성을 가지고 있어 그래핀을 이용한 트랜지스터(transistor) 및 전기 소자 응용에 문제점이 있었다. 이러한 문제점을 극복하고자, 대한민국 공개특허 10-2017-0056390호 및 대한민국 등록특허 10-2068038호에서는 그래핀층에 보론을 치환하여 밴드갭을 형성하는 방법을 고안하였다.

[0005] 하지만 상기의 방법은 화학기상증착법(CVD)을 기반으로 수행되어, 1,000℃이상의 고온에서 도핑이 이루어진다는 특징이 있다. 이는, 열응력으로 인해 그래핀층이 손상되거나, 전기적 특성이 감소하며, 도핑 과정에서 B₂H₆ 등 독성물질이 요구되는 단점이 있다.

[0006] 이러한 이유로, 고온과정을 생략하여 생산성과 전기적 특성을 향상시킨 그래핀 기반의 P-type FET 제조방법이 요구되고 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 대한민국 공개특허공보 제10-2017-0056390호 (2017.05.23. 공개)
 (특허문헌 0002) 대한민국 등록특허공보 제10-2068038호 (2020.01.14. 등록)

발명의 내용

해결하려는 과제

[0008] 상기와 같은 문제점을 해결하기 위하여 본 발명은 스퍼터를 이용하여 보론(B)을 도핑하는 그래핀 기반의 P-type FET 제조방법을 제공하는 것을 목적으로 한다.

[0009] 아울러, 전사(Transferring)과정을 생략하여 그래핀층의 도메인 사이즈를 300 μ m 이상으로 향상시킨 그래핀 기반

의 P-type FET 제조방법을 제공하는 것을 목적으로 한다.

[0010] 또한, 상기의 방법으로 제조한 그래핀 기반의 P-type FET를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0011] 상기 목적을 달성하기 위한 본 발명의 일 양태는 a) 무산소 분위기에서 게이트 절연층 위에 티타늄(Ti)층을 증착하는 단계 b) 무산소 분위기를 유지하면서 in-situ로 상기 티타늄(Ti)층 위에 그래핀층을 성장시키는 단계 c) 플라즈마 처리를 통해 상기 그래핀층에 결함(defect)을 형성하는 단계; 및 d) 상기 결함이 형성된 그래핀층을 보론을 도핑하는 단계;를 포함하여 채널로 사용되는 활성층을 형성하되, 상기 a) 내지 c) 단계는 화학기상증착(CVD)장치 내에서 수행되며, 상기 d) 단계는 스퍼터 장치 내에서 수행되는 것을 특징으로 하는 그래핀 기반의 P-type FET 제조방법에 관한 것이다.

[0012] 상기 일 양태에 있어, 상기 활성층을 이루는 그래핀층은 동일한 도메인 내에서 선택될 수 있다.

[0013] 상기 목적을 달성하기 위한 본 발명의 일 양태는 게이트전극 상기 게이트전극 위에 위치한 게이트절연층 상기 게이트 절연층의 일부 영역에 위치하여 보론이 도핑된 그래핀층을 포함하여 채널로 사용되는 활성층 상기 활성층의 일측 영역 위에 위치한 제1전극 상기 활성층의 타측 영역 위에 위치한 제2전극을 포함하며, 상기 보론이 도핑된 그래핀층은, 무산소 분위기에서 게이트 절연층 위에 티타늄(Ti)층이 증착된 후 In-situ로 그래핀층이 직접 생성되고 도핑된 질소 도핑 그래핀층/TiO_{2-x}층인 것을 특징으로 하는 그래핀 기반의 P-type FET에 관한 것이다.

[0014] 상기 일 양태에 있어, 상기 활성층을 이루는 그래핀층은 동일한 도메인 내에서 선택될 수 있다.

[0015] 상기 일 양태에 있어, 상기 게이트전극이 그래핀층으로 구성될 수 있다.

[0016] 상기 일 양태에 있어, 상기 제1전극 및 제2전극은 그래핀층/TiO_{2-x}층을 포함할 수 있다.

발명의 효과

[0017] 본 발명은 스퍼터를 이용하여 보론(B)을 도핑함으로써, FET의 전기적 특성을 향상시킬 수 있다.

[0018] 또한, 도핑 과정에서 독성물질의 사용을 대체함으로써, 산성 및 안전성을 크게 향상시킬 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 실시 예에 따른 그래핀 기반의 P-type FET를 설명하기 위한 사시도이다.

도 2는 본 발명의 실시 예에 따른 활성층을 형성하는 방법을 설명하기 위한 흐름도이다.

도 3은 본 발명의 실시 예에 따른 대향 타겟식 스퍼터링 시스템(Facing target sputtering system; FTS)을 설명하기 위한 도면이다.

도 4는 본 발명의 실시 예에 따른 그래핀 기반의 P-type FET의 라만 스펙트럼 그래프이다.

도 5는 본 발명의 실시 예에 따른 그래핀 기반의 AFM 사진이다.

도 6은 본 발명의 실시 예에 따른 그래핀 기반의 P-type FET의 전기적 특성을 설명하기 위한 그래프이다.

도 7은 상기 실시예 2 및 실시예 3에 따라 제조된 P-type FET의 전류 전달 특성(Transferring curve)을 비교한 그래프이다.

도 8은 실시예 2 및 실시예 3에 따라 제조된 P-type FET의 채널 크기에 따른 저항을 비교한 그래프이다.

도 9는 도 8에서 채널의 길이가 0 내지 20 μ m인 부분을 확대한 그래프이다.

도 10은 실시예 2 및 실시예 3에 따라 제조된 P-type FET의 전기전하이동도(Mobility)를 비교하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하 본 발명에 따른 그래핀 기반의 P-type FET 및 이의 제조방법에 대하여 상세히 설명한다. 다음에 소개되는 도면들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 예로서 제공되는 것이다. 따라서, 본 발명은

이하 제시되는 도면들에 한정되지 않고 다른 형태로 구체화될 수도 있으며, 이하 제시되는 도면들은 본 발명의 사상을 명확히 하기 위해 과장되어 도시될 수 있다. 이 때, 사용되는 기술 용어 및 과학 용어에 있어서 다른 정의가 없다면, 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 통상적으로 이해하고 있는 의미를 가지며, 하기의 설명 및 첨부 도면에서 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 설명은 생략한다.

- [0021] 도 1은 본 발명의 실시 예에 따른 그래핀 기반의 P-type FET를 설명하기 위한 사시도이다.
- [0022] 본 발명은 보론(Boron; B)을 도핑한 그래핀층을 활성층으로 가지는 그래핀 기반의 P-type FET(field-effect transistor)에 관한 것이며, 보다 상세하게는 게이트 전극, 상기 게이트 전극 위에 접촉하는 게이트 절연층, 상기 게이트 절연층의 일부 영역에 위치하여 보론이 도핑된 그래핀층을 포함하는 활성층 및 상기 활성층의 일측에 접촉하는 제1 전극 및 제2 전극을 포함하며, 상기 무산소 분위기에서 게이트 절연층 위에 티타늄(Ti)층이 증착된 후 In-situ로 그래핀층이 직접 생성되고 도핑된 질소 도핑 그래핀층/TiO_{2-x}층으로 제공되는 그래핀 기반의 P-type FET인 것을 특징으로 한다.
- [0023] 실시 예에 따르면, 상기 그래핀 기반의 P-type FET는 상기 게이트전극이 상기 활성층 아래에 구비되는 바텀(bottom) 게이트 구조로 제공될 수 있다.
- [0024] 도 1을 참조하면, 상기 그래핀 기반의 P-type FET(1000)는 게이트 전극(200) 게이트 절연층(300), 활성층(400), 제1 전극(510) 및 제2 전극(530) 중 어느 하나 이상을 포함할 수 있다.
- [0025] 실시 예에 따르면 상기 게이트 전극(200)은 소정의 기판(100) 일 면에 위치할 수 있다. 이 때, 상기 기판(100)은 유리, 플라스틱, 실리콘 등 통상의 반도체 소자 공정에서 사용되는 기판으로 제공될 수 있다. 본 발명에서 상기 기판(100)은 highly-doped p-Si로 제공되는 것을 예를 들어 설명하나 이에 한정되지 않으며, 연신이 가능한 플라스틱 또는 고무 기판으로 제공될 수 있다.
- [0026] 상기 게이트 전극(120)은 통상적인 도전성 물질, 예를 들어 금속, 다결정 실리콘(Polycrystalline silicon), 전도성 산화물(Transparent Conducting Oxide; TCO) 또는 그래핀 필름등으로 제공될 수 있다. 본 발명에서는 상기 기판(100) 위에 직접 성장된 그래핀층을 적용하였다.
- [0027] 상기 게이트 절연층(300)은 상기 게이트 전극(200) 상면에 위치할 수 있으며, 더 바람직하게는 상기 게이트 전극(200) 상면에 100 내지 200nm 두께로 증착될 수 있다.
- [0028] 실시 예에 따르면, 상기 게이트 절연층(300)은 Si₃N₄, SiO_xN_y 및 SiO_x과 같은 실리콘(Si)을 포함하는 질화물, 질산화물, 산화물로 제공될 수 있으나, 이에 한정되지 않으며 기판(100)과 마찬가지로 신축성이 있는 고분자 소재로 제공될 수 있다.
- [0029] 상기 활성층(400)은 상기 게이트 절연층(300) 상면에 위치할 수 있다. 상기 활성층(400)은 그래핀층이 포함될 수 있으며, 더 바람직하게는 보론이 도핑된 그래핀층이 포함될 수 있다. 상기 보론이 도핑된 그래핀층은 무산소 분위기에서 형성될 수 있으며, 더욱 바람직하게는 챔버를 진공상태로 만든 후, 불활성기체, 수소 및 메탈(CH₄)을 주입하여 성장시킬 수 있다.
- [0030] 실시 예에 따르면, 상기 불활성기체와 수소는 1:0.1 내지 1:2의 주입속도로 혼합되어 형성될 수 있다. 상기 불활성기체에 1 sccm에 대한 수소의 주입속도가 0.1 sccm 미만이면, 챔버 불활성기체에 포함된 미량의 산소가 그래핀과 만나 산화되어 그래핀의 도메인 크기가 감소될 수 있다.
- [0031] 반대로 상기 불활성기체와 수소의 혼합비율이 1:2를 초과하면, 일부 그래핀에 수소가 흡착되어 전기적 성질이 불균형해 질 수 있다. 통상적으로 그래핀 입자는 그래핀 내 탄소(C)원자들이 sp² 결합을 통해 2차원의 육각형 그물모양이 형성된다. 다만 평면에 수직인 sp³ 결합 구조는 결합되지 않는 p-타입 오비탈에 한 개의 전자가 남아, π-결합을 형성한다. 이때, p-타입 오비탈에 전자 자리에 수소가 흡착되어 전기적 성질이 변할 수 있다. 이로 인해 그래핀층의 전기적 특성이 국소적으로 변할 수 있어서, 품질을 유지하기 어려울 수 있다. 이러한 이유로, 상기 불활성기체와 수소의 혼합비율이 1:0.1 내지 1:2인 것이 바람직하며, 더 바람직하게는 1: 0.5 내지 1:1.5일 수 있다.
- [0032] 실시 예에 따르면, 상기 활성층(400)은 후술할 제1 전극(510)에서 제2 전극(530)으로 전류가 흐르는 경로를 제공하는 채널(Channel)로 사용될 수 있다.
- [0033] 또한, 상기 활성층(400)은 소정의 금속촉매층에 그래핀층을 증착할 수 있으며, 더 바람직하게는 상기 그래핀을

증착한 상태에서 상기 금속촉매층을 제거하는 전사(Transferring)과정을 거치지 않고 제공된다는 특징이 있다. 상기 활성층의 구체적인 제조방법은 후술하도록 한다.

- [0034] 도 1에서는 상기 활성층(400)과 상기 게이트 전극(200)의 연결관계를 설명하기 위해 활성층(400)의 폭이 상기 게이트 전극(200)의 폭보다 다소 작게 도시하였으나, 이에 한정되지 않으며 경우에 따라서는 상기 게이트 전극(200)의 폭과 유사하거나 더 클 수 있음은 물론이다.
- [0035] 상기 제1 전극(510) 및 상기 제2 전극(530)은 상기 활성층(400)위에 위치하며, 각각 제1 위치 및 제2 위치에 구비될 수 있다. 실시 예에 따르면, 상기 제1 위치 및 제2 위치는 상기 활성층(400) 상부 일단에 구비될 수 있으며, 상기 제2 위치는 상기 활성층(400)의 타단, 다시 말해 상기 제1 위치에서 소정 거리 이격된 위치에 구비될 수 있다. 도 1에서는 상기 제1 전극(510) 및 제2 전극(530)이 양단에 위치한 것을 예를 들어 설명하였으나, 이에 한정된 것이 아니며, 상기 제1 전극(510) 및 상기 제2 전극(530)은 상기 활성층(400)의 양단이 아닌 임의의 다른 두 영역에 접촉하도록 변경될 수 있음은 자명하다.
- [0036] 실시 예에 따르면, 상기 제1 전극(510) 및 상기 제2 전극(530)은 통상적으로 공지된 도전성 물질로 제공될 수 있으며, 바람직하게는 금속, 폴리실리콘, 도전성 산화물로 형성될 수 있다. 상기 제1 전극(510)과 상기 제2 전극(530)은 서로 같은 종류의 물질로 제공될 수 있으나, 서로 다른 도전성 물질로 제공되어도 무방하다. 이하 본 발명에서는 상기 제1 전극(510) 및 상기 제2 전극(530)을 구성하는 물질로 Au/Ti로 제공되는 것을 예를 들어 설명하나, 이에 한정되지 않으며, 그래핀/Ti으로 제공될 수 있다.
- [0037] 상기 제1 전극(510) 및 상기 제2 전극(530)이 그래핀/Ti층으로 제공되는 경우, 무산소 분위기에서 티타늄(Ti)층이 증착되고 이어서 그래핀층이 상기 티타늄(Ti)층 일면에 증착되어지는데, 상기 증착 과정은 동일한 장비 내에서 연속하여 수행될 수 있다. 즉, 상기 티타늄(Ti)층과 상기 전도성 물질층이 무산소 분위기에서 in-situ로 증착될 수 있다.
- [0038] 실시 예에 따르면 상기 제1 전극(510), 상기 제2 전극(530) 및 상기 게이트 전극(200)은 동일한 성분으로 구성되는 물질층을 가질 수 있다. 아울러, 상기 제1 전극(510) 및 상기 제2 전극(530)은 단일층 또는 다층으로 제공될 수 있다.
- [0039] 도 1에는 도시되지 않았으나, 본 발명의 실시 예에 의한 그래핀 기반의 P-type FET(1000)에서는 상기 활성층(400)을 덮는 식각 정지층이 더 포함될 수 있다. 상기 식각 정지층은 상기 제1 전극(510) 및 상기 제2 전극(530)이 형성되는 식각 공정에서 상기 식각으로 인하여 상기 활성층(400) 일면이 손상되는 것을 방지하는 역할을 수행할 수 있다. 아울러, 상기 제1 전극(510)과 상기 제2 전극(530)은 식각 정지층에 형성된 소정의 홀을 통해 상기 활성층(400)과 전기적으로 연결될 수 있다. 또한, 상기 식각 정지층은 실리콘 산화물, 실리콘 질화물, 유기 절연물 등으로 구성될 수 있으나, 이에 한정되지 않는다.
- [0040] 실시 예에 따르면, 상기 그래핀 기반의 P-type FET(1000)은 상기 게이트 전극(200), 상기 게이트 절연층(300), 상기 활성층(400), 상기 제1 전극(510) 및 상기 제2 전극(530)을 덮는 통상의 보호층(Passivation layer)이 더 포함될 수 있다. 상기 보호층(Passivation layer)은 실리콘 산화물층, 실리콘 질화물층, 유기 절연층에서 선택되는 하나 이상의 층으로 제공될 수 있으며, 하나 이상의 층이 적층된 복합층으로 제공될 수 있다.
- [0041] 이상 상기 그래핀 기반의 P-type FET의 구성에 대해 설명하였다. 이하 상기 그래핀 기반의 P-type FET의 활성층 형성과정에 대해 설명한다.
- [0043] 실시 예에 따르면, 상기 그래핀 기반의 P-type FET는 소정의 기판 위에 게이트 전극을 형성하는 단계, 상기 게이트 전극 위에 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 위에 활성층을 형성하는 단계 및 상기 활성층의 일면에 제1 전극 상기 활성층의 타면에 제2 전극을 형성하는 단계를 포함할 수 있다. 이 때, 상기 소정의 기판 위에 게이트 전극을 형성하는 단계, 상기 게이트 전극 위에 게이트 절연층을 형성하는 단계 및 상기 제1 전극, 상기 제2 전극을 형성하는 단계는 본 발명이 속한 기술분야의 통상의 기술자가 기 공지된 방법을 적용하여 형성할 수 있기에 생략하도록 한다.
- [0044] 도 2는 본 발명의 실시 예에 따른 활성층을 형성하는 방법을 설명하기 위한 흐름도이다.
- [0045] 도 2를 참조하면, 상기 활성층은 a) 무산소 분위기에서 게이트 절연층 위에 티타늄(Ti)층을 증착하는 단계, b) 무산소 분위기를 유지하면서 in-situ로 상기 티타늄(Ti)층 위에 그래핀층을 성장시키는 단계, c) 플라즈마 처리를 통해 상기 그래핀층에 결함(defect)을 형성하는 단계 및 d) 상기 결함이 형성된 그래핀층을 보론을 도핑하는 단계를 통해 제조될 수 있으며, 이 중 상기 a) 내지 c) 단계는 화학기상증착(CVD)장치 내에서 수행되며, 상기

d) 단계는 스퍼터 장치 내에서 수행될 수 있다.

- [0046] 상기 a) 단계를 수행하기 위해, 우선 게이트 절연층 위에 소정의 새도우 마스크(Shadow mask)를 부착하고, 무산소 분위기에서 티타늄(Ti)층을 성장시킬 수 있다. 상기 티타늄(Ti)층은 후술할 그래핀층을 성장시키기 위한 금속촉매층으로 작용할 수 있다. 이 때, 상기 티타늄(Ti)층은 화학기상증착법(Cheical Vapor Deposition; CVD) 기법을 통해 성장될 수 있다.
- [0047] 실시 예에 따르면, 상기 티타늄(Ti)층은 1 내지 20nm로 증착될 수 있다. 상기 티타늄(Ti)층이 1nm 미만이면, 상기 티타늄(Ti)층이 그래핀층을 충분하게 지지하지 못하고, 반대로 상기 티타늄(Ti)층이 20nm를 초과하면 추후 티타늄(Ti)이 산화되면서 생성되는 이산화 티타늄(TiO₂)의 양이 과도하게 증가하여 고른 그래핀층을 확보하기 어렵게 된다. 이러한 이유로 상기 티타늄(Ti)층은 1 내지 20nm로 증착되는 것이 바람직하며, 더 바람직하게는 5 내지 10nm로 증착될 수 있다.
- [0048] 이 후, b) 단계에서는 상기 챔버의 무산소 분위기를 유지하면서 상기 티타늄(Ti)층 위에 그래핀층을 성장시킬 수 있다.
- [0049] 구체적으로 상기 a) 단계를 통해 형성된 티타늄(Ti)층 상면에 무산소 분위기를 유지하면서 그래핀층을 성장시킬 수 있다. 이를 위해 상기 a) 단계와 상기 b) 단계는 동일한 장비 내에서 in-situ로 수행되는 것이 바람직하며, 더 바람직하게는 상기 a)와 상기 b) 단계는 동일한 플라즈마 보조 화학기상증착(Plasma Assisted Thermal Chemical Vapor Deposition; PAT-CVD)장치에 의해 연속적으로 수행될 수 있다. 즉, 본 발명에서 상기 활성층(400)은 상기 그래핀층을 전사(Transferring)하여 분리하는 과정 없이 티타늄(Ti)층을 매개로 상기 게이트 절연층 위에 안정적으로 밀착 형성될 수 있다.
- [0050] 통상적으로, 화학기상증착법(CVD)에 의해 형성된 그래핀층을 실제의 전극이나 소자에 이용하기 위해서는 촉매 금속 위에서 성장한 그래핀층을 박리하여 원하는 베이스 기판 상으로 옮기는 전사(Transferring) 과정이 필수적이다. 하지만 이 과정에서 그래핀의 기계적인 변형(wrinkle, ripple등)과 잔류하는 촉매금속의 식각제 등으로 인하여 전사된 그래핀층과 베이스 기판의 계면에 많은 결함준위가 형성되고 이로 인해 그래핀/베이스 기판의 이종접합을 이용한 소자의 거동특성이 열악하게 된다는 문제가 있다. 또한, 전사(Transferring) 과정을 필수적으로 수행해야 하기 때문에 그래핀층의 면적을 증가시키는데에 한계가 있었다.
- [0051] 하지만 본 발명은, 기판 위에 금속촉매층을 형성한 후, 그래핀층을 성장시킴으로써 전사(Transferring) 과정을 생략할 수 있다. 이러한 방법으로 품질과 고안정성을 가진 대면적의 그래핀층을 성장시킬 수 있다.
- [0052] 이 후, 상기 티타늄(Ti)층 위에 그래핀층이 형성되어 그래핀/Ti층으로 형성된 활성층에 c) 단계를 통해 remote 플라즈마 처리하여 상기 그래핀층에 소정에 데미지를 주어 결함(defect)을 생성할 수 있다. 상기 결함을 생성하는 조건에 대해서는 후술할 실시예를 통해 더 자세히 설명하도록 한다.
- [0053] 실시 예에 따르면, 상기 c) 단계 또한 앞서 설명한 a) 및 b) 단계와 같이 동일한 동일한 플라즈마 보조 화학기상증착(PAT-CVD)장치에 의해 연속적으로 수행될 수 있다. 즉, 상기 a) 내지 c) 단계는 동일한 챔버 내에서 무산소 분위기를 유지하면서 수행될 수 있다.
- [0054] 마지막으로, d) 단계는, 기 결함이 형성된 그래핀층을 스퍼터(Sputter) 장치로 이동하여 보론을 도핑하는 단계를 수행할 수 있다.
- [0055] 우선, 상기 플라즈마 보조 화학기상증착(PAT-CVD) 장치를 벤팅(Venting)시켜 진공을 풀고 무산소 분위기 속에서 결함이 형성된 상기 그래핀/Ti층을 꺼내어 공기를 주입하여 벤팅시킨 후 챔버에서 꺼낼 수 있다. 꺼내진 상기 그래핀/Ti층은 공기중 산소에 노출되어, 공기와 맞닿은 상기 티타늄(Ti)이 이산화티타늄(TiO₂)으로 산화될 수 있다. 즉, 플라즈마 보조 화학기상증착(PAT-CVD) 장치에서 꺼내면, 상기 티타늄(Ti)층은 일부 티타늄(Ti)이 산화되어 티타늄(Ti_x)-이산화티타늄층(TiO_{2-x})으로 형성될 수 있다. 이하, 플라즈마 보조 화학기상증착(PAT-CVD) 장치에서 꺼낸 이후, 그래핀/Ti층은 실질적으로 그래핀/티타늄(Ti_x)-이산화티타늄(TiO_{2-x})혼합층으로 표기하는 것이 정확하나, 편의상 티타늄(Ti)의 산화 여부를 구별하지 않고 그래핀/Ti층으로 표기하기로 한다.
- [0056] 이 후, 꺼내진 그래핀/Ti층을 스퍼터(Sputer)장치로 이동하여 보론(B) 도핑을 수행할 수 있다. 즉, CVD를 이용하여 화학기상증착을 통해 상기 그래핀층에 보론(B)을 도핑하는 것이 아닌, 물리적 기상 증착(physical vapor deposition;PVD)방법을 통해 보론(B)을 도핑할 수 있다. 이를 통해 상기 FET가 P-type 특성을 갖도록 제공할 수 있다.

- [0057] 상기 보론(B) 도핑을 스퍼터(Sputter) 등 물리기상증착(PVD)으로 수행하는 것은 다음과 같은 장점이 있다.
- [0058] 우선, 화학기상증착(CVD)에서 요구되는 고온 처리 과정을 생략할 수 있다. 구체적으로 화학기상증착(CVD)으로 보론(B)을 도핑하면, 보론(B)을 포함하는 화합물을 1,000℃이상으로 가열하여 기화하는 단계가 필수적으로 요구된다. 이 과정에서 통상적인 방법으로 제조된 그래핀층은 금속촉매층과 열팽창도의 차이로 인하여 결합이 약해질 수 있으며, 변형이 발생할 수 있다. 이는 그래핀과 기판 사이에 응력을 발생시켜, 성장된 그래핀층이 소정 면적을 유지하는데 치명적인 결함요인으로 작용할 수 있다. 하지만 본 발명은 물리기상증착(PVD)을 사용하고, 더 바람직하게는 물리기상증착(PVD) 중 스퍼터(Sputter)를 사용하여 200℃미만의 온도에서 도핑할 수 있다. 이를 통해, 또한 전사(Transferring) 과정을 생략하여 형성한 대면적의 그래핀층과 기판 사이에 응력 발생을 예방하여 도핑 이후에도 대면적을 유지할 수 있다.
- [0059] 또한, 도핑 과정에서 독성물질의 사용을 대체할 수 있다. 상기 화학기상증착(CVD)은 보론을 도핑하기 위해 암모니아 보론(Ammonia borane; H_3NBH_3 또는 $(BH)_3(NH)_3$), 보라진(Borazine; $(NBNH)_3$) 또는 디보란(B_2H_6) 등 보론(B)을 포함하고 있는 화합물을 기화하는 과정이 요구된다. 하지만 상기 화합물들은 기화되면서 강한 독성을 가진 물질로 변화하게 된다. 이를 방지하기 위해 본 발명은 스퍼터(Sputter)와 같은 물리기상증착(PVD)을 사용함으로써, 물리적 충격으로 보론(B)입자를 떼어내어 도핑할 수 있다. 즉, 상기 화학기상증착(CVD)을 물리기상증착(PVD)로 대체함으로써, 독성이 강한 기체를 사용하지 않을 수 있다. 이는 활성층의 생산성 및 안전성을 크게 향상시킬 수 있다.
- [0060] 실시 예에 따르면, 상기 d) 단계는 스퍼터(Sputter)를 통해 수행될 수 있으며, 더 바람직하게는 대향 타겟식 스퍼터링 시스템(Facing target sputtering system; FTS)을 통해 수행될 수 있다.
- [0061] 도 3을 참조하면, 통상의 스퍼터(Sputter)를 사용하여 보론(B)을 도핑할 경우, 도 3의 (a)와 같이 그래핀층(G)과 보론 타겟(T)이 일 방향에 위치하며, 그 사이에 플라즈마(P)가 위치할 수 있다. 이는 상기 플라즈마(P)로 인해 보론 타겟이 떼어지는 방향과 타겟(T)에서 떨어진 보론(B)입자가 그래핀층(G)에 도핑되는 방향이 동일하다는 것을 의미한다. 이 경우, 상기 보론(B)입자의 운동에너지로 인하여 그래핀층(G)으로 제공되는 기판에 손실을 줄 수 있다.
- [0062] 하지만 본 발명은 도 3의 (b)와 같이 보론 타겟(T)이 마주보는 방향과 그래핀층(G)이 서로 다른 방향에 위치하여 타겟(T)에서 떼어진 보론(B)입자가 직접 그래핀층(G)을 가격하는 것을 방지할 수 있다. 이를 통해, 그래핀층(G)을 보호하며, 도핑 과정에서 전기적 특성이 감소되는 것을 방지할 수 있다.
- [0063] 실시 예에 따르면, 상기 d) 단계에서 보론 타겟(T) 간의 거리(거리(T-T distance))와 보론 타겟(T)과 그래핀층(G)과의 이격거리(T-S distance)를 10 내지 13.5cm에서 수행할 수 있다.
- [0064] 즉, 본 발명에 따른 FET는 그래핀/Ti층으로 구성된 활성층을 화학기상증착(CVD)장치, 바람직하게는 플라즈마 보조 화학기상증착(PAT-CVD)장치를 사용하여 제조할 수 있으며, 무산소 분위기를 유지하면서 in-situ로 제조될 수 있다.
- [0065] 이를 통해 전사(Transferring) 과정 없이 그래핀층을 직접 금속촉매층 상에 성장시킴으로써 고품질과 고안정성을 가진 대면적의 그래핀층을 성장시킬 수 있다.
- [0066] 또한, 상기 c) 플라즈마 처리를 통해 상기 그래핀층에 결함(defect)을 형성하는 단계 이후 그래핀/Ti층을 꺼내어 스퍼터(Sputter)를 이용하여 20 내지 40℃에서 보론(B)을 도핑함으로써, 전사(Transferring) 과정을 거치지 않음으로써 형성된 대면적의 그래핀층을 안전하게 도핑할 수 있다.
- [0067] 실시 예에 따르면, 상기 그래핀 기반의 P-type FET는 제조 후에 20 내지 400℃에서 어닐링(Annealing)하는 단계를 더 포함할 수 있다. 상기 어닐링은 상기 보론이 도핑된 그래핀층의 전기적 특성을 변화시키지 않는 상태에서, 상기 제1 전극 및 상기 제2 전극이 증착하는 과정에서 발생된 그래핀층 상의 결함(defect)을 제거할 수 있다. 즉 상기 어닐링을 통해 상기 그래핀 기반의 P-type FET의 작동특성이 개선될 수 있다.
- [0068] 또한, 상기 그래핀 기반의 P-type FET는 통상적인 바텀 게이트 구조의 박막 트랜지스터를 가정하여 설명하였으나, 탑 게이트 구조의 박막 트랜지스터에서도 동일 또는 유사하게 적용될 수 있음은 물론이다.
- [0069] 아래 실시예에서 확인된 바와 같이, 본 발명의 실시 예에 의한 그래핀 기반의 P-type FET는 전류점멸비(I_{on}/I_{off})가 1.0×10^4 이상 더 바람직하게는 1.0×10^5 이상, 전기전하이동도(Mobility)가 $100\text{cm}^2/\text{V} \cdot \text{s}$ 이상, 더 바람직하

계는 $450\text{cm}^2/\text{V} \cdot \text{s}$ 이상, 문턱전압(V_{th})이 1.4V 이하, 서브문턱 스윙(Subthreshold Swing)은 0.7V/decade 이하, 더 바람직하게는 0.6V/decade 이하로 매우 우수한 특성을 나타낼 수 있다. 따라서 본 발명에 의한 전계 효과 트랜지스터(FET)는 바이오 센서, 특히 그래핀의 뛰어난 전기적 특성을 응용하여 생체분자를 실시간으로 센싱하는 리얼 타임 생체분자 센싱(Real-time biomolecular sensing) pH 및 단백질 모니터링 센서로 활용될 수 있다. 또한, 메모리소자 및 논리소자 등 다른 전자소자 분야에 다양한 용도로 활용될 수 있음은 당연하다.

[0071] 이하, 실시예를 통해 본 발명에 따른 다층 그래핀 적층체 및 이의 제조방법에 대하여 더욱 상세히 설명한다. 다만 하기 실시예는 본 발명을 상세히 설명하기 위한 하나의 참조일 뿐 본 발명이 이에 한정되는 것은 아니며, 여러 형태로 구현될 수 있다.

[0072] 또한 달리 정의되지 않은 한, 모든 기술적 용어 및 과학적 용어는 본 발명이 속하는 당업자 중 하나에 의해 일반적으로 이해되는 의미와 동일한 의미를 갖는다. 본원에서 설명에 사용되는 용어는 단지 특정 실시예를 효과적으로 기술하기 위함이고 본 발명을 제한하는 것으로 의도되지 않는다. 또한 명세서에서 특별히 기재하지 않은 첨가물의 단위는 중량%일 수 있다.

[0073] **가. 그래핀 기반의 P-type FET 제조방법**

[0074] **[활성층 제조 방법]**

[0075] [제조예 1]

[0076] a) 게이트 절연층 위에 티타늄(Ti)층을 형성

[0077] 300nm 두께로 형성된 SiO_2 절연층 위에 dc power 20W, 압력 0.4 Pa을 유지한 후, 150℃에서 3분간 PAV-CVD 방법으로 10nm 두께의 티타늄(Ti)을 증착한다. 이 때, 상기 스퍼터에서 타겟과 타겟 사이 간격(T-T distance), 다시 말해 스퍼터의 건과 건 사이 간격은 10cm이고, 타겟과 기판 사이의 간격(T-S distance), 다시 말해 플라즈마와 기판 사이의 간격은 10cm이다.

[0078] b) 티타늄(Ti)층 위에 그래핀층을 성장

[0079] 이후, 무산소 분위기를 유지하며 하기 표 1에 제시된 조건으로 상기 티타늄(Ti)층 위에 그래핀층을 형성함으로써, 300 μm 이상의 도메인 사이즈를 갖는 그래핀층을 성장시킬 수 있다.

표 1

[0080]

그래핀 합성 조건	
Gas Injection	$\text{H}_2 / \text{Ar} / \text{CH}_4 - 10 / 10 / 0.3\text{sccm}$
Working Temperature	150℃
Working Pressure	18 Torr
Plasma Power	70W
Working Time	2h
T-T distance	10cm
T-S distance	10cm

[0081] c) 그래핀층의 결함(defect) 형성 조건을 결정

[0082] 그래핀층을 보론(B)으로 도핑하기 전 적절한 데미지를 가하여 그래핀층 표면에 결함(defect)을 형성할 수 있다. 이 때, 최적화된 상기 결함 형성 조건을 결정하기 위해 하기 표 2의 조건에 따라 Ar플라즈마에 15, 30 및 45초 동안 노출하며, 상기 Ar플라즈마 노출에 따른 그래핀의 데미지 정도를 라만피크, 면저항 및 투명도를 통하여 확인하는 예비 실험을 수행하였다.

표 2

[0083]

실험 조건	
Plasma power	20W
Base pressure	$5 \times 10^{-6}\text{Torr}$
Gas injection(Ar)	10sccm
Deposition temp.	150℃

Working pressure	2mTorr
Working time	15 / 30 / 45s

[0084] Ar 플라즈마에 15초 노출시킨 샘플은 면저항이 126.2Ω/□ 투명도가 96.6%로 플라즈마에 노출시키지 않은 순수한 그래핀(Pristine graphene)의 면저항 86.2 Ω/□, 투명도 97.2%에 비해 투명도에서는 투명도에서는 변화를 보이지 않았지만 면저항이 약간 상승하는 것을 확인하였다. 이는 Ar 플라즈마에 15초 노출시킨 샘플은 결함이 거의 형성되지 않았음을 알 수 있다.

[0085] Ar 플라즈마에 30초 노출시킨 샘플은 면저항이 281.2Ω/□, 투명도가 97.8%로 적절한 결함이 형성되었음을 확인하였다. 아울러, Ar 플라즈마에 30초 노출시킨 샘플의 라만피크를 분석한 결과 약간의 D peak(그래핀의 결함을 의미)이 생긴 것을 확인하였다. 이는 Ar 플라즈마에 30초 노출시킴으로 그래핀에 적절한 결함이 형성되었음을 확인할 수 있는 증거이다.

[0086] 반면, Ar 플라즈마에 45초 노출시킨 샘플은 라만피크에서 그래핀이 완전히 에칭되어 사라진 것을 확인하였다. 따라서, 이상과 같은 처리조건에서는 30초 전후, 예를 들어 25 내지 35초 정도의 데미지를 주어 결함을 형성하는 것이 적절한 것으로 확인되었다. 그러나 처리조건이나 환경에 따라서 처리 시간이 달라질 수 있음은 자명할 것이다.

[0087] 즉 상기 예비 실험결과 Ar 플라즈마에 30초 노출시키는 것이 최적의 조건 갖는 것을 확인하였으며, 최적화를 위한 반복 실험 후, 최종적으로 하기 표 3의 조건으로 그래핀층의 결함(defect)을 형성하였다.

표 3

실험 조건	
Plasma power	20W
Base pressure	5 x 10 ⁻⁶ Torr
Gas injection(Ar)	10sccm
Deposition temp.	R.T. (25℃)
Working pressure	2mTorr
Working time	30s
T-T distance	10cm
T-S distance	13cm

[0089] d) 결함이 형성된 그래핀층에 보론(B) 도핑

[0090] 상기 PAT-CVD 장비를 통해 a) 내지 c) 단계를 수행한 후, 결함이 형성된 그래핀/Ti층을 대향 타겟식 스퍼터링 시스템(FTS)으로 옮겨 보론(B)을 도핑하였다. 앞서 설명한 바와 같이, 통상적인 스퍼터(Sputter)를 사용하면 상기 스퍼터의 운동에너지로 인하여 그래핀층이 손상될 수 있다. 이를 방지하기 위해 도 3의 (b)와 같이 한 쌍의 보론 타겟(T)이 양 면에 위치하고, 상기 보론 타겟(T)이 마주보는 면과 그래핀층(G)이 다른 방향으로 배치되는 대향 타겟식 스퍼터링 시스템(FTS)으로 상기 보론(B)을 도핑하였다.

[0091] 대향 타겟식 스퍼터링 시스템(FTS)을 이용한 구체적인 보론(B) 도핑 조건은 하기 표 4의 조건에 따라 수행되었다.

표 4

실험 조건	
Plasma power	20W
Gas injection(Ar)	10sccm
Working temp.	150℃
Working pressure	85mTorr
Working time	100s
T-T distance	10cm
T-S distance	13.5cm

[0093] 상술한 과정을 통해, 그래핀층에 결함(defect)을 형성하여 보론(B)을 도핑하였으며, 이를 통해 그래핀층에 밴드

갭(Band-Gap)을 부여하였다. 이를 통해, 300 μ m이상의 도메인 사이즈를 가지며, P-type FET의 채널로 활용할 수 있는 그래핀 활성층을 제조하였다.

[0094] **[P-Type FET(Field Effect Transistor) 제조]**

[0095] [실시예 1]

[0096] 제조예 1로 제조된 활성층에 대해, 기판 - 게이트 층 - 게이트 절연층 - 활성층 - 전극을 각각 하기 표 5와 같은 재질로 제작하여 본 발명의 실시 예에 따른 P-Type FET를 제조한다. 이 때 활성층의 제조 방법은 제조예 1에서 구체적으로 설명하였기 때문에 생략하도록 한다.

표 5

[0097]

	재 질
기판	highly doped p-Si
게이트 전극	Graphene/Ti
게이트 절연층	SiO ₂
활성층	B-doped Graphene/Ti
전극	Au/Ti

[0098] 구체적으로, 통상의 방법에 따라 하이 도핑(high doping)된 p-Si 위에 100nm 두께로 SiO₂ 절연층을 형성하였다. 이어서 절연층 위에 새도우 마스크(Shadow mask)를 부착한 다음 제조예 1로 제조한 활성층에 제1 전극과 제2 전극이 형성된 마스크(mask)를 정밀하게 배치한 후 하기 표 6에서 제시된 조건에서 스퍼터링 방식으로 티타늄(Ti)과 금(Au)을 각각 10nm, 50nm두께로 연속 증착하여 제1 전극(Source 전극)과 제2 전극(Drain 전극)을 형성한다.

[0099] 이 때, 상기 제1 전극과 제2 전극의 폭은 20 μ m로, 상기 제1 전극과 제2 전극사이의 간격은 100 μ m로 20 x 100 μ m²의 채널을 형성한다.

[0100] 상기 활성층 위에 활성층이 형성된 기판에 정밀하게 배치하고 하기 표 6에서 제시된 조건에서 스퍼터링 방식으로 티타늄(Ti)과 금(Au)을 각각 10nm, 50nm두께로 연속 증착하여 제1 전극(Source 전극)과 제2 전극(Drain 전극)을 형성한다.

표 6

[0101]

	Ti 층	Au 층
dc power	20W,	12W
기저 압력	6.6 x 10 ⁻⁴ Pa	6.6 x 10 ⁻⁴ Pa
작업 압력	0.4Pa	0.4Pa
증착 시간	3.0min.	3.5min.

[0102] 마지막으로 150 $^{\circ}$ C에서 어닐링하여 P-type FET를 제조한다.

[0103] [비교예 1]

[0104] 보론(B)을 도핑하는 과정을 생략한 것 외 모든 과정을 실시예 1과 동일하게 수행하였다.

[0105] [비교예 2]

[0106] 그래핀층에 결함을 형성하는 과정 및 보론(B)을 도핑하는 과정을 생략한 것 외 모든 과정을 실시예 1과 동일하게 수행하였다.

[0107] **[분석 및 성능 평가]**

[0108] 1) 라만 분석:

[0109] 보론의 도핑여부를 확인하기 위하여 실시예 1, 비교예 1 및 비교예 2로 제조된 P-type FET의 라만 스펙트럼을 분석하였으며, 그 결과를 도 4에 개시한다.

- [0110] 통상적으로 결함이 없는 그래핀층은 $1,600\text{cm}^{-1}$ 내외에서 G peak이 관찰되며, 1,200 내지 $1,500\text{cm}^{-1}$ 에서는 별다른 peak이 관찰되지 않는다. 하지만, 그래핀층에 결함이 있을 경우 1,200 내지 $1,500\text{cm}^{-1}$ 에서 D peak가 관찰된다. 아울러, 상기 G peak에 대한 D peak의 세기 비율이 클수록 그래핀층의 원자적 결함 정도가 높음을 알 수 있다.
- [0111] 비교예 2로 제조한 도 4의 (a)를 참조하면, 비교예 2는 그래핀층에 어떠한ダメージ를 가하지 않았으므로, 결함(D peak)이 발생되지 않았음을 알 수 있다. 하지만 비교예 1로 제조한 도 4의 (b)는 그래핀층의 결함으로 인하여 1,200 내지 $1,500\text{cm}^{-1}$ 에서 D peak이 발견되었다. 이를 통해, 비교예 1은 그래핀층에ダメージ를 주어 결함이 발생되었다는 것을 알 수 있다.
- [0112] 실시예 1로 제조한 도 4의 (c)를 참조하면, 1,200 내지 $1,500\text{cm}^{-1}$ 에서 D peak이 발견되었으며, G peak과 인접하여 D`peak이 새로 형성된 것을 확인할 수 있다. 이는 상기 보론(B)에 의해 야기되는 것으로써, 상기 보론(B)을 도핑하여 라만 스펙트럼에 변화가 발생되었음을 확인할 수 있다.
- [0113] 2) 표면 거칠기 분석:
- [0114] 보론(B)이 도핑된 위치를 확인하기 위해 상기 실시예 1, 비교예 1 및 비교예 2에 대해 AFM(MFP-3D-BIO, Asylum Research)을 이용하여 표면 거칠기를 분석하였다. 그 결과를 도 5에 게시한다.
- [0115] 도 5를 참조하면, 비교예 2로 제조한 도 5의 (a)는 표면 거칠기가 0.18nm로 측정되었다. 이는 상기 그래핀층에 결함이 형성되지 않아 표면이 비교적 고른 상태를 갖는 것을 알 수 있다. 반면에 비교예 1로 제조한 도 5의 (b)와 실시예 1로 제조한 도 5의 (c)는 그래핀 표면에 다수의 결함이 발생하여 표면 거칠기가 0.25nm로 상승하였다.
- [0116] 다만, 상기 보론(B)이 도핑된 실시예 1과 보론이 도핑되지 않은 비교예 1의 표면 거칠기가 동일한 이유는, 상기 보론(B) 입자가 그래핀 표면이 아닌, 그래핀층의 결함부로 도핑되었기 때문으로 해석된다. 즉, 상기 보론(B)은 그래핀 표면이 아닌, 플라즈마로 인하여 결함이 형성된 곳에 삼입하여 도핑되었음을 확인할 수 있다.
- [0117] 3) P-type 특성 확인:
- [0118] 상기 실시예 1로 제조된 FET의 P-type 특성을 확인하기 위해 전류 전달 특성(Transferring curve)을 측정하였으며, 이를 도 6의 (a)에, 온도에 따른 전류점멸비(on/off ratio, $I_{on/off}$)를 도 6의 (b)에 게시한다.
- [0119] 도 6의 (a)를 참조하면, 실시예에 따라 제조된 FET는 문턱전압(V_{th})이 0V에 가까운 P-type 특성을 가지고 있음을 확인할 수 있다.
- [0120] 구체적으로 실시예 1로 제조된 FET은 전류점멸비(I_{on}/I_{off})가 1.0×10^4 이상, 전기전하이동도(Mobility)가 $100\text{cm}^2/\text{V} \cdot \text{s}$ 이상, 문턱전압(V_{th})이 1.4V 이하, 서브문턱 스윙(Subthreshold Swing)은 0.7V/decade 이하로 기존 P-type 그래핀 FET와 비교하였을 때 매우 우수한 특성을 나타내었다.
- [0121] 아울러, 도 6의 (b)를 참조하면 실시예 1에 따라 제조된 P-type FET의 밴드갭을 유도하여 산출한 결과, 0.27eV로 1.0eV 미만의 밴드갭을 가지는 것을 확인할 수 있다.
- [0122] **나. 단결정 그래핀 기반의 P-type FET 제조방법**
- [0123] 실시예 1에 따라 제조한 P-type FET는 제조 과정에서 $300\mu\text{m}$ 이상의 도메인 사이즈를 갖는 그래핀층을 성장시킬 수 있으며, 상기 그래핀층에 제1 전극과 제2 전극을 형성하여 채널을 구성할 수 있다. 이 때, 상기 제1 전극과 상기 제2 전극이동일한 도메인 내에서 선택되어 채널이 단결정의 그래핀층으로 제공되는 P-type FET을 실시예 2로, 상기 활성층을 이루는 그래핀층이 둘 이상의 도메인 내에서 선택되어 채널이 다결정의 그래핀층으로 제공되는 P-type FET을 실시예 3으로 정의할 수 있다.
- [0124] 다시 말해, 실시예 2와 실시예 3은 다음과 같은 특징으로 정의할 수 있다.
- [0125] [실시예 2]
- [0126] 상기 실시예 1에 따라 제조하되, 제1 전극과 제2 전극이 동일한 도메인 내에서 선택되어, 활성층을 이루는 그래핀층이 단결정인 특징이 있는(Single-crystal graphene) P-type FET를 실시예 2로 정의한다.

[0127] [실시예 3]

[0128] 상기 실시예 1에 따라 제조하되, 제1 전극과 제2 전극이 그래인 바운더리(Domain-boundary)에 걸쳐서 선택되어, 활성층을 이루는 그래핀층이 다결정인 특징이 있는(Poly-Crystal graphene) P-type FET를 실시예 3으로 정의한다.

[0130] 도 7은 상기 실시예 2 및 실시예 3에 따라 제조된 P-type FET의 전류 전달 특성(Transferring curve)을 비교한 그래프이고, 도 8은 실시예 2 및 실시예 3에 따라 제조된 P-type FET의 채널 크기에 따른 저항을 비교한 그래프이고, 도 9는 도 8에서 채널의 길이가 0 내지 20 μ m인 부분을 확대한 그래프이고, 도 10은 실시예 2 및 실시예 3에 따라 제조된 P-type FET의 전기전하이동도(Mobility)를 비교하기 위한 그래프이다.

[0131] 도 7을 참조하면, 상기 실시예 2로 제조된 FET가 실시예 3으로 제조된 EFT에 비해 동일한 게이지 전압에서 드레인 전류(Drain current)가 높은 것을 확인할 수 있다. 즉, 동일한 조건에서 실시예 2로 제조된 FET가 실시예 3으로 제조된 EFT에 비해 전기적 특성이 더 우수한 것을 확인할 수 있다.

[0132] 실제로 실시예 2 및 실시예 3에 따라 제조된 P-type FET의 전류점멸비(I_{on}/I_{off}), 전기전하이동도(Mobility), 문턱전압(V_{th}) 및 서브문턱 스윙(Subthreshold Swing)을 측정한 결과값은 하기 표 7과 같다.

표 7

[0133]

	실시예 2	실시예 3
I_{on} (A)	4.27×10^{-6}	1.87×10^{-6}
I_{off} (A)	2.5×10^{-11}	2.5×10^{-11}
전류점멸비(I_{on}/I_{off})	1.88×10^5	8.23×10^4
전기전하이동도 ($cm^2/V \cdot s$)	467	175
문턱전압 (V)	1.4	1.4
서브문턱 스윙 (V/decade)	0.58	0.62

[0134] 즉, 상기 실시예 2로 제조한 P-type FET와 실시예 3으로 제조한 P-type FET 모두, 전류점멸비(I_{on}/I_{off})가 1.0×10^4 이상, 전기전하이동도(Mobility)가 $100cm^2/V \cdot s$ 이상, 문턱전압(V_{th})이 1.4V 이하, 서브문턱 스윙(Subthreshold Swing)은 0.7V/decade 이하를 만족하는 것을 알 수 있다.

[0135] 특히, 활성층을 이루는 그래핀층이 단결정으로 제공되는 실시예 2의 경우, 전류점멸비(I_{on}/I_{off})가 1.0×10^5 이상, 전기전하이동도(Mobility)가 $400cm^2/V \cdot s$ 이상, 서브문턱 스윙(Subthreshold Swing)은 0.6V/decade 이하로 채널을 이루는 그래핀층이 다결정으로 제공되는 실시예 3보다 전기적 성능이 더 뛰어난 것을 확인하였다.

[0136] 실시예 2와 실시예 3이 전기적 특성 차이가 구현되는 원인을 분석하기 위해, 게이트 전압(V_G)이 -2 내지 -10V 범위에서 채널 길이에 따른 저항을 비교하였다.

[0137] 실시예에 따르면, 채널을 이루는 그래핀층이 단결정으로 제공되는(Single-crystal graphene) 실시예 2의 채널 길이에 따른 저항은 하기 표 8 및 도 8의(a)와 같다.

표 8

[0138]

Channel Length (μ m)	10	20	50	70	100
-2 V	94.606 k Ω	115.92 k Ω	181.76 k Ω	254.75 k Ω	301.43 k Ω
-4 V	55.780 k Ω	72.231 k Ω	127.65 k Ω	160.51 k Ω	213.81 k Ω
-6 V	48.934 k Ω	63.719 k Ω	103.41 k Ω	139.86 k Ω	185.66 k Ω
-8 V	40.558 k Ω	61.200 k Ω	88.087 k Ω	114.16 k Ω	155.22 k Ω
-10 V	28.955 k Ω	41.097 k Ω	73.803 k Ω	90.497 k Ω	126.85 k Ω

[0139] 상기 표 8 및 도 8의 (a)를 참조하면, 채널 길이가 길어질수록 저항이 선형적으로 증가하나, 채널 길이가 100 μ m 이하로 제공될 때 저항이 350k Ω 미만인 것을 확인할 수 있다.

[0140] 구체적으로, 게이트 전압(V_G)이 -2 V에서는 채널 길이가 $10\mu\text{m}$ 인 것을 기준으로 22.53%, 92.12%, 169.27% 및 218.61% 저항이 증가하였으며, -4 V에서는 채널 길이가 $10\mu\text{m}$ 인 것을 기준으로 29.49%, 128.85%, 187.76% 및 283.31% 증가하였다.

[0141] 마찬가지로 게이트 전압(V_G)이 -6 V에서는 채널 길이가 $10\mu\text{m}$ 인 것을 기준으로 30.21%, 111.33%, 185.81% 및 279.41% 저항이 증가하였으며, -8 V에서는 채널 길이가 $10\mu\text{m}$ 인 것을 기준으로 30.90%, 117.19%, 181.47% 및 282.71% 증가하였다. 마지막으로 게이트 전압(V_G)이 -10 V에서는 채널 길이가 $10\mu\text{m}$ 인 것을 기준으로 41.93%, 154.89%, 212.54% 및 338.09% 저항이 증가하였다.

[0142] 반면에 채널을 이루는 그래핀층이 다결정으로 제공되는(Poly-crystal graphene) 실시예 3의 채널 길이에 따른 저항은 하기 표 9 및 도 8의(b)와 같다.

표 9

Channel Length (μm)	10	20	50	70	100
-2 V	217.59 k Ω	266.61 k Ω	428.06 k Ω	535.92 k Ω	693.29 k Ω
-4 V	142.09 k Ω	189.14 k Ω	313.61 k Ω	405.17 k Ω	537.76 k Ω
-6 V	112.54 k Ω	146.55 k Ω	237.86 k Ω	321.70 k Ω	427.04 k Ω
-8 V	93.283 k Ω	120.76 k Ω	202.60 k Ω	262.57 k Ω	357.01 k Ω
-10 V	66.597 k Ω	94.525 k Ω	169.76 k Ω	208.14 k Ω	291.76 k Ω

[0144] 상기 표 8과 표 9를 비교하면, 실시예 3으로 제조된 FET 또한 채널 길이가 $100\mu\text{m}$ 이하로 제공될 때 저항이 700 k Ω 미만으로 전기적 특성이 우수하나, 실시예 2에 비해 약 2배 가까이 증가한 것을 확인할 수 있다.

[0145] 구체적으로, 게이트 전압(V_G)이 -2 V에서는 그래핀층이 단결정으로 제공되는(Single-crystal graphene) 실시예 2가 다결정으로 제공되는(Poly-crystal graphene) 실시예 3에 비해 최소 122.98k Ω , 최대 391.86k Ω 낮으며, -4 V에서는 최소 86.31k Ω , 최대 323.95k Ω 낮은 것을 알 수 있다.

[0146] 마찬가지로 게이트 전압(V_G)이 -6 V에서는 최소 63.61k Ω , 최대 241.38k Ω , - 8 V에서는 최소 52.73k Ω , 최대 201.79k Ω , 마지막으로 - 10 V에서는 최소 37.64k Ω , 최대 164.91k Ω 더 낮은 것을 알 수 있다.

[0147] 상술한 차이가 발생하는 이유는, 그래핀층이 다결정으로 제공되는(Poly-crystal graphene) 실시예 3은 그래인 바운더리가 생성되어 전자의 이동을 방해하기 때문이다. 아울러 그래인 바운더리로 인하여 그래인 사이즈가 감소된다.

[0148] 실제로 그래핀층의 면저항은 그래인 사이즈와 반비례의 관계가 될 수 있으며, 하기 관계식 1이 적용될 수 있다.

[0149] [관계식 1]

[0150] $\Omega = \Omega_0 [1+(A/A_c)]$

[0151] (상기 관계식 1에서 Ω 는 그래핀층의 면저항, A는 그래핀층의 평균 그래인 사이즈, Ω_0 및 A_c 는 상수를 나타낸다)

[0152] 반면에 그래핀층이 단결정으로 제공되는(Single-crystal graphene) 실시예 2는 채널 내 그래인 바운더리가 없으며, 그래인 사이즈가 채널 크기와 동일하다. 그 결과 실시예 2로 제조된 FET가 실시예 3으로 제조된 FET에 비해 저항이 낮으며, 전기전하이동도(Mobility)가 향상될 수 있다.

[0153] 도 10은 실제로 실시예 2에 따라 제조된 FET와 실시예 3에 따라 제조된 FET의 전기전하이동도(Mobility)를 비교하였으며, 그 결과를 표 10 및 도 10에 정리하였다. 하기 표 10의 전기전하이동도의 단위는 $\text{cm}^2/\text{V} \cdot \text{S}$ 이다.

표 10

Channel Length (μm)	10	20	50	70	100
실시예 2 (Single-crystal graphene)	460	465	468	460	465

실시예 3 (Poly-crystal graphene)	175	175	177	174	173
----------------------------------	-----	-----	-----	-----	-----

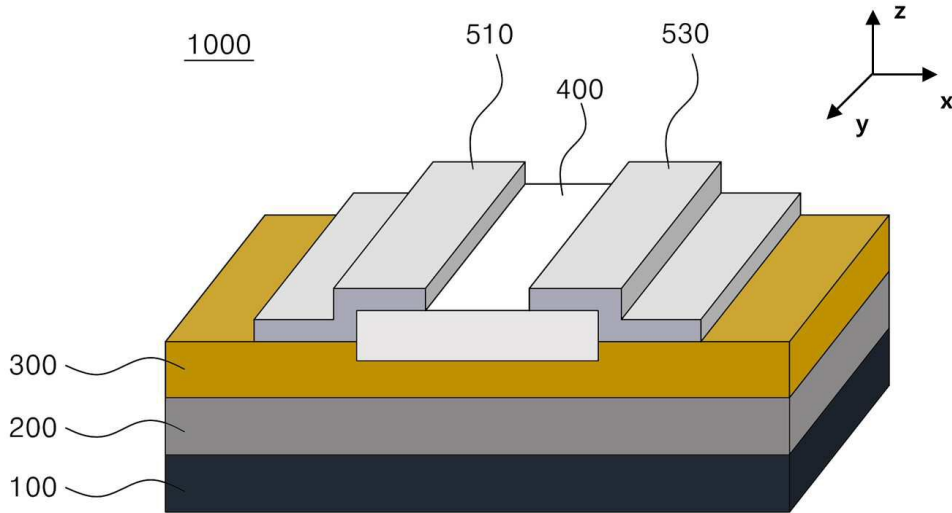
- [0155] 상기 도 10 및 표 10을 참조하면, 그래핀층이 단결정으로 제공되는(Single-crystal graphene) 실시예 2는 전기 전하이동도(Mobility)가 460 내지 468cm²/V·S으로, 173 내지 175cm²/V·S 인 실시예 3보다 동일한 채널 길이 기준 최소 285cm²/V·S, 최대 292cm²/V·S 향상되었음을 확인할 수 있다.
- [0156] 즉, 본 발명의 실시 예에 따른 FET는 그래핀층을 제조하는 과정에서 티타늄(Ti)으로 제공되는 금속촉매층에 그래핀층을 직접 성장시켜 전사(Transferring)과정을 생략하였고 그 결과 도메인 사이즈가 300 μ m 이상인 대면적의 그래핀층을 성장시킬 수 있다.
- [0157] 또한, 상기 그래핀층에 보론(B)을 도핑하여 밴드갭(Band-Gap)을 부여하는 과정에서 스퍼터(Sputter), 더 바람직하게는 대향 타겟식 스퍼터링 시스템(Facing target sputtering system, FTS)을 적용하여 그래핀의 전기적 특성을 유지하였다.
- [0158] 그 결과, 전류점멸비(I_{on}/I_{off}) 가 1.0 x 10⁴ 이상, 전기전하이동도(Mobility)가 100cm²/V·s 이상, 문턱전압(V_{th})이 1.4V 이하, 서브문턱 스윙(Subthreshold Swing)은 0.7V/decade 이하인 그래핀 기반의 P-type FET를 제조할 수 있다. 이는 기존의 그래핀 기반의 P-type FET와 비교하였을 때 전기적 특성이 매우 우수한 FET임을 알 수 있다.
- [0159] 또한, 본 발명에서 그래핀층의 도메인 사이즈가 300 μ m 이상인 것에 착안하여, 활성층을 이루는 그래핀층을 동일한 도메인 내에서 선택하여 단결정 그래핀의 P-type FET를 제조할 수 있다. 그 결과 전류점멸비(I_{on}/I_{off}) 가 1.0 x 10⁵ 이상, 전기전하이동도(Mobility)가 400cm²/V·s 이상, 서브문턱 스윙(Subthreshold Swing)은 0.6V/decade 이하로 P-type FET의 전기적 특성을 더욱 향상시킬 수 있다.
- [0161] 이상과 같이 특정된 사항들과 한정된 제조예를 통해 본 발명이 설명되었으나, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 제조예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0162] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

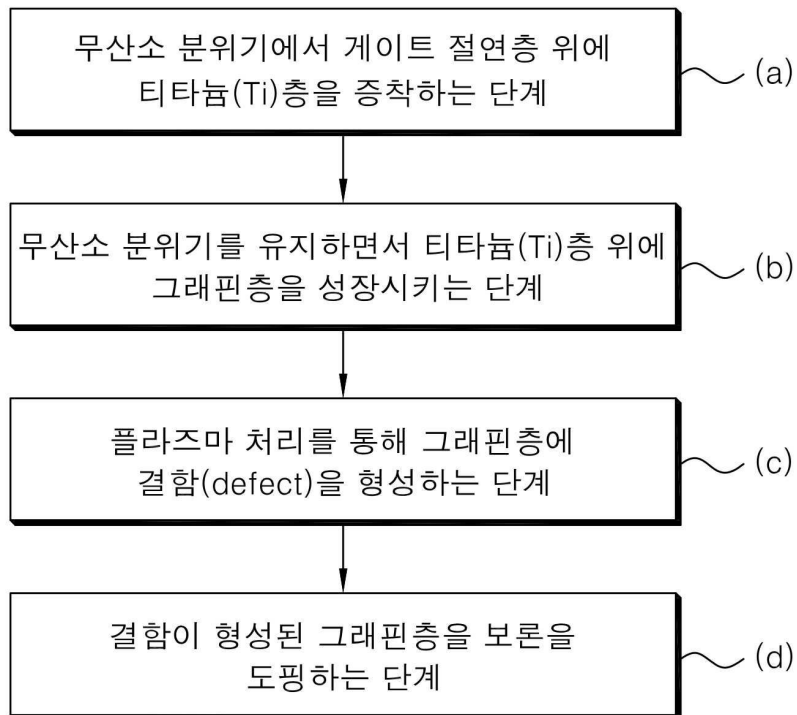
- [0164] 100: 기판 (highly doped p-Si)
- 200: 게이트 전극 (Graphene/Ti)
- 300: 게이트 절연층 (SiO₂)
- 400: 활성층 (B-doped Graphene/Ti)
- 510: 제1 전극 (Source, Au/Ti)
- 530: 제2 전극 (Drain, Au/Ti)
- 1000: 그래핀 기반의 P-type FET

도면

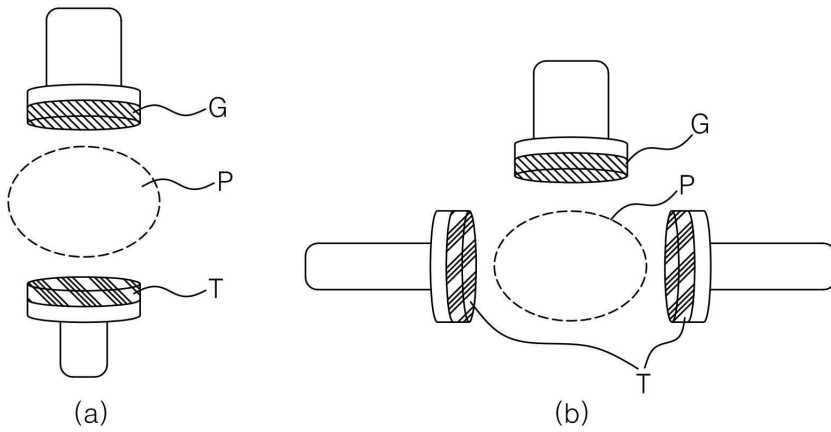
도면1



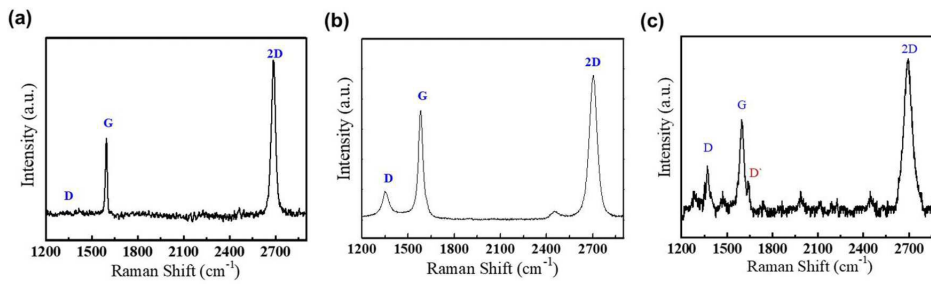
도면2



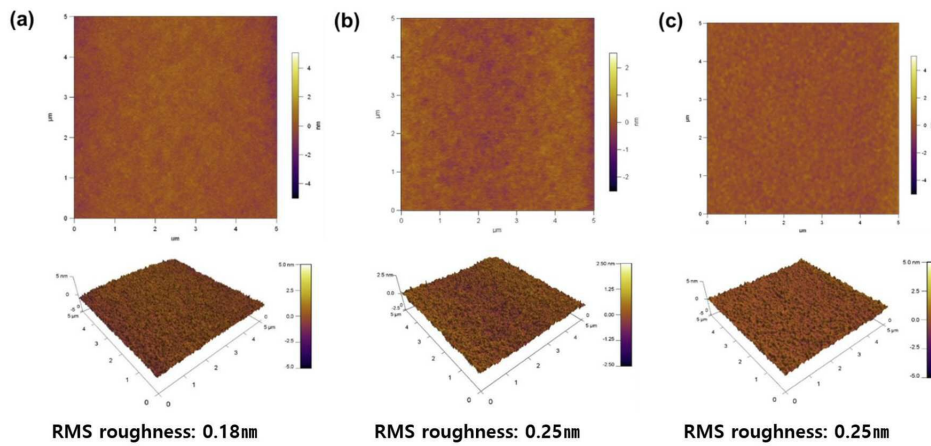
도면3



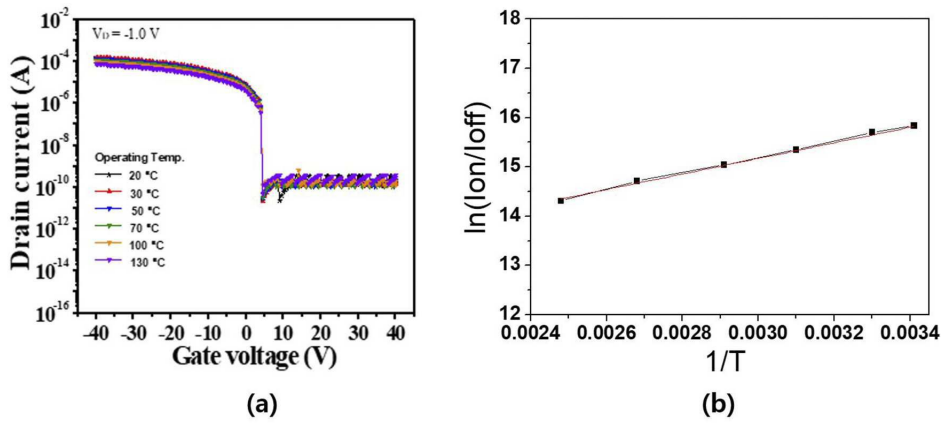
도면4



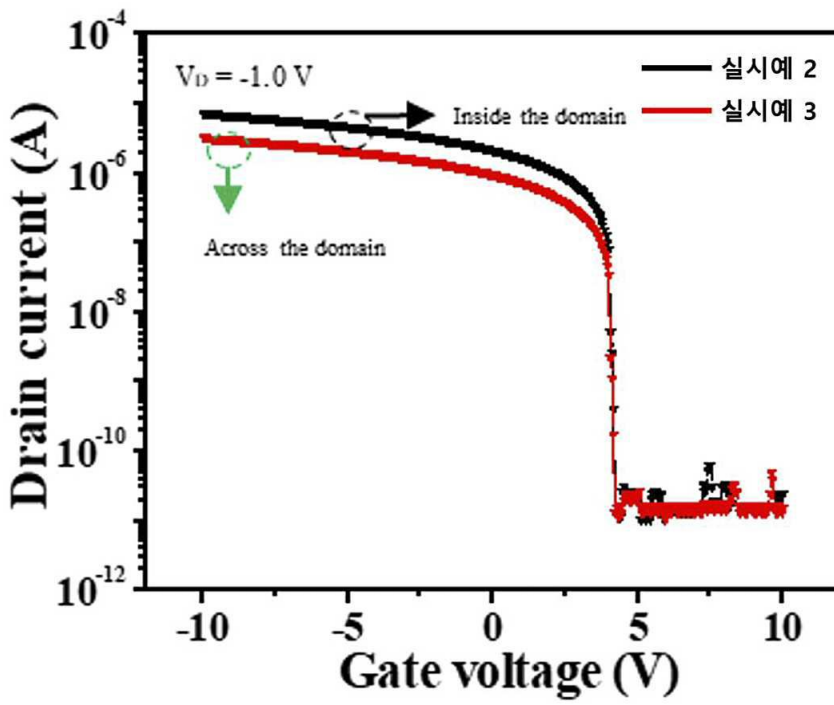
도면5



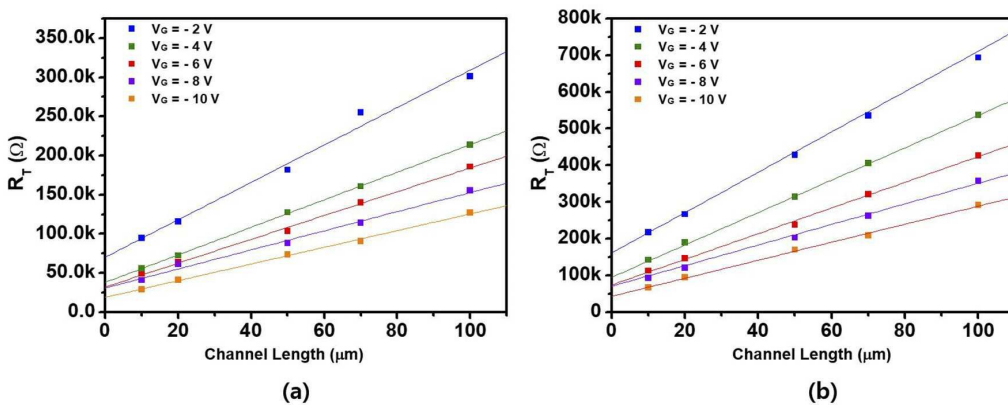
도면6



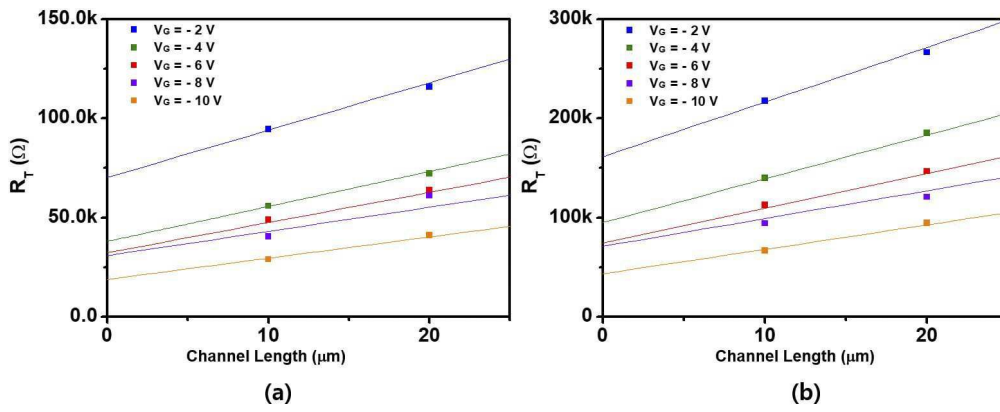
도면7



도면8



도면9



도면10

