



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0102262
(43) 공개일자 2022년07월20일

(51) 국제특허분류(Int. Cl.)
G05F 3/24 (2006.01) H03F 3/45 (2006.01)
(52) CPC특허분류
G05F 3/242 (2013.01)
H03F 3/45475 (2013.01)
(21) 출원번호 10-2021-0004406
(22) 출원일자 2021년01월13일
심사청구일자 2021년01월13일

(71) 출원인
한남대학교 산학협력단
대전광역시 유성구 유성대로 1646 (전민동)
(72) 발명자
엄지용
대전광역시 서구 만년로 45 초원아파트 103-1004
(74) 대리인
박노춘

전체 청구항 수 : 총 6 항

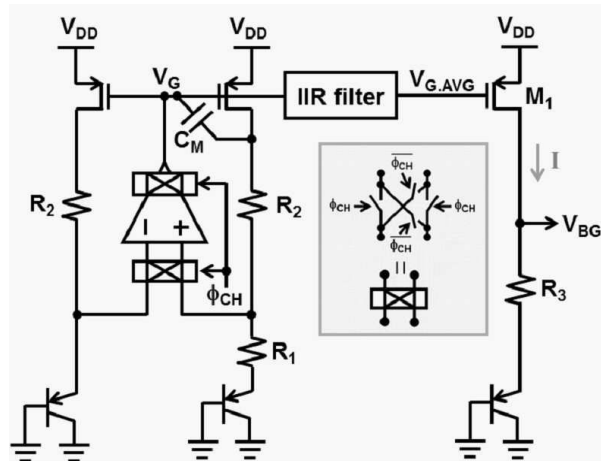
(54) 발명의 명칭 밴드갭 전압 기준회로의 보정방법

(57) 요약

본 발명은 CMOS 밴드갭 전압 기준회로의 출력전압 보정방법에 관한 것으로, 보다 상세하게는 공급전압이 전압 기준회로에 인가되면, 연산 증폭기의 오프셋 전압에 둔감한 출력전압이 발생하도록 회로 내부에서 자동으로 보정기능을 수행하는 것을 특징으로 하는 CMOS 밴드갭 전압 기준회로의 출력전압 보정방법에 관한 것이다.

본 발명은 전압 기준회로에 공급전압(supply voltage)이 인가되면, 자동으로 출력전압의 보정기능이 동작되며, 반도체 후공정을 사용하지 않고도 회로 자체적으로 전압 기준회로의 출력전압의 변동을 보정하는 기능을 수행함으로써, 반도체 후공정에 의한 추가적인 시간 및 비용의 소비를 줄일 수 있다.

대표도 - 도2



(52) CPC특허분류

H03F 2203/45421 (2013.01)

명세서

청구범위

청구항 1

CTAT 전원 및 PTAT 전원을 생성하는 BJT 소자;

오프셋 전압이 생성되는 연산 증폭기;

상기 연산 증폭기에서 생성되는 오프셋 전압을 양극성 신호로 변환하는 chopper 회로;

상기 chopper 회로에서 변환된 양극성 신호를 전류로 변환하고, 상기 전류에 해당하는 전류원 바이어스 전압이 생성되는 저항; 및

상기 전류원 바이어스 전압을 주기적으로 샘플링 및 평균화하여 상기 연산 증폭기의 오프셋 전압에 둔감한 전류원 바이어스 전압을 생성하는 아날로그 필터;를 포함하는 CMOS 밴드갭 전압 기준회로.

청구항 2

제1항에 있어서,

상기 아날로그 필터는 상기 전류원 바이어스 전압을 평균화하고, 상기 전압 평균화 과정에서 발생하는 전하를 누적하는 것을 특징으로 하는 CMOS 밴드갭 전압 기준회로.

청구항 3

제2항에 있어서,

상기 아날로그 필터는 주기적인 클락 신호의 edge 직전에 샘플링 동작을 수행하고 평균화 동작을 반복적으로 시행하는 것을 특징으로 하는 CMOS 밴드갭 전압 기준회로.

청구항 4

제3항에 있어서,

상기 아날로그 필터는 샘플링 스위치와 커패시터 소자로 구성되며,

샘플링 신호에 의해 상기 샘플링 스위치가 ON 되며, 상기 전류원 바이어스 전압은 상기 커패시터 소자에 샘플링 되는 것을 특징으로 하는 CMOS 밴드갭 전압 기준회로.

청구항 5

제1항의 CMOS 밴드갭 전압 기준회로의 출력전압 보정방법에 있어서,

상기 chopper 회로가 연산 증폭기에서 생성되는 오프셋 전압을 양극성 신호로 변환하는 단계;

상기 저항이 상기 chopper 회로에서 변환된 양극성 신호를 전류로 변환하고, 상기 전류에 해당하는 전류원 바이어스 전압을 생성하는 단계;

상기 아날로그 필터가 상기 전류원 바이어스 전압을 주기적으로 샘플링 및 평균화하여 상기 연산 증폭기의 오프셋 전압에 둔감한 전류원 바이어스 전압을 생성하는 단계를 포함하고,

상기 전압 기준회로에 공급전압이 인가되면, 상기 전류원 바이어스 전압의 평균 전압을 이용하여 연산 증폭기의 오프셋 전압에 의한 출력 기준전압 산포를 보정하는 것을 특징으로 하는 CMOS 밴드갭 전압 기준회로의 출력전압

보정방법.

청구항 6

제5항에 있어서,

상기 아날로그 필터는 상기 전류원 바이어스 전압을 평균화하고, 상기 전압 평균화 과정에서 발생하는 전하를 누적하는 것을 특징으로 하는 CMOS 밴드갭 전압 기준회로의 출력전압 보정방법.

발명의 설명

기술 분야

[0001] 본 발명은 CMOS 밴드갭 전압 기준회로의 출력전압 보정방법에 관한 것으로, 보다 상세하게는 공급전압이 전압 기준회로에 인가되면, 연산 증폭기의 오프셋 전압에 둔감한 출력전압이 발생하도록 회로 내부에서 자동으로 보정기능을 수행하는 것을 특징으로 하는 CMOS 밴드갭 전압 기준회로의 출력전압 보정방법에 관한 것이다.

배경 기술

[0003] 온도, 전압 및 공정 변화에 무관한 전원회로는 다양한 응용회로의 기본 요소 회로에 해당한다. 즉, 대부분의 PCB 기반 또는 반도체 칩 기반의 응용회로는 기준전원 전압을 필요로 하며, 해당 기준전원 전압은 다양한 온도, 전압, 공정 등의 조건에서도 일관성 있게 유지되어야 한다.

[0004] 일반적으로 CMOS 전압 기준회로는 온도에 따라 증가하는 전압원(PTAT, proportional to absolute temperature)과 온도에 따라 감소하는 전압원(CTAT, complementary to absolute temperature)의 선형 결합을 통해 온도에 무관한 전압원으로 구현된다.

[0005] PMOS 트랜지스터를 전류원으로 사용하는 경우, 공급전압의 변동에 대한 민감성을 줄일 수 있으며, 해당 방식으로 전압 기준회로의 내부 회로 구조를 구성하여 공급전압의 변동에 상대적으로 둔감하도록 전압 기준회로가 구현된다.

[0006] 상기 전압 기준회로의 온도 및 전압에 대한 민감성은 회로의 구조적인 설계를 통해 비교적 통제가 가능하다.

[0007] 한편 반도체 공정의 비이상성으로 인해 발생하는 트랜지스터의 특성 산포는 전압 기준회로의 출력전압에 산포를 발생시킨다. 따라서 대부분의 전압 기준회로는 반도체 후공정(post processing)의 과정(트리밍, trimming)을 통해 반도체 칩 간의 공정 변동을 보정하며, 이를 통해 전압 기준회로의 출력전압의 산포를 통제한다. 그러나 상기 트리밍 또는 이에 준하는 반도체 공정 변동을 보상하기 위한 반도체 후 공정 과정은 반도체 공정상에 추가적인 공정을 필요로 한다.

[0008] 전압 기준회로의 출력전압 변동에 영향을 미치는 대표적인 요소는 연산 증폭기의 오프셋(offset) 전압이다. 전압 기준회로의 구조적 특성으로 인해, 연산 증폭기의 오프셋 전압은 증폭된 형태로 전압 기준회로의 출력에 반영된다. 이상적인 반도체 공정에서는, 상기 연산 증폭기의 오프셋 전압은 0V 이며, 전압 기준회로의 출력노드에 반영되지 않는다.

[0009] 그러나 반도체 공정은 물리적으로 비이상적인 특성을 지니며, 이는 트랜지스터 간의 특성 부정합(mismatch)을 발생시킨다. 트랜지스터 간의 특성 부정합은 연산 증폭기 회로에서 오프셋 전압으로 나타나며, 이는 전압 기준회로에서 출력 전압의 산포를 발생시키는 주요한 원인으로 작용한다.

[0010] 따라서 반도체 후공정을 사용하지 않고, 전압 기준회로 내에서 출력전압의 변동을 보정하는 기능을 구현하여, 반도체 후공정에 의한 시간 및 비용의 소비를 줄일 수 있는 기술개발이 요구된다.

선행기술문헌

특허문헌

[0012] (특허문헌 0001) 한국등록특허 제10-0361715호(“전압 기준회로용 보정회로”, 등록일 2002.11.07.)

발명의 내용

해결하려는 과제

- [0013] 본 발명은 상기한 바와 같은 문제점을 해결하기 위해 안출된 것으로서, 공급전압이 전압 기준회로에 인가되면, 연산 증폭기의 오프셋 전압에 둔감한 출력전압이 발생하도록 회로 내부에서 자동으로 보정기능을 수행하는 것을 목적으로 한다.
- [0014] 본 발명은 전압 기준회로의 출력전압이 연산 증폭기의 오프셋 전압에 영향을 받지 않도록 하기 위해, chopper 회로를 이용하여 연산 증폭기에 의한 오프셋 전압의 극성을 주기적으로 변경할 수 있다.
- [0015] 본 발명의 아날로그 필터는 연산 증폭기의 오프셋이 반영된 전류원 바이어스 전압을 주기적으로 샘플링 및 평균화하며, 이를 통해 연산 증폭기의 오프셋 전압에 둔감한 전류원 바이어스 전압을 생성할 수 있다.
- [0016] 상기 전류원 바이어스 전압을 이용하는 전류원을 통해 전압 기준회로의 출력전압을 발생시킬 수 있다.

과제의 해결 수단

- [0018] 상기한 바와 같은 문제점을 해결하기 위해, 본 발명은 CTAT 전원 및 PTAT 전원을 생성하는 BJT 소자;
- [0019] 오프셋 전압이 생성되는 연산 증폭기;
- [0020] 상기 연산 증폭기에서 생성되는 오프셋 전압을 양극성 신호로 변환하는 chopper 회로;
- [0021] 상기 chopper 회로에서 변환된 양극성 신호를 전류로 변환하고, 상기 전류에 해당하는 전류원 바이어스 전압이 생성되는 저항; 및
- [0022] 상기 전류원 바이어스 전압을 주기적으로 샘플링 및 평균화하여 상기 연산 증폭기의 오프셋 전압에 둔감한 전류원 바이어스 전압을 생성하는 아날로그 필터;를 포함하는 CMOS 밴드갭 전압 기준회로를 제공한다.
- [0023] 본 발명의 일실시예에 있어서, 상기 아날로그 필터는 상기 전류원 바이어스 전압을 평균화하고, 상기 전압 평균화 과정에서 발생하는 전하를 누적하는 것을 특징으로 한다.
- [0024] 본 발명의 일실시예에 있어서, 상기 아날로그 필터는 주기적인 클락 신호(Φ_{clk})의 edge 직전에 샘플링 동작을 수행하고 평균화 동작을 반복적으로 시행하는 것을 특징으로 한다.
- [0025] 본 발명의 일실시예에 있어서, 상기 아날로그 필터는 샘플링 스위치와 커패시터 소자로 구성되며, 샘플링 신호에 의해 상기 샘플링 스위치가 ON 되며, 상기 전류원 바이어스 전압은 상기 커패시터 소자에 샘플링되는 것을 특징으로 한다.
- [0026] 또한 본 발명은 상기 chopper 회로가 연산 증폭기에서 생성되는 오프셋 전압을 양극성 신호로 변환하는 단계;
- [0027] 상기 저항이 상기 chopper 회로에서 변환된 양극성 신호를 전류로 변환하고, 상기 전류에 해당하는 전류원 바이어스 전압을 생성하는 단계;
- [0028] 상기 아날로그 필터가 상기 전류원 바이어스 전압을 주기적으로 샘플링 및 평균화하여 상기 연산 증폭기의 오프셋 전압에 둔감한 전류원 바이어스 전압을 생성하는 단계를 포함하고,
- [0029] 상기 전압 기준회로에 공급전압이 인가되면, 상기 전류원 바이어스 전압의 평균 전압을 이용하여 연산 증폭기의 오프셋 전압에 의한 출력 기준전압 산포를 보정하는 것을 특징으로 하는 CMOS 밴드갭 전압 기준회로의 출력전압 보정방법을 제공한다.
- [0030] 본 발명의 일실시예에 있어서, 상기 아날로그 필터는 상기 전류원 바이어스 전압을 평균화하고, 상기 전압 평균화 과정에서 발생하는 전하를 누적하는 것을 특징으로 한다.

[0031] 본 발명의 일실시예에 있어서, 상기 아날로그 필터는 주기적인 클락 신호(Φ_{clk})의 edge 직전에 샘플링 동작을 수행하고 평균화 동작을 반복적으로 시행하는 것을 특징으로 한다.

발명의 효과

[0033] 본 발명은 전압 기준회로에 공급전압(supply voltage)이 인가되면, 자동으로 출력전압의 보정기능이 동작될 수 있다.

[0034] 따라서 반도체 후공정을 사용하지 않고도 회로 자체적으로 전압 기준회로의 출력전압의 변동을 보정하는 기능을 수행하며, 반도체 후공정에 의한 추가적인 시간 및 비용의 소비를 줄일 수 있다.

도면의 간단한 설명

[0036] 도 1은 종래의 CMOS 밴드갭 전압 기준회로의 회로도이다.

도 2는 본 발명의 보정방법을 포함하는 전압 기준회로이다.

도 3은 본 발명의 연산 증폭기의 오프셋 전압에 의한 전류원 바이어스 전압을 양극성 신호로 변환하여 해당 양극성 신호를 평균하는 하는 과정을 제시하는 타이밍 도면이다.

도 4는 본 발명의 IIR 필터의 실시예이다.

도 5는 본 발명의 보정방법을 포함하는 전압 기준회로의 시뮬레이션 결과이며, 연산 증폭기의 오프셋 전압에 의한 전류원 바이어스 전압을 양극성 신호로 변환하고 해당 양극성 신호가 평균화된 결과를 제시하는 몬테카를로(Monte Carlo) 시뮬레이션 결과이다.

도 6은 전압 기준회로의 출력 기준 전압의 산포를 제시하는 몬테카를로 시뮬레이션 결과이며, 본 발명의 보정방법을 적용하는 경우 전압 기준회로의 산포가 크게 감소하는 것을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0037] 이하 첨부된 도면을 참고하여 본 발명에 의한 밴드갭 전압 기준회로의 출력전압 보정방법의 바람직한 실시예에 관하여 상세히 설명한다.

[0039] 도 1에서 제시하는 종래의 일반적인 CMOS 밴드갭 전압 기준회로는 연산 증폭기, BJT 소자, 저항 및 PMOS 트랜지스터로 구성된다.

[0040] 상기 BJT 소자를 이용하여 CTAT 전원을 생성하며, BJT 소자 간의 전압 차이를 이용하여 PTAT 전원을 생성한다.

[0041] 상기 연산 증폭기는 negative feedback을 이용하여 연산 증폭기의 두 입력의 차이가 0이 되도록 동작하며, 이를 통해 저항 R_1 의 양단에는 BJT 소자의 V_{EB} 전압 차이 값만이 발생한다. 반도체 물리에 의하면, BJT 소자의 V_{EB} 전압 차이 값은 이상적인 PTAT 전압원으로 작용한다.

[0042] 상기 연산 증폭기에 오프셋 전압이 발생하지 않을 경우, 저항 R_1 에 흐르는 전류는 PMOS 전류원 트랜지스터에 의해 복사되어 출력 노드(V_{BG})에 전달되어 PTAT 전류에 의한 전압이 상기 출력 노드에 생성된다.

[0043] 또한 상기 출력 노드에는 BJT의 V_{EB} 전압이 직렬로 연결되어 있으며, 해당 BJT의 V_{EB} 전압은 CTAT 전원의 역할을 수행한다.

[0044] 따라서 상기 PTAT 전원과 CTAT 전원이 결합하여 온도의 변동에 비교적 둔감한 출력 전압이 생성된다.

[0045] 반도체 공정은 물리적으로 비이상적인 특성을 지니며, 이로 인해 연산 증폭기에는 오프셋 전압이 발생한다.

[0046] 도 1의 연산 증폭기는 오프셋 전압(V_{OS})이 발생하며, 해당 오프셋 전압은 저항 R_1 에 의해 전류로 변환된다. 상기 전류는 PMOS 전류원에 의해 복사되며, 전압 기준회로의 출력 노드에도 연산 증폭기의 오프셋 전압이 증폭되어

반영된다.

- [0047] 반도체 공정의 비이상성에 의한 연산 증폭기의 오프셋 전압의 크기는 예측이 불가능하며, 일반적으로 가우시안 분포 형태의 산포를 지닌다.
- [0049] 도 2에 제시된 바와 같이, 본 발명은 연산 증폭기의 입력과 출력에 chopper 회로를 사용하며, 이를 통해 연산 증폭기의 오프셋 전압을 양극성 신호로 변환한다.
- [0050] 이때, 양극성 신호로 변환된 오프셋 전압은 저항 R_1 에 의해 양극성 전류로 변환되며, 해당 양극성 전류에 상응하는 전류원 바이어스 전압 V_G 가 생성된다.
- [0051] 상기 양극성 바이어스 전압 V_G 의 평균 전압은 연산 증폭기의 오프셋 전압이 0V 일 때의 이상적인 바이어스 전압에 해당한다. 따라서 상기 양극성 바이어스 전압 V_G 의 평균 전압을 획득하기 위해, 본 발명은 샘플링 기반의 아날로그 IIR 필터를 사용한다.
- [0052] 샘플링 기반의 아날로그 IIR 필터는 일정한 시간 간격으로 입력 신호를 샘플링하며, 샘플링된 신호를 평균화 및 누적하는 기능을 수행한다. 이를 통해, 상기 아날로그 IIR 필터가 정상상태(steady state)에 도달하면, PMOS 전류원의 바이어스 전압은 연산 증폭기의 오프셋 전압에 둔감한 바이어스 전압 상태가 된다.
- [0054] 도 3은 도 2의 아날로그 IIR 필터의 동작을 나타내는 타이밍 도면이다. 양극성 신호로 변환된 연산 증폭기의 오프셋 전압은 PMOS 전류원의 바이어스 전압(V_G)로 변환되며, 마찬가지로 양극성 신호의 형태를 지닌다.
- [0055] 해당 양극성 바이어스 전압의 평균값을 획득하기 위해, 아날로그 IIR 필터는 주기적인 클락 신호(Φ_{clk})의 edge 직전에 샘플링 동작을 수행하고 평균화 동작을 반복적으로 시행한다.
- [0056] 즉, Φ_{s11} 에서 양의 극성인 V_G 신호를 샘플링하고, Φ_{s12} 에서 음의 극성인 V_G 신호를 샘플링한 후, 클락 신호(Φ_{clk})의 1개 주기 시간 동안 상기 샘플링된 양극성 신호를 평균화 한다. 마찬가지로 Φ_{s21} 에서 양의 극성인 V_G 신호를 샘플링하고, Φ_{s22} 에서 음의 극성인 V_G 신호를 샘플링한 후, 클락 신호(Φ_{clk})의 1개 주기 시간 동안 상기 샘플링된 양극성 신호를 평균화 한다.
- [0058] 도 4는 도 2의 아날로그 IIR 필터의 실시예를 나타낸다. 해당 아날로그 IIR 필터는 샘플링 스위치와 커패시터 소자의 조합으로 구현된다.
- [0059] 도 3의 샘플링 신호에 의해 스위치가 ON 되며, 바이어스 전압 V_G 가 해당 커패시터에 샘플링된다.
- [0060] 도 3에서 샘플링된 두 양극성 바이어스 전압은 Φ_{A1} 에 의해 평균화됨과 동시에 커패시터 C_A 에 전하(charge)가 누적된다.
- [0061] 상기 샘플링 및 평균화 동작이 충분한 시간 동안 반복되며, 아날로그 IIR 필터는 정상상태에 도달하며, 연산 증폭기의 오프셋 전압에 둔감한 바이어스 전압이 아날로그 IIR 필터의 출력노드에 발생한다.
- [0062] 해당 아날로그 IIR 필터의 출력 전압에 의해, 전압 기준회로의 출력 노드는 연산 증폭기의 오프셋 전압 변동에 둔감한 출력이 발생되며 보정 동작이 완료된다.
- [0064] 도 5는 몬테카를로 시뮬레이션을 통해 획득한 양극성 바이어스 전압 V_G 와 아날로그 IIR 필터의 출력 전압 $V_{G,AVG}$ 파형을 나타낸다.
- [0065] 상기 몬테카를로 시뮬레이션은 트랜지스터의 특성을 랜덤하게 조정하여 반복적으로 수행하였다.

[0066] 상기 아날로그 IIR 필터를 사용함으로써, 전압 기준회로의 출력 노드는 연산 증폭기의 오프셋 전압 변동에 둔감한 출력이 발생될 수 있다.

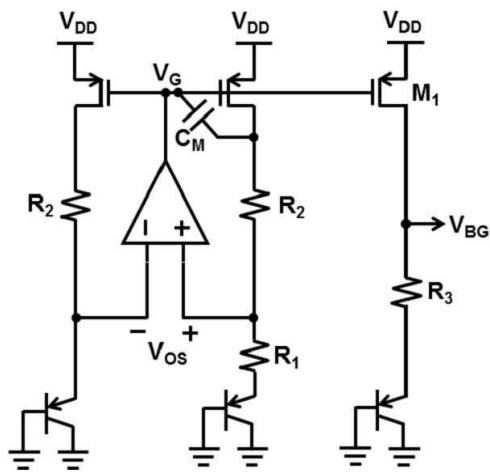
[0068] 도 6은 몬테카를로 시뮬레이션을 통해 획득한 전압 기준회로의 출력전압 파형이다.

[0069] 보정방법을 적용하지 않은 경우, 연산 증폭기의 오프셋 전압에 의해, 전압 기준회로의 출력 전압 산포가 비교적 크다.

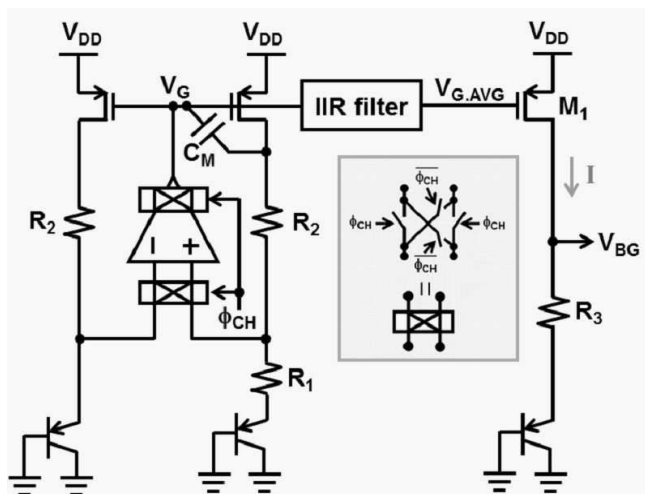
[0070] 반면에 본 발명의 보정방법을 적용하는 경우, 연산 증폭기의 오프셋 전압에 의한 출력 기준전압의 변동이 크게 줄어든 것을 확인할 수 있다.

도면

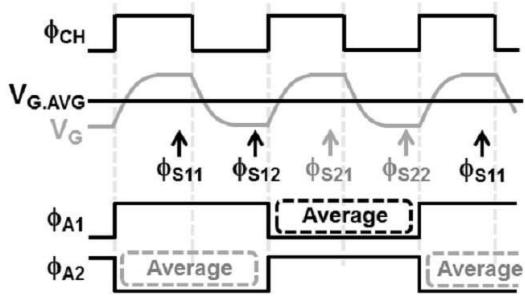
도면1



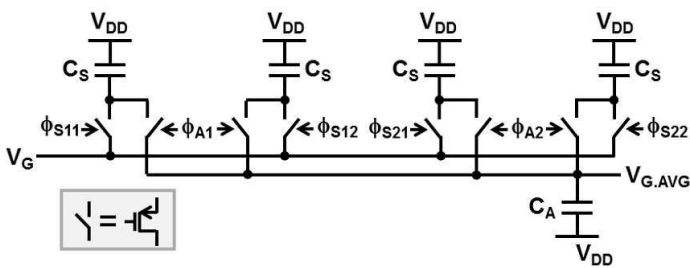
도면2



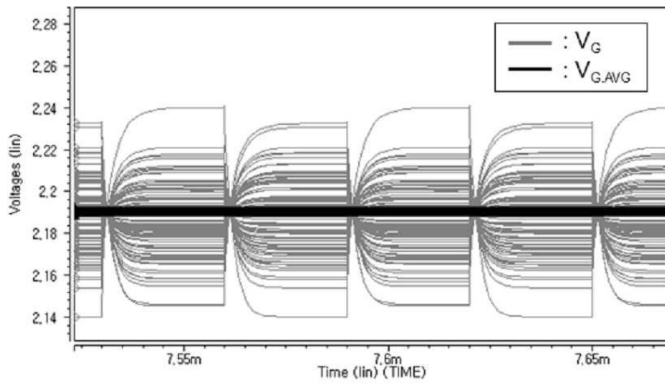
도면3



도면4



도면5



도면6

