



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0016005
(43) 공개일자 2021년02월10일

- (51) 국제특허분류(Int. Cl.)
H01L 33/00 (2010.01) H01L 21/3065 (2006.01)
H01L 21/311 (2006.01) H01L 29/06 (2006.01)
H01L 33/22 (2010.01) H01L 33/42 (2010.01)
- (52) CPC특허분류
H01L 33/0075 (2013.01)
H01L 21/3065 (2013.01)
- (21) 출원번호 10-2021-0014501(분할)
- (22) 출원일자 2021년02월02일
심사청구일자 2021년02월02일
- (62) 원출원 특허 10-2019-0073206
원출원일자 2019년06월20일
심사청구일자 2019년06월20일
- (71) 출원인
남서울대학교 산학협력단
충청남도 천안시 서북구 성환읍 대학로 91, 남서울대학교내
- (72) 발명자
김제원
서울특별시 송파구 백제고분로18길 30 우성아파트 101동 505호
- (74) 대리인
특허법인(유한) 대아

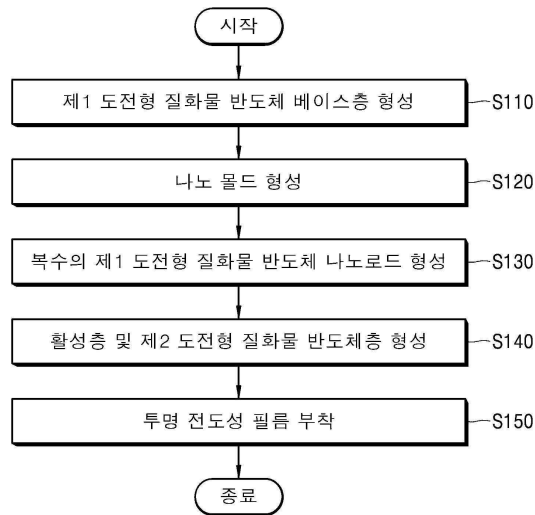
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 반도체 제조 공정을 이용한 질화물 반도체 발광소자 제조 방법

(57) 요약

본 발명은 반도체 제조 공정을 이용한 질화물 반도체 발광소자 제조 방법에 대한 것으로, 기판 상에 제1 도전형 질화물 반도체로 베이스층 형성하는 단계; 상기 베이스층 상에 절연층을 형성한 후, 상기 절연층을 식각하여 상기 베이스층이 노출되는 복수의 홈을 포함하는 나노 몰드를 형성하는 단계; 상기 나노 몰드의 복수의 홈에 제1 도전형 질화물 반도체를 증착하고 상기 나노 몰드를 제거하여 복수의 제1 도전형 질화물 반도체 나노로드를 형성하는 단계; 상기 복수의 제1 도전형 질화물 반도체 나노로드 표면에 활성층 및 제2 도전형 질화물 반도체층을 순차적으로 형성하는 단계를 포함하고, 상기 절연층의 식각은 반응성 이온 식각 공정으로 수행된다.

대표도 - 도1



(52) CPC특허분류

H01L 21/31116 (2013.01)

H01L 29/0665 (2013.01)

H01L 33/0093 (2020.05)

H01L 33/0095 (2020.05)

H01L 33/22 (2013.01)

H01L 33/42 (2013.01)

명세서

청구범위

청구항 1

기판 상에 제1 도전형 질화물 반도체로 베이스층을 형성하는 단계;

상기 베이스층 상에 절연층을 형성한 후, 상기 절연층을 식각하여 상기 베이스층이 노출되는 복수의 홀을 포함하는 나노 몰드를 형성하는 단계;

상기 나노 몰드의 복수의 홀에 제1 도전형 질화물 반도체를 증착하고 상기 나노 몰드를 제거하여 복수의 제1 도전형 질화물 반도체 나노로드를 형성하는 단계; 및

상기 복수의 제1 도전형 질화물 반도체 나노로드 표면에 활성층 및 제2 도전형 질화물 반도체층을 순차적으로 형성하는 단계;를 포함하고,

상기 절연층의 식각은 제1 이온 플럭스 밀도에서 수행되는 제1 단계와, 상기 제1 이온 플럭스 밀도보다 낮은 제2 이온 플럭스 밀도에서 수행되는 제2 단계를 포함하는 반응성 이온 식각 공정으로 수행되는 것을 특징으로 하는 질화물 반도체 발광소자 제조 방법.

청구항 2

제1항에 있어서,

상기 나노 몰드의 제거시, 상기 절연층의 일부분을 잔존시키는 것을 특징으로 하는 질화물 반도체 발광소자 제조 방법.

청구항 3

기판 상에 제1 도전형 질화물 반도체로 베이스층을 형성하는 단계;

상기 베이스층 상에 제1 절연층 및 상기 제1 절연층과 상이한 재질이며 상기 제1 절연층보다 두꺼운 제2 절연층을 형성한 후, 상기 제2 절연층 및 제1 절연층을 순차적으로 식각하여 상기 베이스층이 노출되는 복수의 홀을 포함하는 나노 몰드를 형성하는 단계;

상기 나노 몰드의 복수의 홀에 제1 도전형 질화물 반도체를 증착하고 상기 나노 몰드의 제2 절연층을 제거하여 복수의 제1 도전형 질화물 반도체 나노로드를 형성하는 단계; 및

상기 복수의 제1 도전형 질화물 반도체 나노로드 표면에 활성층 및 제2 도전형 질화물 반도체층을 순차적으로 형성하는 단계;를 포함하고,

상기 제1 절연층 및 제2 절연층의 식각은 제1 이온 플럭스 밀도에서 수행되는 제1 단계와, 상기 제1 단계 이후, 상기 제1 이온 플럭스 밀도보다 낮은 제2 플럭스 밀도에서 수행되는 제2 단계를 포함하는 반응성 이온 식각 공정으로 수행되는 것을 특징으로 하는 질화물 반도체 발광소자 제조 방법.

청구항 4

제3항에 있어서,

상기 제1 절연층은 실리콘질화물 재질이고, 제2 절연층은 실리콘산화물 재질인 것을 특징으로 하는 질화물 반도체 발광소자 제조 방법.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 베이스층과 전기적으로 연결되는 제1 전극을 형성하는 단계; 및

복수의 제2 도전형 질화물 반도체층 각각에 컨택되도록 투명 전도성 필름을 부착하고, 상기 투명 전도성 필름과 연결되는 제2 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 질화물 반도체 발광소자 제조 방법.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 나노 물드를 형성하는 단계에서, 홀들 간의 간격을 상이하게 하거나 홀들의 직경을 상이하게 하는 것을 특징으로 하는 질화물 반도체 발광소자 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 질화물 반도체 발광소자 제조 기술에 관한 것으로, 보다 상세하게는 반도체 제조 공정을 이용하여 질화물 반도체 발광소자를 제조하는 방법에 관한 것이다.

배경 기술

[0003] 발광소자는 전기 에너지를 빛 에너지로 변환하는 소자로서, 발광소자 내에는 빛을 발생할 수 있는 물질이 포함되어 있다. 발광소자에서 상기 물질은, 전자와 정공이 재결합하며 발생하는 에너지를 광으로 변환하여 방출하며, GaN으로 대표되는 질화물 반도체가 널리 알려져 있다.

[0004] 발광소자는 종래의 형광등과 같은 광원에 비해 긴 수명, 낮은 소비전력, 빠른 응답 속도, 환경 친화성 등의 장점을 가지며, 이에 따라 발광소자는 조명, 표시장치용 광원 등에 널리 적용되고 있다.

[0005] 질화물계 발광소자는 일반적으로 수평 타입(lateral type), 수직 구조(vertical type)를 갖는다. 최근에는 특허 문헌 1과 같이 활성층 면적을 넓힐 수 있는 나노 구조 타입(nano structure type)을 갖는 질화물계 발광소자도 많이 연구되고 있다.

[0006] 나노 구조를 갖는 질화물계 발광소자를 제조하기 위해서는 질화물 반도체를 거의 수직에 가깝게 식각할 필요가 있다. 따라서, 질화물 반도체를 거의 수직에 가깝게 식각할 수 있는 식각 기술이 요구된다.

[0008] 그러나 특허문헌 1에서는 개구를 갖는 절연층을 형성하고, 상기 개구에 나노로드 형태의 질화물 반도체층을 형성하는 점을 제시하고 있을 뿐 식각 방법에 대하여 구체적으로 제시하고 있지 않다.

[0009] 또한, 나노 구조를 갖는 질화물계 발광소자를 제조함에 있어서 고려되어야 할 사항은 전극, 특히 p형 질화물 반도체층 상의 투명 전극 형성 공정이다. 나노 구조를 갖는 질화물계 발광소자에서 투명 전극도 방출되는 광을 일정부분 흡수하는 바, 광 흡수를 최소화할 수 있는 투명전극을 형성하는 기술이 요구된다.

[0010] 그러나 특허문헌 1에서는 p형 질화물 반도체층 표면에 전면적으로 투명전극을 형성하고 있으며, 외부 전원과의 연결 방법에 대하여 제시하고 있지 않다.

선행기술문헌

특허문헌

[0012] (특허문헌 0001) 한국 공개특허공보 제10-2012-0079310호 (2012.07.12. 공개)

발명의 내용

해결하려는 과제

[0013] 본 발명의 목적은 반도체 제조 공정을 이용한 질화물 반도체 발광소자 제조 방법을 제공하는 것이다.

[0014] 또한, 본 발명의 목적은 투명 전극에 의해 흡수되는 광을 저감할 수 있는 질화물 반도체 발광소자 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0016] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 질화물 반도체 발광소자 제조 방법은 기판 상에 제1 도전형 질화물 반도체로 베이스층 형성하는 단계; 상기 베이스층 상에 절연층을 형성한 후, 상기 절연층을 식각하여 상기 베이스층이 노출되는 복수의 홀을 포함하는 나노 몰드를 형성하는 단계; 상기 나노 몰드의 복수의 홀에 제1 도전형 질화물 반도체를 증착하고 상기 나노 몰드를 제거하여 복수의 제1 도전형 질화물 반도체 나노로드를 형성하는 단계; 상기 복수의 제1 도전형 질화물 반도체 나노로드 표면에 활성층 및 제2 도전형 질화물 반도체층을 순차적으로 형성하는 단계를 포함하고, 상기 절연층의 식각은 반응성 이온 식각(Reactive Ion Etching; RIE) 공정으로 수행되는 것을 특징으로 한다.

[0017] 바람직하게는, 상기 반응성 이온 식각은 초기에는 상대적 높은 이온 플럭스 밀도를 적용하여 수직 식각성을 높인 후, 후기에는 상대적으로 낮은 이온 플럭스 밀도를 적용하여 홀의 직경을 증가시키는 방식으로 진행될 수 있다.

[0018] 상기 질화물 반도체 발광소자 제조 방법은 복수의 제2 도전형 질화물 반도체층 각각에 컨택되도록 투명 전도성 필름을 부착하는 단계를 더 포함할 수 있다.

[0019] 상기 투명 전도성 필름은 상기 제2 도전형 질화물 반도체층과 컨택하는 면에 전도성 접착제층이 구비될 수 있다.

[0020] 상기 질화물 반도체 발광소자 제조 방법은 상기 베이스층과 전기적으로 연결되는 제1 전극을 형성하는 단계; 및 상기 투명 전도성 필름과 연결되는 제2 전극을 형성하는 단계를 더 포함할 수 있다.

[0021] 상기 질화물 반도체 발광소자 제조 방법은 상기 나노 몰드의 제거시, 상기 절연층의 일부분을 잔존시킬 수 있다.

[0022] 상기 질화물 반도체 발광소자 제조 방법은 상기 나노 몰드를 형성하는 단계에서, 홀들 간의 간격을 상이하게 하거나 홀들의 직경을 상이하게 할 수 있다.

[0024] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 질화물 반도체 발광소자 제조 방법은 기판 상에 제1 도전형 질화물 반도체로 베이스층 형성하는 단계; 상기 베이스층 상에 제1 절연층 및 상기 제1 절연층과 상이한 재질이며, 상기 제1 절연층보다 두꺼운 제2 절연층을 형성한 후, 상기 제2 절연층 및 제1 절연층을 순차적으로 식각하여 상기 베이스층이 노출되는 복수의 홀을 포함하는 나노 몰드를 형성하는 단계; 상기 나노 몰드의 복수의 홀에 제1 도전형 질화물 반도체를 증착하고 상기 나노 몰드의 제2 절연층을 제거하여 복수의 제1 도전형 질화물 반도체 나노로드를 형성하는 단계; 상기 복수의 제1 도전형 질화물 반도체 나노로드 표면에 활성층 및 제2 도전형 질화물 반도체층을 순차적으로 형성하는 단계를 포함하고, 상기 제1 절연층 및 제2 절연층의 식각은 반응성 이온 식각 공정으로 수행되는 것을 특징으로 한다.

[0025] 상기 질화물 반도체 발광소자 제조 방법은 복수의 제2 도전형 질화물 반도체층 각각에 컨택되도록 투명 전도성 필름을 부착하는 단계를 더 포함할 수 있다.

[0026] 상기 투명 전도성 필름은 상기 제2 도전형 질화물 반도체층과 컨택하는 면에 전도성 접착제층이 구비될 수 있다.

- [0027] 상기 질화물 반도체 발광소자 제조 방법은 상기 베이스층과 전기적으로 연결되는 제1 전극을 형성하는 단계; 및 상기 투명 전도성 필름과 연결되는 제2 전극을 형성하는 단계를 더 포함할 수 있다.
- [0028] 상기 질화물 반도체 발광소자 제조 방법은 상기 제1 절연층은 실리콘질화물 재질이고, 제2 절연층은 실리콘산화물 재질일 수 있다.
- [0029] 상기 질화물 반도체 발광소자 제조 방법은 상기 나노 몰드를 형성하는 단계에서, 홀들 간의 간격을 상이하게 하거나 홀들의 직경을 상이하게 할 수 있다.

발명의 효과

- [0031] 본 발명에 따른 질화물 반도체 발광소자 제조 방법에 의하면, 반도체 제조 공정에 이용되는 반응성 이온 식각 공정을 발광소자 제조 방법에 적용함으로써 수직에 가까운 홀을 구비하는 나노 몰드를 제조할 수 있고, 이 나노 몰드를 토대로 질화물 반도체 나노로드를 형성함으로써 쉽게 3차원 구조의 질화물 반도체 발광소자를 제조할 수 있다.
- [0032] 특히, 또한 종래 ITO 증착과 달리 투명 전도성 필름을 이용하여, 도트 컨택 방식으로 제2 도전형 질화물 반도체 층과 투명 전도성 필름을 컨택 시킴으로써 나노로드 측면에 ITO가 증착됨으로써 발생하는 광 흡수를 근본적으로 차단할 수 있다.
- [0033] 또한, 본 발명에 따른 질화물 반도체 발광소자 제조 방법의 경우, 나노 몰드를 형성하는 과정에서 홀들 간의 간격을 상이하게 하거나 홀들의 직경을 상이하게 함으로써 방출되는 광의 파장을 바꿀 수 있으며 이를 통해 다양한 파장의 광, 나아가 백색광을 방출하는 질화물 반도체 발광소자를 제조할 수 있다.

도면의 간단한 설명

- [0035] 도 1은 본 발명에 따른 질화물 반도체 발광소자를 제조하는 방법을 개략적으로 나타내는 순서도이다.
 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 질화물 반도체 발광소자를 제조하는 방법을 개략적으로 나타내는 단면도들이다.
 도 3a 내지 도 3f는 본 발명의 다른 실시예에 따른 질화물 반도체 발광소자를 제조하는 방법을 개략적으로 나타내는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 상세하게 후술되어 있는 실시예들 및 도면을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0037] 이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 제조 공정을 이용한 질화물 반도체 발광소자 제조 방법에 대하여 상세히 설명한다.
- [0039] 도 1은 본 발명에 따른 질화물 반도체 발광소자를 제조하는 방법을 개략적으로 나타내는 순서도이다. 또한, 도 2a 내지 2f는 본 발명의 일 실시예에 따른 질화물 반도체 발광소자를 제조하는 방법을 개략적으로 나타내는 단면도들로서, 도 1에 기재된 각각의 단계를 설명함에 있어서 도 2a 내지 도 2f를 이용한다.
- [0040] 도 1을 참조하면, 본 발명에 따른 질화물 반도체 발광소자 제조 방법은 베이스층 형성 단계(S110), 나노 몰드 형성 단계(S120), 복수의 제1 도전형 질화물 반도체 나노로드 형성 단계(S130), 및 활성층 및 제2 도전형 질화물 반도체층 형성 단계(S140)를 포함한다. 또한, 본 발명에 따른 질화물 반도체 발광소자 제조 방법은 투명 전

도성 필름 부착 단계(S150)를 추가로 포함할 수 있다.

- [0042] 먼저 베이스층 형성 단계(S110)에서는 도 2a에 도시된 예와 같이 기판(201) 상에 베이스층(210)을 형성한다.
- [0043] 기판은 사파이어 기판, 실리콘 기판, GaN 기판 등 질화물 반도체가 성장될 수 있는 공지된 다양한 기판의 이용이 가능하다. 질화물 반도체 성장 효율 및 비용을 고려할 때 기판(201)은 사파이어 기판인 것이 가장 바람직하다.
- [0044] 베이스층(210)은 예를 들어 n-GaN과 같은 제1 도전형 질화물 반도체를 포함한다. 베이스층(210)의 형성 방법으로는 MOCVD(metal organic chemical vapor deposition), 또는 MBE(Molecular Beam Epitaxy)를 비롯한 공지된 다양한 증착 방법이 적용될 수 있다. 예를 들어, MOCVD 법으로 베이스층과, 후술하는 제1 도전형 질화물 반도체 나노로드, 활성층, 제2 도전형 질화물 반도체층을 형성할 때, 이용되는 전구체로는 TMGa(Trimethylgallium), TlIn(Trimethylindium,) 및 암모니아(NH₃) 등이 이용될 수 있다. 또한, 각각의 질화물 반도체층 형성시 약 900~1300℃의 공정 온도 및 약 50~200 100mbar 정도의 압력 조건이 적용될 수 있으나 이에 제한되지 않고 공지된 다양한 공정 조건이 적용될 수 있다.
- [0045] 베이스층(210)과 기판(201) 사이에는, 베이스층(210)의 결정 품질 향상을 위해, AlN층이나 저온 GaN층과 같은 버퍼층, 비도핑 질화물 반도체층 등이 더 형성될 수 있다.
- [0046] 한편 제1 도전형 질화물 반도체가 Si, Ge 등과 같은 n형 불순물이 도핑된 n형 질화물 반도체라면, 제2 도전형 질화물 반도체는 Mg, Ca 등과 같은 p형 불순물이 도핑된 p형 질화물 반도체가 될 수 있다. 반대로, 제1 도전형 질화물 반도체가 p형 질화물 반도체라면, 제2 도전형 질화물 반도체는 n형 질화물 반도체가 될 수 있다.
- [0048] 다음으로, 나노 몰드 형성 단계(S120)에서는 베이스층(210) 상에 나노 몰드를 형성한다.
- [0049] 보다 구체적으로는 먼저 도 2a에 도시된 예와 같이 베이스층(210) 상에 절연층(220)을 형성한다. 절연층(220)의 층 두께에 의해 질화물 반도체 발광소자들의 높이가 결정된다. 절연층(220)의 층 두께는 0.1~10μm를 제시할 수 있으나 이에 한정되는 것은 아니다. 이후, 도 2b에 도시된 예와 같이 절연층(220)을 정해진 패턴으로 식각하여, 베이스층(210)이 노출되는 복수의 홀(225)을 포함하는 절연층 기반의 나노 몰드를 형성한다. 복수의 홀(225)의 직경은 약 100nm~1.5μm를 제시할 수 있으나, 이에 제한되는 것은 아니다.
- [0050] 이때, 본 발명에서 절연층(220)의 식각은 산소(O₂) 및 아르곤(Ar) 가스 하에서 C₄F₈ 기반의 반응성 이온 식각과 같은 반응성 이온 식각 공정으로 수행된다. 반응성 이온 식각 공정은 주로 실리콘 웨이퍼를 기반으로 하는 반도체 제조 공정에서 사용되는 것으로, 수직 방향으로 식각하기 용이한 방법에 해당한다. 본 발명에서는 이와 같은 반응성 이온 식각 공정을 이용한 나노 몰드를 형성하고, 이를 기반으로 나노로드 타입의 질화물 반도체 발광소자를 구현한다. 이를 통해, 나노 몰드의 홀이 거의 수직, 즉 홀의 벽면과 베이스층의 표면이 이루는 각도가 거의 90도로 형성될 수 있다. 그 결과 나노 몰드의 홀에 형성되는 제1 도전형 반도체 나노로드가 거의 수직으로 형성될 수 있다.
- [0051] 바람직하게는, 상기 반응성 이온 식각은 2단계 공정으로 수행될 수 있다. 구체적으로는, 제1 이온 플럭스 밀도에서 수행되는 제1 단계와, 상기 제1 이온 플럭스 밀도보다 낮은 제2 이온 플럭스 밀도에서 수행되는 제2 단계를 포함할 수 있다. 제1 단계에서는 상대적인 높은 이온 플럭스 밀도를 적용하고, 이를 통해 반응성 이온의 직진성 및 속도를 높일 수 있어 수직 식각성을 높일 수 있다. 제2 단계에서는 상대적으로 낮은 이온 플럭스 밀도를 적용하여 홀의 직경을 증가시킨다.
- [0053] 한편, 나노 몰드 형성시, 홀들 간의 간격을 상이하게 하거나 홀들의 직경을 상이하게 할 수 있다. 이를 통해 다중 파장의 구현을 위한 파장 조절이 가능하다. 구체적으로, 나노 몰드를 이용하여 나노로드형 질화물 반도체 발광소자를 제조할 때, 홀들 간의 간격 또는 홀들의 직경을 상이하게 하면 활성층 형성시 인접의 증착량이 변화될 수 있어, 파장이 조절될 수 있다. 이를 통해 단위 소자들에서 방출되는 빛의 파장을 바꿀 수 있으며 이를 통해 원하는 파장의 광, 특히 백색광의 구현이 가능하다.

- [0055] 다음으로, 복수의 제1 도전형 질화물 반도체 나노로드 형성 단계(S130)에서는 나노 몰드를 이용하여 복수의 제1 도전형 질화물 반도체 나노로드(230)를 형성한다. 구체적으로, 도 2c에 도시된 예와 같이, 나노 몰드의 복수의 홀(225)에 제1 도전형 질화물 반도체를 증착한다. 제1 도전형 질화물 반도체는 MOCVD 공정을 비롯한 공지된 다양한 방법으로 증착될 수 있다.
- [0056] 이후, 도 2d에 도시된 예와 같이 나노 몰드를 제거하여 복수의 제1 도전형 질화물 반도체 나노로드(230)를 형성한다. 나노 몰드의 제거는 습식 식각 등의 방법으로 수행될 수 있다.
- [0057] 제1 도전형 질화물 반도체 나노로드(230)는 제1 도전형 질화물 반도체로 형성되는 베이스층(210)에 접촉된다. 예를 들어 베이스층(210)에 전극이 형성될 경우, 전자(electron)는 베이스층(210)을 통하여 각각의 제1 도전형 질화물 반도체 나노로드(230)에 공급되고, 이후 제1 도전형 질화물 반도체 나노로드(230) 표면에 형성될 활성층(240)으로 공급된다.
- [0059] 이때, 나노 몰드의 제거시, 절연층(220)의 일부분을 잔존시킬 수 있다. 이는 후속 활성층 및 제2 도전형 질화물 반도체층 형성시 제1 도전형 질화물 반도체 나노로드들 사이에 약 10nm 내지 1 μ m 정도의 얇은 두께의 절연층을 잔존시킴으로써 잔존하는 절연층 상에는 질화물 반도체가 증착되지 않도록 하기 위함이다. 이는 실리콘질화물과 같은 절연체 상에는 질화물 반도체가 잘 증착되지 않는 점을 이용한 것이다. 대안적으로, 나노 몰드를 완전히 제거 후, 제1 도전형 질화물 반도체 나노로드들 사이에 얇은 두께의 절연층을 추가 형성할 수 있다. 또한 절연체가 잔존하고 있으면, 이후에 형성되는 활성층 및 제2 도전형 질화물 반도체층이 제1 도전형 질화물 반도체 재질의 베이스층(210)과는 직접 접촉하지 않는다.
- [0061] 다음으로, 활성층 및 제2 도전형 질화물 반도체층 형성 단계(S140)에서는 질화물 반도체 증착을 이용하여 복수의 제1 도전형 질화물 반도체 나노로드 표면에 활성층(240) 및 제2 도전형 질화물 반도체층(250)을 순차적으로 형성한다. 활성층(240)은 InGa_N/Ga_N 기반의 MQWs(Multi Quantum Wells) 구조를 비롯한 공지된 다양한 활성층 구조의 적용이 가능하다.
- [0062] 활성층(240)와 제2 도전형 질화물 반도체층(250) 사이에는, 제1 도전형 질화물 반도체 나노로드(230)에서 공급된 전자의 제2 도전형 질화물 반도체층(250)으로의 오버플로우를 방지하기 위해 전자 차단층이 추가로 형성될 수 있다. 전자 차단층은 AlGa_N 등과 같은 고저항 재료로 형성될 수 있다. 활성층 및 제2 도전형 질화물 반도체층은 각각 MOCVD 공정을 비롯한 공지된 다양한 증착 방법으로 수행될 수 있다.
- [0063] 한편, 종래의 2차원 평면 구조에서 발광 소자를 이루는 질화물 반도체는 일반적으로 우르자이트(Wurtzite) 구조로 성장된다. 이러한 우르자이트 구조의 c-결정면인 (0 0 0 1)에서 성장된 질화물은 분극 효과의 발생에 따라 전자와 정공이 공간적으로 분리됨에 따라 효과적인 재결합이 방해된다. 이에 비해 본 발명의 경우 3차원 구조의 제1 도전형 질화물 반도체 나노로드(230)의 측면에 활성층(240)을 성장시킨다. 이에 의하면, 제1 도전형 질화물 반도체 나노로드의 c-결정면이 아니라 m-결정면(1 0 -1 0)에서 성장됨에 따라 무극성 질화물 반도체로 성장될 수 있다. 이러한 무극성 질화물 반도체를 기반으로 활성층을 형성함에 따라 극성 질화물 반도체에서 발생하는 분극을 최대한 억제할 수 있고, 그 결과 전자와 정공의 재결합 강화에 따른 발광효율을 향상시킬 수 있다.
- [0065] 다음으로, 복수의 제2 도전형 질화물 반도체층(250) 각각에 접촉되도록, 투명 전도성 필름(260)을 부착한다. 제2 도전형 질화물 반도체층(250) 형성 후, ITO와 같은 투명 전도성 물질을 증착하여 투명 전극층을 형성할 수도 있으나, 이 경우, 나노로드형 발광소자 측면에 투명 전극층이 존재하고, 투명 전극층이 활성층으로부터 방출되는 광을 일부 흡수하게 되어, 광 효율이 저하될 수 있는 바, 투명 전도성 필름(260)을 부착하는 것이 보다 바람직하다.
- [0066] 투명 전도성 필름(260)은 ITO 필름, 그래핀 필름 등과 같은 투명하면서도 전기전도성이 우수한 재료의 필름이 적용될 수 있다.
- [0067] 투명 전도성 필름(260)을 복수의 제2 도전형 질화물 반도체층(250)에 부착하기 위해, 투명 전도성 필름(260)은 제2 도전형 질화물 반도체층(250)과 접촉하는 면에 전도성 접착층이 구비되어 있을 수 있다. 대안적으로, 투명 전도성 필름(260)은 열 용착 방식으로 제2 도전형 질화물 반도체층(250) 각각에 부착될 수 있다.

- [0069] 또한, 본 발명에 따른 질화물 반도체 발광소자 제조 방법은 제1 전극 및/또는 제2 전극을 형성하는 과정을 추가로 포함할 수 있다.
- [0070] 제1 전극은 제1 도전형 질화물 반도체 재질의 베이스층(210)과 전기적으로 연결되는 전극이다. 이를 위해, 제1 전극은 베이스층 상에 형성될 수 있다.
- [0071] 제2 전극은 제2 도전형 질화물 반도체층과 접촉되는 투명 전도성 필름과 전기적으로 연결되는 전극이다. 이를 위해, 제2 전극은 투명 전도성 필름의 제2 도전형 질화물 반도체층(250)과 접촉하는 면의 반대면에 형성될 수 있다. 다른 예로, 제2 전극은 인쇄회로기판에 형성되고, 인쇄회로기판에 형성된 제2 전극에 투명 전도성 필름이 전도성 접착제 등으로 부착될 수 있다.
- [0073] 도 2f는 제조된 질화물 반도체 발광소자의 단면을 개략적으로 나타낸 것이다.
- [0074] 도 2f를 참조하면, 질화물 반도체 발광소자는 제1 도전형 질화물 반도체 베이스층(210), 베이스층 상에 형성된 복수의 제1 질화물 반도체 나노로드(230), 복수의 제1 질화물 반도체 나노로드 각각의 표면에 형성된 활성층(240), 활성층 표면에 형성된 제2 도전형 반도체층(250) 및 제2 도전형 반도체층(250)과 접촉되는 투명 전도성 필름(260)을 포함한다. 복수의 제1 질화물 반도체 나노로드(230) 사이에는 제1 절연층(221)이 배치되어 있다.
- [0076] 도 3a 내지 3f는 본 발명의 다른 실시예에 따른 질화물 반도체 발광소자를 제조하는 방법을 개략적으로 나타내는 단면도들이다.
- [0077] 도 3a 내지 도 3f를 참조하면, 본 실시예에 따른 질화물 반도체 발광소자 제조 방법은 베이스층을 형성하는 단계, 나노 몰드를 형성하는 단계, 복수의 제1 도전형 질화물 반도체 나노로드를 형성하는 단계를 활성층 및 제2 도전형 질화물 반도체층을 형성하는 단계를 포함한다. 또한, 본 실시예에 따른 질화물 반도체 발광소자 제조 방법은 투명 전도성 필름을 부착하는 단계를 추가로 포함할 수 있다.
- [0078] 우선, 기판(201) 상에 제1 도전형 질화물 반도체로 베이스층(210)을 형성한다.
- [0079] 다음으로, 베이스층(210) 상에 절연층을 형성한다. 이때, 본 실시예에서는 베이스층 상에 얇은 두께로 제1 절연층(221)을 형성하고, 이후 제1 절연층(221)과 상이한 재질이며, 제1 절연층(221)보다 두꺼운 제2 절연층(222)을 형성한다. 예를 들어, 실리콘질화물로 제1 절연층(221)을 형성한 후, 실리콘산화물로 제2 절연층(222)을 형성한다. 이후, 제2 절연층(222) 및 제1 절연층(221)을 순차적으로 식각하여 베이스층(210)이 노출되는 복수의 홀(225)을 포함하는 나노 몰드를 형성한다. 상기 제2 절연층(222) 및 제1 절연층(221)의 식각은 반도체 제조 공정에서 이용되는 반응성 이온 식각으로 수행된다.
- [0080] 다음으로, 나노 몰드의 복수의 홀(225)에 제1 도전형 질화물 반도체를 증착하고 나노 몰드의 제2 절연층(222)을 제거하여 복수의 제1 도전형 질화물 반도체 나노로드(230)를 형성한다. 제2 절연층(222)의 선택적 제거는 예를 들어, 제1 절연층(221)이 실리콘질화물 재질이고, 제2 절연층(222)이 실리콘산화물 재질인 경우, 실리콘산화물에 대한 식각 선택비가 높은 식각액, 예를 들어 산성 식각액을 이용한 습식 식각으로 진행될 수 있다.
- [0081] 다음으로, 복수의 제1 도전형 질화물 반도체 나노로드(230) 표면에 활성층(240) 및 제2 도전형 질화물 반도체층(250)을 순차적으로 형성한다.
- [0082] 다음으로, 복수의 제2 도전형 질화물 반도체층(250) 각각에 접촉되도록 투명 전도성 필름(260)을 부착한다.
- [0083] 도 3a 내지 도 3f에 도시된 질화물 반도체 발광소자 제조 방법은 절연층으로서 제1 절연층 및 제2 절연층을 적용하고 나노 몰드 형성시 제2 절연층을 잔존시키는 점 이외에는 도 1 및 도 2a 내지 도 2f와 관련하여 설명된 바와 거의 동일한 바, 더 이상의 상세한 설명은 생략하고, 도 1 및 도 2a 내지 도 2f와 관련하여 설명된 바가 그대로 적용될 수 있다.
- [0085] 이상에서 본 발명의 바람직한 실시 예들에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 수 있을 것이다. 따라서,

본 발명의 권리범위는 이에 한정되는 것이 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

[0086]

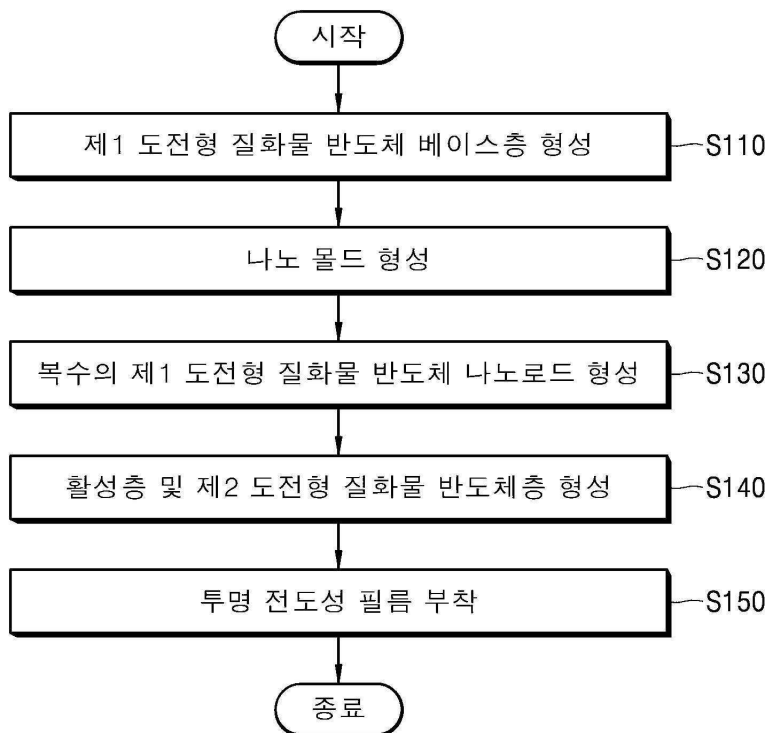
부호의 설명

[0087]

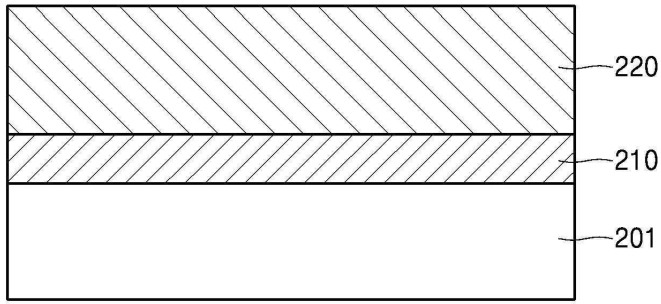
- 201 : 기판
- 210 : 제1 도전형 반도체층
- 220 : 절연층
- 221 : 제1 절연층
- 222 : 제2 절연층
- 225 : 홀
- 230 : 코어층
- 240 : 활성층
- 250 : 제2 도전형 반도체층
- 260 : 투명 전도성 필름

도면

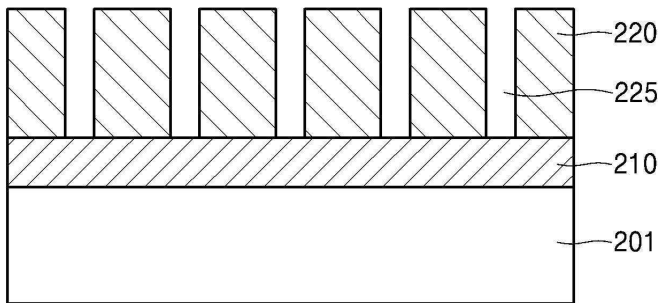
도면1



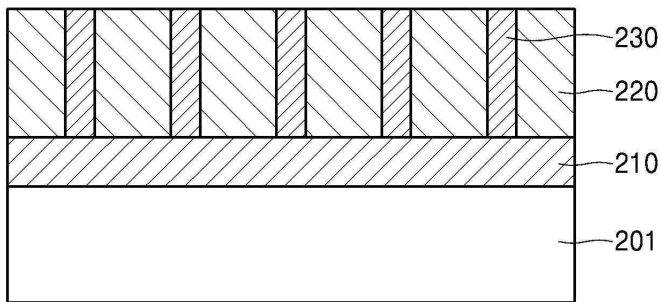
도면2a



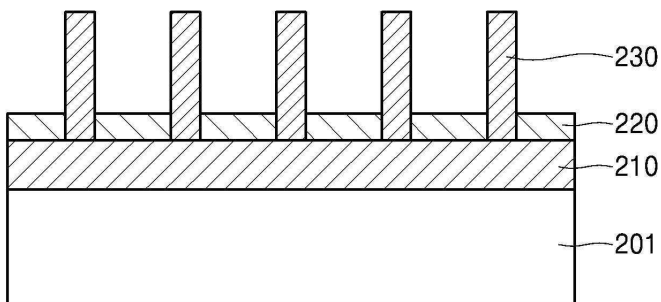
도면2b



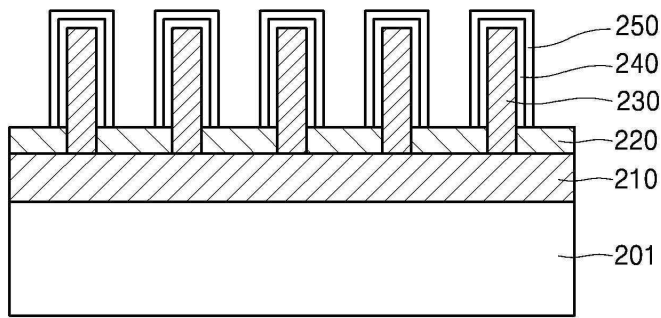
도면2c



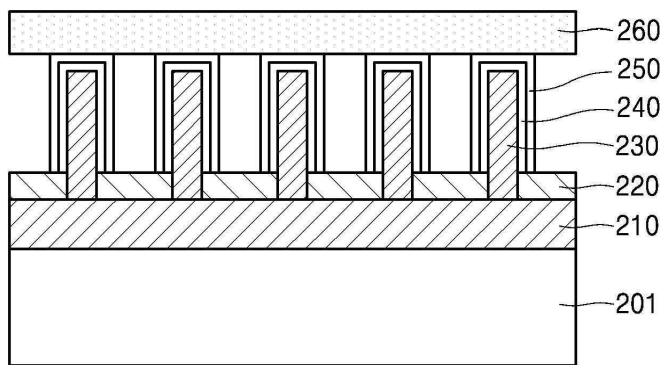
도면2d



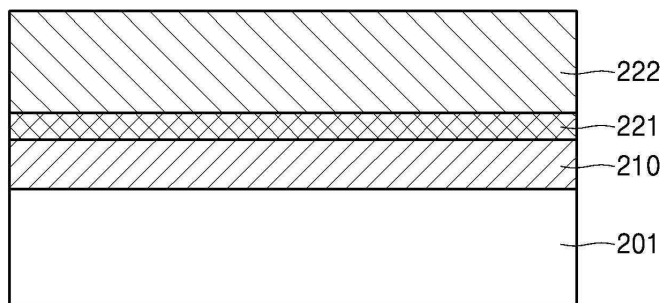
도면2e



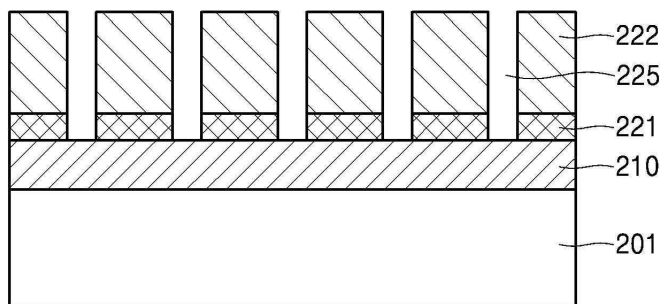
도면2f



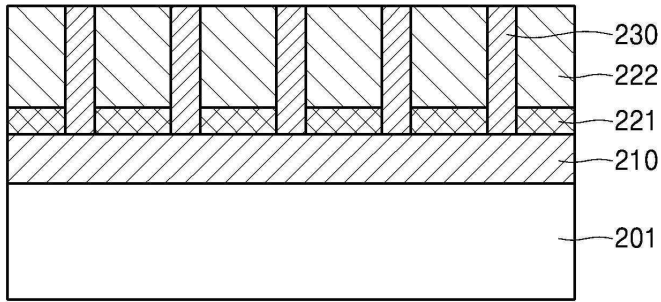
도면3a



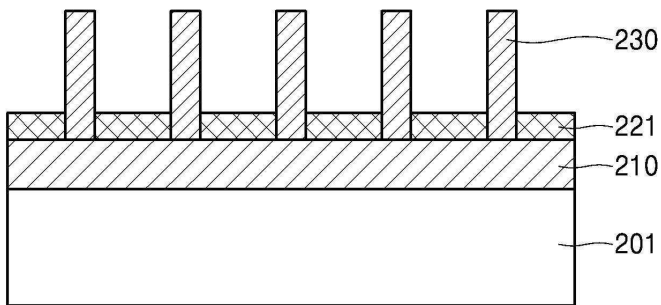
도면3b



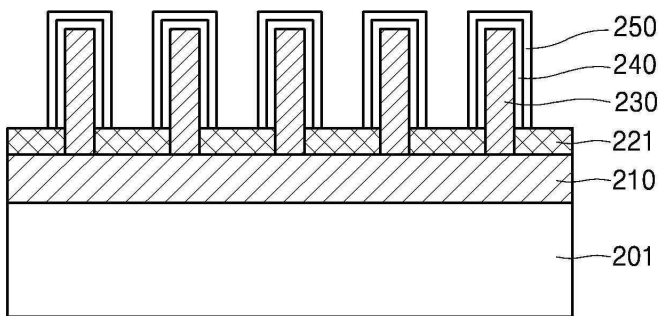
도면3c



도면3d



도면3e



도면3f

