



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년04월04일
(11) 등록번호 10-1722910
(24) 등록일자 2017년03월29일

- (51) 국제특허분류(Int. Cl.)
H03M 1/12 (2006.01) H03M 1/06 (2006.01)
H03M 1/50 (2006.01)
- (52) CPC특허분류
H03M 1/12 (2013.01)
H03M 1/0626 (2013.01)
- (21) 출원번호 10-2015-0184009
- (22) 출원일자 2015년12월22일
심사청구일자 2015년12월22일
- (56) 선행기술조사문헌

- (73) 특허권자
조선대학교산학협력단
광주광역시 동구 필문대로 309 (서석동)
- (72) 발명자
최광석
경기도 성남시 분당구 중앙공원로 53 한신아파트
112-1603
- (74) 대리인
김견수

IMPROVED DIGITAL BACKGROUND CALIBRATION OF TIME-INTERLEAVED PIPELINE A/D CONVERTERS, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, II:EXPRESS BRIEFS, VOL.60, NO.2, 2013년 2월
ANALYSIS AND IMPLEMENTATION OF A TIME-INTERLEAVED ADC ARRAY FOR A SOFTWARE-DEFINED UWB RECEIVER, IEEE TRANSACTIONS ON VEHICULAR TECHNOLOGY, VOL.58, NO.8, 2009년 10월
KR1020120042636 A
KR1020100080391 A

전체 청구항 수 : 총 9 항

심사관 : 유선중

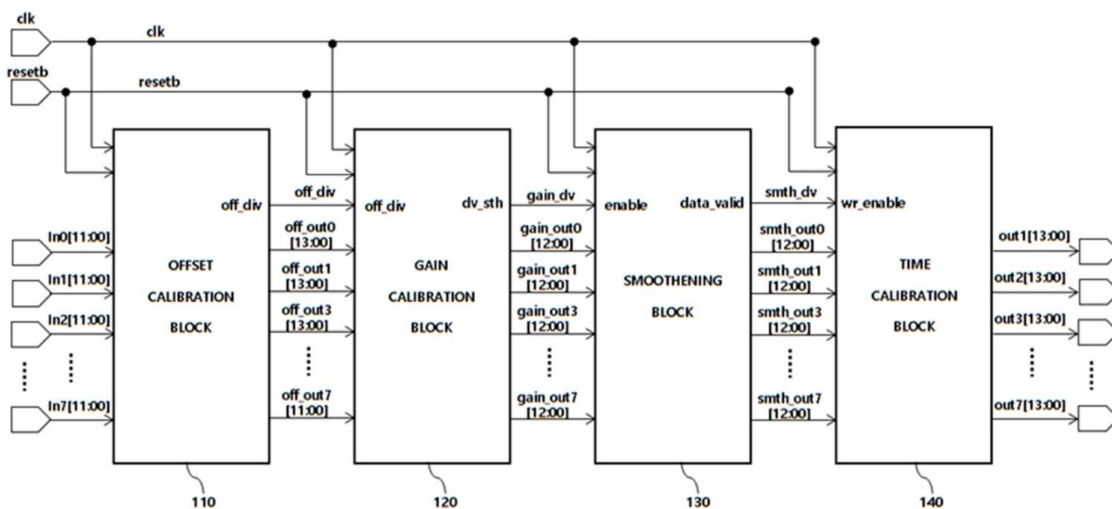
(54) 발명의 명칭 M채널 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치

(57) 요약

본 발명은 M채널 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치에 관한 것으로, TI ADC에서 발생하는 오프셋 미스매치, 이득 미스매치 및 시간 미스매치를 순수하게 디지털적으로 교정함으로써, 제작 및 공정에 독립적이며 하드웨어의 복잡도를 현저하게 낮추고, 하드웨어 자원에 대한 효율성을 증가시킬 수 있는 디지털 후면 교정 장치에 관한 것이다.

대표도

디지털 후면 교정 장치(100)



(52) CPC특허분류

H03M 1/1215 (2013.01)

H03M 1/50 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711026879

부처명 미래창조과학부

연구관리전문기관 정보통신산업진흥원

연구사업명 정보통신기술인력양성

연구과제명 상황인지 임베디드 IoT 시스템 개발

기 여 율 1/1

주관기관 조선대학교 산학협력단

연구기간 2015.03.01 ~ 2015.12.31

명세서

청구범위

청구항 1

적어도 두 개 이상의 채널을 가진 TI ADC 결과에 대해서 오프셋 미스매치를 교정하는 오프셋 캘리브레이션 블록;

상기 오프셋 미스매치를 교정한 디지털 샘플에 대한 이득 미스매치를 교정하는 이득 캘리브레이션 블록;

상기 이득 미스매치를 교정하는 과정에서 발생하는 스파이크(엑스트라 고주파 톤)를 교정하는 스무딩 블록; 및

상기 스파이크를 교정한 디지털 샘플에 대한 시간 미스매치를 교정하는 시간 캘리브레이션 블록;을 더 포함하며,

상기 오프셋 미스매치 및 이득 미스매치는 채널별로 입력되는 디지털 샘플의 통계적인 특징을 기반으로 교정하는 것을 특징으로 하는 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치.

청구항 2

삭제

청구항 3

청구항 1에 있어서,

상기 오프셋 캘리브레이션 블록은,

복수의 채널에 대한 디지털 샘플을 저장하는 오프셋 버퍼;

상기 오프셋 버퍼로부터 출력되는 디지털 샘플들의 합에 대한 평균값을 계산하여 레퍼런스 채널의 오프셋을 측정하는 레퍼런스 채널 오프셋 측정 블록; 및

상기 오프셋 버퍼로부터 출력되는 복수의 채널에 대한 디지털 샘플들의 평균값을 계산하여 개별 채널의 오프셋을 측정하는 개별 채널 오프셋 측정 블록;을 포함하는 것을 특징으로 하는 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치.

청구항 4

청구항 3에 있어서,

상기 오프셋 캘리브레이션 블록은,

상기 측정한 개별 채널의 오프셋과 상기 레퍼런스 채널의 오프셋에 대한 차이값을 계산하여 채널별 오프셋 미스매치를 계산하며,

상기 복수의 채널별 디지털 샘플에서 상기 계산한 채널별 오프셋 미스매치를 감산하여 채널별 디지털 샘플에 대한 오프셋 미스매치를 교정하는 것을 특징으로 하는 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치.

청구항 5

청구항 1에 있어서,

상기 이득 캘리브레이션 블록은,

상기 오프셋 미스매치가 교정된 복수의 채널에 대한 디지털 샘플을 저장하는 게인 버퍼;

상기 게인 버퍼로부터 출력되는 채널별 샘플의 제곱값을 계산하는 스퀘어 블록;

상기 스퀘어 블록으로부터 출력되는 복수의 디지털 샘플에 대한 합의 평균값을 계산하는 레퍼런스 채널 평균값 측정 블록; 및

상기 스퀘어 블록으로부터 출력되는 채널별 샘플에 대한 합의 평균을 계산하는 개별 채널 평균값 측정 블록;을 포함하는 것을 특징으로 하는 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치.

청구항 6

청구항 5에 있어서,

상기 이득 캘리브레이션 블록은,

상기 복수의 채널 중 첫 번째 채널의 평균값을 상기 레퍼런스 채널의 평균값으로 나누어 몫을 계산하고, 상기 첫 번째 채널의 디지털 샘플에 상기 계산한 몫을 곱하여 상기 첫 번째 채널의 디지털 샘플에 대한 이득 미스매치를 교정하며,

상기 첫 번째 채널을 제외한 나머지 각 채널의 평균값을 첫 번째 채널의 평균값으로 나누어 각 채널의 몫을 계산하고, 상기 각 채널의 디지털 샘플에 각 채널의 몫을 곱하여 채널별 디지털 샘플에 대한 이득 미스매치를 교정하는 것을 특징으로 하는 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치.

청구항 7

청구항 1에 있어서,

상기 스무딩 블록은,

상기 이득 미스매치가 교정된 채널의 디지털 샘플을 각 채널별로 저장하는 스무딩 버퍼로부터 출력되는 복수의 채널에 대한 디지털 샘플들의 합에 대한 평균을 취하여 레퍼런스 채널의 평균값을 계산하고,

상기 스무딩 버퍼로부터 출력되는 각 채널별 디지털 샘플들의 합에 대한 평균을 취하여 개별 채널의 평균값을 계산하는 것을 특징으로 하는 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치.

청구항 8

청구항 7에 있어서,

상기 스무딩 블록은,

상기 계산한 개별 채널의 평균값과 상기 레퍼런스 채널의 평균값에 대한 차이값을 계산하여 각 채널별 스파이크 오류를 계산하며,

상기 각 채널별 디지털 샘플에서 상기 계산한 각 채널별 스파이크 오류를 감산하여 각 채널별 디지털 샘플에 대한 스파이크 오류를 교정하는 것을 특징으로 하는 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치.

청구항 9

청구항 1에 있어서,

상기 시간 캘리브레이션 블록은,

상기 스파이크에 대한 오류가 교정된 복수의 채널에 대한 채널별 디지털 샘플들을 각 채널에 따라 저장하는 입력버퍼;

상기 디지털 샘플에 대해 시간 지연 미스매치를 교정하는 FIR필터 모듈; 및

상기 FIR필터 모듈에서 출력되는 디지털 샘플을 출력하는 출력버퍼;를 포함하는 것을 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치.

청구항 10

청구항 9에 있어서,

상기 FIR필터 모듈은,

상기 복수의 채널별 디지털 샘플에 대해 각각 1차 FIR 저역통과필터를 포함하는 것을 특징으로 하는 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치.

발명의 설명

기술 분야

[0001] 본 발명은 M채널 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치에 관한 것으로, 더욱 상세하게는 M채널 TI ADC(Time Interleaved Analog to Digital Converter)를 사용하여 고속으로 데이터를 처리하는 시스템에서 발생하는 미스매치(mismatch)를 덧셈, 뺄셈 및 곱셈 연산을 기반으로 순수하게 디지털적으로 교정함으로써, 제작 및 공정에 독립적이며, 설계에 대한 복잡도를 현저하게 낮추고, 하드웨어 자원에 대한 효율성을 증가시킬 수 있는 디지털 후면 교정 장치에 관한 것이다.

배경 기술

[0002] 일반적으로 아날로그-디지털 컨버터(Analog-Digital Converter, ADC, 이하 ADC로 칭함)는 영상, 음악 또는 음성 등과 같이 연속적인 신호인 아날로그 신호를 부호화된 디지털 신호로 변환하는 데이터 변환기를 말한다.

[0003] 또한 디지털 통신 기술의 발전과 정보처리 기술의 급속한 발전으로 인해 현대 사회가 디지털 사회로 접어들면서 수집되는 데이터의 양이 방대해지고, 데이터에 대한 질의 수준이 크게 향상되었다.

[0004] 이에 따라 통신 시스템, 방송 시스템, 영상 시스템 또는 금융 시스템 등과 같이 데이터를 고속으로 처리해야 하는 시스템에서 아날로그 데이터를 디지털 데이터로 변환하는 고속 ADC는 필수적인 요소가 되었다.

[0005] 종래의 ADC는 단일 ADC를 사용하여 상기 아날로그 신호를 디지털 신호로 변환하였으나, 상기 데이터 처리 시스템에서 요구하는 신호의 고속변환, 정확도 및 낮은 전력에 대한 요구를 만족시키기에는 불충분하였다.

[0006] 이러한 문제점을 해결하기 위해서 많은 기술들이 개발되어 사용되고 있으며, 대표적으로 TI ADC(Time Interleaved Analog-Digital Converter)가 있다.

[0007] 종래의 느린 ADC의 단점을 극복하기 위해 파이프라인 구조를 적용하여 낮은 속도의 동일한 서브 ADC를 병렬로 연결하는 상기 TI ADC는 고해상도 데이터 처리 뿐만 아니라 고속으로 상기 아날로그 신호를 디지털 신호로 변환할 수 있는 장점이 있다.

[0008] 그러나 상기 TI ADC는 타임-인터리빙(time interleaving) 구조를 적용하기 때문에 각 채널 간의 오프셋 미스매치(offset mismatch), 이득 미스매치(gain mismatch) 및 시간 미스매치(time mismatch)가 발생할 수 있으며, 상기 미스매치는 입력 신호의 앨리어싱된 버전(aliased version)과 스푸리어스 톤(spurious tone)의 결합으로 왜곡된 신호를 야기시킬 수 있다. 즉, 상기 TI ADC에 구성되는 다수의 채널 사이에서의 상기 아날로그 신호를 샘플링한 디지털 샘플들은 동일한 이득과 샘플링 시간을 가져야 하지만 실제로는 상기 다수의 채널 사이에서 상기 이득과 샘플링 시간이 동일하지 않아 상기 미스매치를 유발하며, 이는 상기 서브 ADC의 전반적인 성능을 저하시킨다.

[0009] 이에 따라 상기 TI ADC의 장점을 극대화하고 성능을 향상시키기 위해서는 상기 미스매치를 측정하고 교정해야 할 필요가 있다.

[0010] 최근에는, 상기 TI ADC에서 발생하는 미스매치를 측정하고 교정하기 위한 다양한 기술들이 개발되어 사용되고 있다.

[0011] 우선 시간 미스매치의 교정을 위한 블라인드 교정 방법은, 하드웨어 구조에 다중-비율 필터-뱅크를 적용함으로써, 균일하게 샘플링된 신호의 재구성과 균일하지 않게 샘플링된 신호를 측정하여 상기 시간 미스매치를 교정한다.

[0012] 또한 세 개의 FIR 필터와 분할 ADC 아키텍처의 LMS(Least Mean Square)필터를 사용하여 상기 오프셋, 이득 및 시간 미스매치를 교정하는 방법도 있으며, 또한 상기 이득 미스매치와 시간 미스매치를 교정하기 위해 상기 필터 뱅크를 사용하는 대신에 유사 앨리어싱(aliasing) 신호를 사용하여 교정하는 방법도 있다.

[0013] 상술한 선행기술들은 복수의 ADC채널에서 하다마드 변환 전개(hadamard transform expansion)를 사용하고, 하드웨어 구조에서 회로가 점유하는 범위를 줄일 수 있는 장점이 있다.

[0014] 그러나 상기 선행기술들은 상기 미스매치를 교정하기 위해 적응 필터를 이용하기 때문에 복수의 서브 ADC와 함께 필터들의 동적 범위 조정이 필요하며, 이로 인해 하드웨어 구조상의 넓은 영역이 요구되고, 상기 필터 계수는 항상 계산되어야 하며, 복수의 LUT(Look Up Table)를 구비하여 상기 필터 계수를 실시간으로 저장해야 되는

단점이 있다.

- [0015] 또한 상기 필터 뱅크를 사용하는 종래의 기술들은 M채널 TI ADC에 대한 M-1개의 필터를 요구하며, 이는 상기 하드웨어 복잡도와 크기를 증가시키는 단점이 있다.
- [0016] 따라서 본 발명에서는 M채널 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치를 제공하여, 고속으로 데이터를 처리하는 시스템에서 TI ADC를 사용함에 따라 발생하는 오프셋 미스매치와 이득 미스매치는 에러 추정을 위한 신호의 통계적 특성(특히, 타겟 신호의 평균과 샘플들의 분산)을 기반으로 교정하고, 시간 미스매치는 FIR지연 필터를 기반으로 교정함으로써, 하드웨어에 대한 복잡도를 낮추고 하드웨어 자원의 효율성을 높이는 디지털 후면 교정 장치를 제공하고자 한다.
- [0017] 다음으로 본 발명의 기술 분야에 존재하는 선행기술에 대하여 간단하게 설명하고, 이어서 본 발명이 상기 선행기술에 비해서 차별적으로 이루고자 하는 기술적 사항에 대해서 기술하고자 한다.
- [0018] 먼저 한국등록특허 제1461784호(2014.11.07.)는 아날로그 디지털 변환기, 그 보정 회로 및 그 보정 방법에 관한 것으로, TI ADC를 구성하는 복수의 채널로부터 출력되는 디지털 신호를 합성하는 합성기, 상기 채널과 상기 합성기 사이에 적응 필터를 설치하여 상기 디지털 신호에 포함된 시간 미스매치를 교정하는 아날로그 디지털 변환기, 그 보정 회로 및 그 보정 방법에 관한 것이다.
- [0019] 상기 선행기술은 상기 TI ADC에 의해 변환된 디지털 신호에서 발생할 수 있는 시간 미스매치를 교정하는 점에서 본 발명과 일부분 유사한 점이 있으나, 상기 시간 미스매치를 교정하기 위해 적응필터를 이용하므로 복수의 ADC와 함께 복수의 적응필터들의 동적 범위에 대한 조정으로 하드웨어 내의 넓은 영역이 요구되며, 상기 필터 계수를 항상 계산하여 복수의 LUT에 저장해야 되는 단점이 있으며, 상기 TI ADC에 의해 발생할 수 있는 오프셋 미스매치와 이득 미스매치의 교정 방법에 대해서는 제시하지 못하고 있다.
- [0020] 반면에 본 발명은 TI ADC에서 출력되는 디지털 신호의 통계적 특성에 기반하여 오프셋 미스매치와 이득 미스매치를 교정할 수 있고, 디지털 FIR필터를 통해 시간 미스매치를 교정할 수 있으며, 상기 미스매치를 교정하는 구성부분마다 메모리 컴포넌트를 구비함으로써, 하드웨어 리소스를 최소화하고 고속 디지털 프로세싱이 가능한 효과가 있다.
- [0021] 또한 한국공개특허 제2015-0029087호(2015.03.18.)는 아날로그 디지털 컨버터 및 아날로그 디지털 컨버터의 캘리브레이션 방법에 관한 것으로, 디지털 아날로그 컨버터에 인가되는 신호의 크기를 순차적으로 제어하고, 순차적으로 제어되는 신호에 기초하여 출력되는 비교기의 비교결과를 분석함으로써, 아날로그 디지털 컨버터의 오프셋을 교정하는 아날로그 디지털 컨버터 및 아날로그 디지털 컨버터의 교정 방법에 관한 것이다.
- [0022] 상기 선행기술은 아날로그 디지털 컨버터에서 발생하는 오프셋 미스매치에 대한 교정을 수행하는 것으로 본 발명과 일부분 유사한 점이 있으나, 반면에 본 발명은 에더(adder), 서브트랙터(subtractor) 및 멀티플라이어(multiplier)를 기반으로 오프셋 미스매치 뿐만 아니라 이득 미스매치 및 시간 미스매치를 교정함으로써, 교정을 위한 시간을 급격하게 줄일 수 있는 기술적 특징에 대해 기재하거나 시사하고 있지 않다.

발명의 내용

해결하려는 과제

- [0023] 본 발명은 상기와 같은 문제점을 해결하기 위해 창작 된 것으로서, 디지털 신호의 통계적 특징을 기반으로 TI ADC에서 발생하는 오프셋 미스매치와 이득 미스매치를 측정하여 교정함으로써, 계산이 효율적이고 하드웨어 설계에 대한 복잡도를 최소화할 수 있는 미스매치에 대한 디지털 후면 교정 장치를 제공하는 것을 그 목적으로 한다.
- [0024] 또한 본 발명은 덧셈 연산, 뺄셈 연산 및 쉬프트 연산을 기반으로 하여 상기 오프셋 미스매치, 이득 미스매치 및 시간 미스매치를 교정함으로써, 상기 미스매치 교정을 위한 시간을 급격하게 줄임과 동시에 하드웨어 리소스를 최소화할 수 있는 디지털 후면 교정 장치를 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0025] 본 발명의 일 실시예에 따른 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치는, 적어도 두 개 이상의 채널을 가진 TI ADC 결과에 대해서 오프셋 미스매치를 교정하는 오프셋 캘리브레이션 블록 및 상기 오프셋 교정된 디지털 샘플에 대한 이득 미스매치를 교정하는 이득 캘리브레이션 블록을 포함하는 것을 특징으로 한다.

- [0026] 또한 상기 디지털 후면 교정 장치는, 상기 이득 미스매치를 교정하는 과정에서 발생하는 스파이크(엑스트라 고주파 톤)를 교정하는 스무딩 블록 및 상기 스파이크를 교정한 디지털 샘플에 대한 시간 미스매치를 교정하는 시간 캘리브레이션 블록을 더 포함하는 것을 특징으로 한다.
- [0027] 또한 상기 오프셋 캘리브레이션 블록은, 복수의 채널에 대한 디지털 샘플을 저장하는 오프셋 버퍼, 상기 오프셋 버퍼로부터 출력되는 디지털 샘플들의 합에 대한 평균값을 계산하여 레퍼런스 채널의 오프셋을 측정하는 레퍼런스 채널 오프셋 측정 블록 및 상기 오프셋 버퍼로부터 출력되는 복수의 채널에 대한 디지털 샘플들의 평균값을 계산하여 개별 채널의 오프셋을 측정하는 개별 채널 오프셋 측정 블록을 포함하는 것을 특징으로 한다.
- [0028] 또한 상기 오프셋 캘리브레이션 블록은, 상기 측정된 개별 채널의 오프셋과 상기 레퍼런스 채널의 오프셋에 대한 차이값을 계산하여 채널별 오프셋 미스매치를 계산하며, 상기 복수의 채널별 디지털 샘플에서 상기 계산한 채널별 오프셋 미스매치를 감산하여 채널별 디지털 샘플에 대한 오프셋 미스매치를 교정하는 것을 특징으로 한다.
- [0029] 또한 상기 이득 캘리브레이션 블록은, 상기 오프셋 교정된 복수의 채널에 대한 디지털 샘플을 저장하는 게인 버퍼, 상기 게인 버퍼로부터 출력되는 채널별 샘플의 제곱값을 계산하는 스퀘어 블록, 상기 스퀘어 블록으로부터 출력되는 복수의 디지털 샘플에 대한 합의 평균값을 계산하는 레퍼런스 채널 평균값 측정 블록 및 상기 스퀘어 블록으로부터 출력되는 채널별 샘플에 대한 합의 평균을 계산하는 개별 채널 평균값 측정 블록을 포함하는 것을 특징으로 한다.
- [0030] 또한 상기 이득 캘리브레이션 블록은, 상기 복수의 채널 중 첫 번째 채널의 평균값을 상기 레퍼런스 채널의 평균값으로 나누어 몫을 계산하고, 상기 첫 번째 채널의 디지털 샘플에 상기 계산한 몫을 곱하여 상기 첫 번째 채널의 디지털 샘플에 대한 이득 미스매치를 교정하며,
- [0031] 상기 첫 번째 채널을 제외한 나머지 각 채널의 평균값을 상기 첫 번째 채널의 평균값으로 나누어 각 채널의 몫을 계산하고, 상기 각 채널의 디지털 샘플에 각 채널의 몫을 곱하여 채널별 디지털 샘플에 대한 이득 미스매치를 교정하는 것을 특징으로 한다.
- [0032] 또한 상기 스무딩 블록은, 상기 이득 교정된 복수의 채널에 대한 디지털 샘플을 저장하는 스무딩 버퍼로부터 출력되는 복수의 채널에 대한 디지털 샘플들의 합에 대한 평균을 취하여 레퍼런스 채널의 평균값을 계산하고,
- [0033] 상기 스무딩 버퍼로부터 출력되는 채널별 디지털 샘플들의 합에 대한 평균을 취하여 각 채널의 평균값을 계산하는 것을 특징으로 한다.
- [0034] 또한 상기 스무딩 블록은, 상기 계산한 각 채널의 평균값과 상기 레퍼런스 채널의 평균값에 대한 차이값을 계산하여 채널별 스파이크 오류를 계산하며,
- [0035] 상기 채널별 디지털 샘플에서 상기 계산한 채널별 스파이크 오류를 감산하여 채널별 디지털 샘플에 대한 스파이크 오류를 교정하는 것을 특징으로 한다.
- [0036] 또한 상기 시간 캘리브레이션 블록은, 상기 스파이크 오류가 교정된 복수의 채널에 대한 채널별 디지털 샘플들을 각 채널에 따라 저장하는 입력버퍼, 상기 디지털 샘플에 대해 시간 지연 미스매치를 교정하는 FIR필터 모듈 및 상기 FIR필터 모듈에서 출력되는 디지털 샘플을 출력하는 출력버퍼를 포함하는 것을 특징으로 한다.
- [0037] 또한 상기 FIR필터 모듈은, 상기 복수의 채널별 디지털 샘플에 대해 각각 1차 FIR 저역통과필터를 포함하는 것을 특징으로 한다.

발명의 효과

- [0038] 본 발명은 M채널 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치에 관한 것으로, 덧셈 연산, 뺄셈 연산 및 쉬프트 연산을 기반으로 상기 TI ADC에서 발생하는 미스매치를 교정함으로써, 상기 교정에 필요한 계산을 효율적이고 신속하게 처리할 수 있으며, 하드웨어 리소스를 최소화할 수 있는 효과가 있다.
- [0039] 또한 본 발명은 상기 TI ADC에서 발생하는 오프셋 미스매치와 이득 미스매치는 상기 TI ADC에서 출력되는 디지털 신호의 통계적인 성질을 이용하여 교정하고, 상기 시간 미스매치는 고정된 필터계수를 가지는 FIR필터를 이용하여 교정함으로써, 하드웨어 설계에 대한 복잡도를 현저하게 낮추고, 하드웨어의 자원에 대한 효율성을 높이는 효과가 있다.

도면의 간단한 설명

- [0040] 도 1은 종래 기술에 따른 TI ADC의 기본적인 구조와 미스매치를 교정하는 장치를 개략적으로 나타낸 예시도이다.
- 도 2는 본 발명의 일 실시예에 따른 M채널 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치를 나타낸 블록도이다.
- 도 3은 본 발명의 일 실시예에 따른 오프셋 캘리브레이션 블록을 나타낸 블록도이다.
- 도 4는 본 발명의 일 실시예에 따른 오프셋 버퍼를 나타낸 블록도이다.
- 도 5는 본 발명의 일 실시예에 따른 오프셋 캘리브레이션 블록을 위한 제어 로직의 상태머신을 나타낸 예시도이다.
- 도 6은 본 발명의 일 실시예에 따른 오프셋 버퍼의 로직에 따라 리드 및 라이트 오퍼레이션을 수행하는 절차를 나타낸 흐름도이다.
- 도 7 및 도 8은 본 발명의 일 실시예에 따른 오프셋 캘리브레이션 블록에 있어서, 레퍼런스 채널의 오프셋을 측정하는 레퍼런스 채널 오프셋 측정 블록을 나타낸 블록도이다.
- 도 9는 본 발명의 일 실시예에 따른 오프셋 캘리브레이션 블록에 있어서, 레퍼런스 채널 오프셋 측정 블록을 나타낸 블록도이다.
- 도 10은 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록을 나타낸 블록도이다.
- 도 11은 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록을 위한 제어 로직의 상태 머신을 나타낸 예시도이다.
- 도 12는 본 발명의 일 실시예에 따른 게인 버퍼 로직에 따라 리드 및 라이트 오퍼레이션을 수행하는 절차를 나타낸 흐름도이다.
- 도 13은 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록에 있어서, 스쿼어 블록을 나타낸 블록도이다.
- 도 14 및 도 15는 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록에 있어서, 개별 채널 평균값 측정 블록을 나타낸 블록도이다.
- 도 16은 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록에 있어서, 레퍼런스 채널 평균값 측정 블록을 나타낸 블록도이다.
- 도 17은 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록에 있어서, 디바이더 블록을 나타낸 블록도이다.
- 도 18은 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록의 전반적인 구조를 나타낸 블록도이다.
- 도 19 내지 도 22는 본 발명의 일 실시예에 따른 스무딩 블록을 나타낸 블록도이다.
- 도 23은 본 발명의 일 실시예에 따른 시간 캘리브레이션 블록을 나타낸 블록도이다.
- 도 24는 본 발명의 일 실시예에 따른 시간 캘리브레이션 블록에 있어서, 입력버퍼를 나타낸 블록도이다.
- 도 25는 본 발명의 일 실시예에 따른 시간 캘리브레이션 블록에 있어서, FIR필터 모듈을 나타낸 블록도이다.
- 도 26은 본 발명의 일 실시예에 따른 시간 캘리브레이션 블록에 있어서, 출력버퍼를 나타낸 블록도이다.
- 도 27은 본 발명의 일 실시예에 따른 시간 캘리브레이션 블록에 있어서, 언사인드 2의 보수 컨버터를 나타낸 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0041] 이하, 본 발명의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0042] 도 1은 종래의 기술에 따른 TI ADC의 기본적인 구조와 미스매치를 교정하는 장치를 개략적으로 나타낸 예시도이다.

- [0043] 우선 고속으로 데이터를 처리하는 시스템에서는 아날로그 신호를 디지털 신호로 변환하기 위한 고속 ADC가 필수적으로 요구된다. 종래에는 하나의 ADC를 이용하여 신호 변환을 수행하였으나 최근 현대 사회가 정보 통신 사회로 접어들면서 방대한 양의 데이터를 신속하게 처리하기 위해서는 고속으로 상기 변환을 수행할 수 있는 고속 ADC기술이 필요하게 되었다.
- [0044] 이러한 문제점을 해결하기 위해 복수의 동일한 서브 ADC를 병렬로 연결하는 타임-인터리빙 구조를 적용한 TI ADC가 개발되어 사용되고 있다.
- [0045] 도 1의 (a)에 도시한 바와 같이 TI ADC의 기본적인 구조는 입력되는 아날로그 신호를 채널별로 샘플링하여 디지털 샘플로 변환하는 복수의 서브 ADC 및 상기 변환한 채널별 디지털 샘플을 다중화하여 하나의 신호로 결합하는 멀티플렉스로 구성된다.
- [0046] 또한 상기 TI ADC는 타임-인터리빙 구조를 적용하여 위상이 다른 샘플링 클럭을 병렬로 작동시켜 채널별로 상기 아날로그 신호를 샘플링 함으로써, 고해상도 및 고속의 ADC를 구현할 수 있는 장점이 있다.
- [0047] 그러나 상기 클럭에 의한 샘플링 과정에서 상기 서브 ADC 간의 부득이한 미스매치(오프셋 미스매치, 이득 미스매치 및 시간 미스매치)를 발생시키며, 상기 미스매치는 상기 TI ADC를 구성하는 전체 서브 ADC의 성능을 급격하게 저하시키는 문제점을 내포하고 있다.
- [0048] 또한 상기 TI ADC에서 발생한 미스매치는 입력 신호의 앨리어싱된 버전과 스퓨리어스 톤의 함으로 왜곡된 출력 신호를 야기 시켜 상기 TI ADC의 SNDR(Signal to Noise and Distortion Ratio)과 SFDR(Spurious Free Dynamic Range)을 상당히 감소시킨다.
- [0049] 이에 따라 상기 미스매치를 교정하기 위해 다수의 교정 장치들이 개발되어 사용되고 있다. 그 중에서 비교적 최근에 알려진 기존의 교정 방법 중에서 한 예를 도 1의 (b)에 도시하였다.
- [0050] 도 1의 (b)는 유사 앨리어싱 신호를 이용하여 미스매치를 교정하는 기존의 교정 장치를 개략적으로 설명하기 위한 예시도이다.
- [0051] 도 1의 (b)에 도시한 바와 같이 2채널 TI ADC의 경우에 있어서, 유사 앨리어싱 신호를 이용한 기존의 교정 장치는 일반적으로 사용되는 적응 필터 뱅크를 적용하는 대신에 유사 앨리어싱 신호(pseudo aliasing signal)를 기반으로 상기 미스매치를 교정한다. 즉, 상기 기존의 교정 장치는 유사 앨리어싱 신호를 생성하고, 이를 상기 TI ADC에서 발생하는 앨리어싱 신호에 가산하거나 감산함하여 상기 미스매치를 교정한다.
- [0052] 그러나 상기 유사 앨리어싱 신호를 사용하는 장치는 오직 하나의 미분 필터를 사용하지만, 이득과 시간 미스매치의 측정을 위해 복잡도를 증가시키는 피드백 신호와 노치 필터(notch filter)를 사용하는 단점이 있다.
- [0053] 이에 따라 본 발명에서는 단순히 덧셈과 뺄셈 및 쉬프트 연산을 통해 상기 미스매치를 교정함으로써, 고속으로 디지털 프로세싱을 수행할 수 있는 디지털 후면 교정 장치를 제공하고자 한다.
- [0054] 또한 본 발명에서는 디지털 신호의 통계적인 성질을 기반으로 상기 오프셋 미스매치와 이득 미스매치를 교정하고, 상기 시간 미스매치는 FIR필터를 기반으로 교정함으로써, 하드웨어에 대한 복잡도를 낮추고 하드웨어 자원의 효율성을 높이는 디지털 후면 교정 장치를 제공하고자 한다.
- [0055] 도 2는 본 발명의 일 실시예에 따른 M채널 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치를 나타낸 블록도이다.
- [0056] 한편 상기 M채널 TI ADC를 8채널 TI ADC로 가정하여 본 발명을 상세히 설명하도록 한다. 다만 본 발명은 8채널에 한정하는 것이 아니며, 그 이상의 채널에 대해서도 적용될 수 있음은 당연하다.
- [0057] 도 2에 도시한 바와 같이 상기 디지털 후면 교정 장치는 TI ADC로부터 채널별로 샘플링된 디지털 샘플들을 제공받아, 채널별로 오프셋 미스매치에 대한 교정을 수행하는 오프셋 캘리브레이션 블록(110), 상기 오프셋 교정이 완료된 채널별 디지털 샘플들을 상기 오프셋 캘리브레이션 블록(110)으로부터 제공받아 이득 미스매치에 대한 교정을 수행하는 이득 캘리브레이션 블록(120), 상기 이득 미스매치의 교정을 수행하는 과정에서 발생하는 엑스트라 고주파 톤을 제거하기 위한 스무딩 블록(130) 및 상기 오프셋 교정과 이득 교정이 완료된 채널별 샘플들의 시간 미스매치에 대한 교정을 수행하는 시간 캘리브레이션 블록(140)을 포함하여 구성된다.
- [0058] 또한 상기 각각의 블록은 에더(adder), 서브트랙터(subtractor), 멀티플라이어(multiplier), 디바이더(divider) 또는 이들의 조합 및 제어부를 포함하여 구성되며, 상기 에더, 서브트랙터, 멀티플라이어, 디바이더

및 제어부는 주요한 계산 유닛들이 된다.

- [0059] 또한 상기 각각의 블록은 하나의 버퍼(buffer memory)를 포함하여 구성되며, 이는 고속 디지털 프로세싱을 위한 주요한 유닛이며, 상기 디지털 후면 교정 장치(100)의 설계를 위한 리소스들을 최소화하는 중요한 역할을 수행한다. 즉, 상기 각각의 블록에 포함되는 총 네 개의 버퍼는 종래의 다른 하드웨어 구현에 비해 매우 적은 최소 메모리 자원을 유지하는데 사용된다.
- [0060] 또한 상기 8채널 TI ADC는 입력되는 아날로그 신호를 8개의 채널로 샘플링하여 각각 디지털 샘플로 변환하며, 상기 변환한 디지털 샘플은 2.5ns의 클럭 신호(clk)와 리셋 신호(resetb)와 함께 오프셋 캘리브레이션 블록(110)으로 제공된다.
- [0061] 또한 상기 디지털 후면 교정 장치(100)는 동기신호를 사용하여 각 채널별 디지털 샘플들의 미스매치에 대한 교정을 동기화하며, 상기 동기신호는 해당 캘리브레이션 블록의 이전 캘리브레이션 블록에서 생성된다.
- [0062] 한편 상기 디지털 후면 교정 장치(100)에 있어서, 디지털 샘플들의 입력이 리셋 또는 해제될 때까지 교정을 지속적으로 수행하는 실시간 시스템이므로 상기 오프셋 교정의 경우에는 임의의 동기신호를 포함하지 않고 설계된다.
- [0063] 또한 상기 미스매치 교정은 미스매치의 3영역에서 수행되며, 오프셋 미스매치, 이득 미스매치 및 시간 미스매치 순으로 수행된다.
- [0064] 또한 상기 오프셋 캘리브레이션 블록(110)과 상기 이득 캘리브레이션 블록(120)은 각 미스매치의 측정을 위한 신호의 통계적 특성(특히, 타겟 신호의 합과 평균)에 기반하여 교정한다.
- [0065] 또한 상기 오프셋 캘리브레이션 블록(110)과 상기 이득 캘리브레이션 블록(120)은 채널별로 입력되는 디지털 샘플들의 채널별 평균값(mean value)과 실효값(mean square value)을 각각 계산하여 상기 오프셋 미스매치 및 이득 미스매치를 측정한다.
- [0066] 또한 상기 오프셋 캘리브레이션 블록(110)은 상기 측정한 오프셋 미스매치를 각 채널별 출력에 감산하여 채널별 디지털 샘플의 오프셋 미스매치를 교정한다.
- [0067] 또한 상기 이득 캘리브레이션 블록(120)은 상기 오프셋 미스매치가 교정된 각 채널별 샘플을 상기 계산한 실효값과 특정 컨스턴트값(constant value)을 기반으로 채널별 디지털 샘플의 이득 미스매치를 교정한다.
- [0068] 또한 상기 스무딩 블록(130)은 이득 미스매치를 교정함에 따라 발생하는 스파이크(엑스트라 고주파 톤)을 제거한다. 한편 상기 스파이크의 제거는 상기 오프셋 캘리브레이션 블록(110)에서 수행하는 동일한 메커니즘을 통해 수행된다.
- [0069] 또한 상기 시간 캘리브레이션 블록(140)은 상기 오프셋 미스매치와 이득 미스매치가 교정된 채널별 디지털 샘플의 시간 미스매치를 교정하며, 상기 교정은 FIR필터를 사용하여 수행된다.
- [0070] 또한 상기 미스매치를 교정하기 위한 일련의 과정은 순수하게 디지털 적으로 수행되는 것으로 상기 TI ADC 및 미스매치에 대한 디지털 후면 교정 장치의 제작 공정에 독립적이며, 하드웨어의 복잡도를 낮추고 하드웨어 자원의 효율성을 높이는 효과가 있다.
- [0071] 도 3은 본 발명의 일 실시예에 따른 오프셋 캘리브레이션 블록을 나타낸 블록도이다.
- [0072] 도 3에 도시한 바와 같이 상기 오프셋 캘리브레이션 블록(110)은 상기 디지털 후면 교정 장치(100)의 첫 번째 블록으로써, 상기 8채널 TI ADC로부터 12비트의 디지털 샘플들을 채널별로 입력(in0에서 in7) 받는다.
- [0073] 또한 상기 오프셋 캘리브레이션 블록(110)은 일부 결합 로직 블록들을 제외하고, 다른 캘리브레이션 블록들과 공통된 클럭(clk)과 리셋신호(resetb)를 입력 받는다.
- [0074] 또한 상기 오프셋 캘리브레이션 블록(110)은 14비트의 off_dv신호(유효 데이터 오프셋 신호)를 생성하여 출력한다.
- [0075] 상기 off_dv신호는 상기 오프셋 캘리브레이션 블록(110)과 상기 이득 캘리브레이션 블록(120)간의 동기화를 위해 사용된다.
- [0076] 또한 상기 오프셋 캘리브레이션 블록(110)은 채널별 디지털 샘플들을 저장하는 오프셋 버퍼(111), 레퍼런스 채널 오프셋 측정 블록(112) 및 개별 채널 오프셋 측정 블록(113)을 포함하여 구성된다.

- [0077] 또한 상기 레퍼런스 채널 오프셋 측정 블록(112)은 채널별로 입력되는 모든 디지털 샘플들에 대한 평균값을 계산하여 레퍼런스 채널의 오프셋을 측정하고, 상기 개별 채널 오프셋 측정 블록(113)은 입력되는 각 채널별 샘플들의 평균값을 계산하여 각 채널의 오프셋을 측정한다.
- [0078] 또한 상기 오프셋 캘리브레이션 블록(110)은 상기 측정한 각 채널의 오프셋과 레퍼런스 채널의 오프셋에 대한 차이값을 계산함으로써, 각 채널별 오프셋 미스매치를 측정하고, 각 채널의 디지털 샘플에서 상기 측정한 각 채널의 오프셋 미스매치를 감산함으로써, 채널별 디지털 샘플의 오프셋을 교정한다.
- [0079] 한편 상기 레퍼런스 채널 오프셋 측정 블록(112)과 상기 개별 채널 오프셋 측정 블록(113)은 도7과 도 8 및 도 9를 각각 참조하여 상세히 설명하도록 한다.
- [0080] 또한 상기 오프셋 캘리브레이션 블록(110)은 데이터 전송속도를 높이기 위해 파이프라인화 되어 있으며 타이밍 요구사항을 만족하기 위해 상기 각 파이프라인에 복수의 DFF(D-Flip Flop)가 삽입되어 있다.
- [0081] 도 4는 본 발명의 일 실시예에 따른 오프셋 버퍼(111)를 나타낸 블록도이다.
- [0082] 한편 실시간 시스템은 높은 데이터 전송 속도의 어플리케이션에서 지속적으로 특정 출력신호를 생성해야하기 때문에 모든 샘플들을 동시에 입력으로 받을 수 없다.
- [0083] 이러한 이유로 상기 오프셋 캘리브레이션 블록(110)은 채널별로 입력되는 총 512샘플들을 저장하여, 오프셋 미스매치에 대한 교정을 수행한다. 즉, 상기 오프셋 캘리브레이션 블록(110)은 상기 8채널 TI ADC로부터 총 512샘플들을 입력으로 받아 상기 오프셋 버퍼(111)에 저장한다(채널당 64샘플씩 총 512샘플).
- [0084] 한편 본 발명인 디지털 후면 장치(100)를 8채널 TI ADC와 총 512샘플을 일 실시예로 하여 설명하고 있지만, 상기 디지털 후면 장치(100)의 설계 및 TI ADC에 따라 상기 채널과 상기 샘플들의 총수는 달라질 수 있다.
- [0085] 도 4에 도시한 바와 같이 상기 오프셋 버퍼는 채널별로 64디지털 샘플들을 수신 받아 총 512샘플들을 저장한다.
- [0086] 또한 상기 모든 샘플들은 상기 오프셋 버퍼(111)에 저장되기 때문에 해당 오프셋 미스매치에 대한 교정은 상기 모든 샘플들을 취한 후에 다음의 처리과정이 수행된다.
- [0087] 또한 순차적으로 입력되는 다음의 샘플들도 연속적으로 상기 오프셋 버퍼(111)에 저장되며, 또 다른 512샘플들이 저장될 때, 다음의 처리 과정이 수행된다.
- [0088] 또한 상기 후면 교정 장치(100)가 리셋되거나 스위치 오프(switch off)되는 경우를 제외하고는 상기 오프셋 버퍼(111)에서의 출력은 정지되지 않으며, 매 클럭 사이클마다 상기 출력이 수행된다.
- [0089] 또한 상기 오프셋 버퍼(111)의 뎀스(depth)는 1024이며, 폭(width)은 12비트이다.
- [0090] 또한 상기 오프셋 버퍼(111)는 상기 디지털 샘플들을 상기 8채널 TI ADC로부터 직접적으로 입력받아 저장한다.
- [0091] 또한 상기 오프셋 미스매치를 교정하기 위한 마지막 단계에서 상기 오프셋 버퍼(111)의 출력이 필요하며, 이는 오프셋 교정을 위한 레퍼런스 채널의 계산을 포함하는 다수의 오프레이션들은 직접적으로 상기 TI ADC로부터 입력받은 디지털 샘플들을 기반으로 수행되기 때문이다.
- [0092] 또한 상기 오프셋 버퍼(111)는 두 개의 섹션으로 분류될 수 있으며, 첫 번째 섹션은 상기 오프셋 버퍼(111)에 상기 디지털 샘플들을 저장하거나 상기 오프셋 버퍼(111)로부터 상기 디지털 샘플들을 출력하기 위한 로직을 저장하고, 또 다른 하나의 섹션은 상기 저장 또는 출력을 제어하기 위한 로직을 저장한다.
- [0093] 또한 상기 오프셋 버퍼(111)는 상기 디지털 샘플들이 저장되는 메모리 주소를 오름차순으로 정렬하며, 리셋신호(resetb)가 하이 상태가 된 후(즉, 리셋이 액티브 로우인 상태), 즉시 상기 TI ADC로부터 디지털 샘플들을 입력 받아 저장한다.
- [0094] 또한 두 개의 포인터가 상기 오프셋 버퍼(111)에 대한 리드(read, 읽기) 및 라이트(write, 쓰기) 오퍼레이션을 위해 사용되며, 상기 오퍼레이션은 카운터와 상태머신을 기반으로 몇몇의 제어로직에 의해 제어된다.
- [0095] 또한 리셋신호가 하이 상태일 때 상기 입력은 수행되고, 그 즉시 상기 입력을 상기 오프셋 버퍼(111)에 저장하기 위한 라이트 오퍼레이션이 수행된다.
- [0096] 또한 상기 상태머신은 리드 오퍼레이션을 추적하는 리드 포인터로써, 최종 카운터는 520에 도달한다. 한편 상기 상태머신은 동기화를 위한 두 상태(도 3에 도시한 상태 S1 및 S2)에 대한 지연시간을 주고 난 후 상기 오퍼레이

션을 수행한다.

- [0097] 또한 상기 TI ADC에서 채널별로 출력되는 샘플들은 클럭 사이클 마다 오프셋 캘리브레이션 블록(110)으로 입력되어 상기 오프셋 버퍼(111)에 저장되기 때문에 상기 리드 오퍼레이션은 항상 유지된다. 따라서 상기 상태머신의 마지막 상태는 상기 후면 교정 장치(100)가 리셋 되거나 스위치오프 될 때까지 유지된다.
- [0098] 또한 상기 오프셋 캘리브레이션 블록(110)이 상기 오프셋 미스매치를 교정하고 첫 번째 출력을 생성할 때, 상기 오프셋 버퍼(111)의 출력은 상기 오프셋 교정을 위한 마지막 단계에서 사용되기 때문에 상기 오프셋 버퍼(111)는 상기 이득 캘리브레이션 블록(120)과의 동기화를 위해 off_dv 신호(유효 데이터 신호)를 출력한다.
- [0099] 상기 off_dv는 동기신호이고, 상기 후면 교정 장치(100)가 계속 작동하는 동안 상기 오프셋 캘리브레이션 블록(110)의 첫 번째 출력으로부터 높은 상태로 유지된다.
- [0100] 도 5는 본 발명의 일 실시예에 따른 오프셋 캘리브레이션 블록을 위한 제어 로직의 상태머신을 나타낸다.
- [0101] 도 5에 도시한 바와 같이, 상기 상태머신은 상기 리셋 신호가 하이 상태일 때 리드가능(rd_en)신호를 생성한다. 상기 리드가능 신호는 라이트 포인터(wr_ptr)가 특정 값에 도달할 때까지 하이 상태로 유지된다.
- [0102] 또한 상기 리드가능 신호는 하이 상태가 된 이후, 상기 오프셋 버퍼(111)로부터 리드값들에 대한 프로세싱을 시작한다. 또한 상기 리드가능 신호는 리드 포인터(re_ptr) 오퍼레이션을 수행하도록 하며, 상기 리드 포인터의 카운터 값은 매 클럭마다 8씩 증가된다. 이는 매 클럭마다 상기 오프셋 버퍼(111)로부터 8개의 값을 리드하기 위해 필요하기 때문이다.
- [0103] 또한 상기 오프셋 캘리브레이션 블록(110)으로부터 첫 번째 출력이 시작되면, 새로운 디지털 샘플들을 저장하거나 기존의 디지털 샘플들을 출력하기 위한 상기 리드와 라이트 오퍼레이션은 동시에 지속적으로 수행된다.
- [0104] 도 6은 본 발명의 일 실시예에 따른 오프셋 버퍼의 로직에 따라 리드 및 라이트 오퍼레이션을 수행하는 절차를 나타낸 흐름도이다.
- [0105] 도 6에 도시한 오프셋 버퍼(111)의 로직에 따라 리드 및 라이트 오퍼레이션을 수행하는 절차는, 우선 상기 상태머신이 리드가능 신호를 생성한 경우(S110)에는 각 채널별로 저장한 디지털 샘플을 상기 오프셋 버퍼(111)로부터 리드하거나, 상기 각 채널별로 입력되는 디지털 샘플을 상기 오프셋 버퍼(111)에 라이트하여 저장한다(S121). 즉, 상기 오프셋 캘리브레이션 블록(110)이 오프셋 교정을 수행하고 있는 경우, 상기 리드 및 라이트 오퍼레이션은 동시에 수행된다.
- [0106] 다음으로 상기 리드 또는 라이트 오퍼레이션을 수행한 경우, 리드 포인터 또는 라이트 포인터의 카운터 값을 8 증가 시킨다(S131).
- [0107] 한편 상기 상태머신이 리드가능 신호를 생성하지 않은 경우(S110), 상기 TI ADC로부터 입력되는 채널별 디지털 샘플들을 상기 오프셋 버퍼에 라이트하여 저장한 후(S120), 라이트 포인터의 카운터 값을 8증가 시킨다(S130).
- [0108] 다음으로 본 발명인 후면 교정 장치(100)가 리셋되거나 또는 스위치오프가 될 때 까지 상기 리드 및 라이트 오퍼레이션을 반복하여 계속해서 수행한다.
- [0109] 도 7 및 도 8은 본 발명의 일 실시예에 따른 오프셋 캘리브레이션 블록에 있어서, 레퍼런스 채널의 오프셋을 측정하는 레퍼런스 채널 오프셋 측정 블록을 도시한 블록도이다.
- [0110] 도 7 및 도 8에 도시한 바와 같이 레퍼런스 채널 오프셋 측정 블록(112)은 상기 오프셋 버퍼(111)로부터 채널별로 출력되는 디지털 샘플을 입력받아 직접적으로 처리한다.
- [0111] 또한 상기 레퍼런스 채널 오프셋 측정 블록(112)은 각 채널별 오프셋 미스매치를 교정하기 위해 입력되는 모든 샘플(512샘플)을 합산하여 평균을 계산함으로써, 기준이 되는 레퍼런스 채널의 오프셋을 측정하여 출력한다.
- [0112] 또한 상기 레퍼런스 채널 오프셋 측정 블록(112)는 입력되는 각 채널의 디지털 샘플들을 4개의 에더를 통해 2채널씩 각각 가산하여 4개의 출력을 생성한다.
- [0113] 또한 재귀 레지스터(recursive REG1에서 recursive REG4)는 각 채널별 64샘플에 대한 반복적인 가산 절차를 위해 사용되고, 상기 각 재귀 레지스터는 채널 두 개를 합산한 결과(u1_out0에서 u1_out3)를 출력한다.
- [0114] 또한 상기 레퍼런스 채널 오프셋 측정 블록(112)은 상기 4개의 출력을 두 개의 에더를 통해 각각 두 채널씩(u1_out0과 u1_out1 및 u1_out2와 u1_out3)합산하여 두 개의 출력(u2_out0 및 u2_out1)을 생성하며, 상기 출력

은 21비트이다.

- [0115] 상기 생성한 두 개의 출력을 하나의 에더를 이용하여 합산함으로써, 하나의 출력(u3_out)를 생성하며, 상기 출력은 22비트이다.
- [0116] 또한 상기 에더는 고속 연산을 위해 각 채널별로 파이프라인화되어 있으며, 도 7 및 도 8에 도시한 DFF는 각 에더의 출력 및 입력의 임계경로를 관리하기 위해 필요한 단위 유닛이다.
- [0117] 또한 상기 출력, u3_out은 모든 채널의 디지털 샘플들에 대한 총합이며, 상기 레퍼런스 채널의 오프셋은 상기 총합에 대한 평균값을 계산하여 측정한다.
- [0118] 한편 상기 평균값을 수행하기 위해서는 나눗셈 연산을 수행하여야 하지만 상기 나눗셈 연산은 매우 복잡한 오퍼레이션이고 하드웨어의 복잡도를 높이는 문제점이 있다.
- [0119] 따라서 본 발명에서는 수집되는 샘플들의 양에 따라 특정 컨스턴트값(constant value)을 상기 오프셋 버퍼(111)에 미리 저장하여, 곱셈 연산을 통해 상기 합산한 모든 채널의 총합에 대한 평균값을 계산할 수 있도록 한다. 이는 복잡한 나눗셈 연산을 피하고 고속 연산이 가능한 효과가 있다.
- [0120] 한편 본 발명을 설명하기 위해 8채널 512샘플에 대한 상기 특정 컨스턴트값은 1/520으로 설정된다.
- [0121] 또한 상기 1/520은 (N,Q)형태의 고정 소수점으로 계산되어 저장된다. 또한 상기 N은 상기 컨스턴트(상수)의 총 비트수를 나타내며, 상기 Q는 소수 부분(fractional part)의 비트수를 나타낸다.
- [0122] 이에 따라 상기 레퍼런스 채널 오프셋 측정 블록(112)은 하나의 멀티플라이어(multiplier)를 통해 상기 측정된 모든 채널의 총합(u3_out)에 상기 컨스턴트값을 곱함으로써, 상기 레퍼런스 채널의 오프셋을 계산하여 출력한다. 또한 상기 레퍼런스 채널의 오프셋은 (21,8)길이를 가지는 고정 소수점 포맷으로 출력된다.
- [0123] 도 9는 본 발명의 일 실시예에 따른 오프셋 캘리브레이션 블록에 있어서, 개별 채널의 오프셋을 측정하는 개별 채널 오프셋 측정 블록을 도시한 블록도이다.
- [0124] 도 9에 도시한 바와 같이 상기 개별 채널 오프셋 측정 블록(113)은 각 채널의 오프셋을 측정하여 각 채널별 오프셋 미스매치를 교정하기 위해, 채널별로 디지털 샘플의 합을 계산한 후, 상기 합에 대한 평균값을 각각 측정함으로써, 상기 각 채널의 오프셋을 측정한다.
- [0125] 또한 상기 채널별 디지털 샘플의 합은 각 채널의 64샘플들이 채널별로 각각 가산된 것을 의미하며, 상기 각 채널의 총합(64샘플)을 계산하기 위해 재귀 레지스터가 사용된다.
- [0126] 또한 각 채널별 64샘플들의 합산 후의 결과를 생성하기 위해 카운터는 상기 TI ADC로부터 제공된다.
- [0127] 상기 합은 21비트이며, 각 채널별 총합(u4_out0에서 ou4_out7)은 멀티플라이어의 입력으로 제공된다. 또한 상기 각 채널별 합에 대한 평균값을 취하기 위해, 미리 저장한 컨스턴트값(1/65)을 곱하여 각 채널별 오프셋 값(u4_mul_out0에서 u4_mul_out7)을 출력한다. 한편 상기 출력은 (21,8)의 고정 소수점 포맷으로 출력된다.
- [0128] 이후, 상기 오프셋 캘리브레이션 블록(110)은 상기 계산한 레퍼런스 채널의 오프셋 값과 상기 각 채널의 오프셋 값에 대한 차이 값을 계산하여 채널별 오프셋 미스매치를 계산하고, 상기 각 채널별 샘플에서 상기 계산한 채널별 오프셋 미스매치를 감산함으로써, 상기 각 채널의 디지털 샘플에 대한 오프셋을 교정한다.
- [0129] 도 10은 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록을 나타낸 블록도이다.
- [0130] 도 10에 도시한 바와 같이 상기 이득 캘리브레이션 블록(120)은 상기 오프셋 캘리브레이션 블록(110)을 통해 채널별로 오프셋 미스매치가 교정된 디지털 샘플을 입력으로 받는다.
- [0131] 또한 상기 오프셋 캘리브레이션 블록(110)으로부터 생성된 상기 동기 신호(off_dv)는 상기 이득 캘리브레이션 블록(120)에서 수행되는 오퍼레이션을 동기화하기 위해 사용되며, 특히 오프셋 교정된 디지털 샘플들을 게인 버퍼에 저장하기 위해 사용된다.
- [0132] 또한 상기 이득 캘리브레이션 블록(120)은 데이터 처리량과 타이밍 요구사항을 만족하기 위해 파이프라인화 되어 있다.
- [0133] 또한 상기 이득 캘리브레이션 블록(120)은 상기 이득 미스매치를 교정하기 위해 상기 채널별 디지털 샘플들을 제공하는 스쿼어 블록(121), 상기 제공한 채널별 디지털 샘플을 각 채널별로 합산하여 각 채널별로 평균값을 계산하는 개별 채널 평균값 측정 블록(122), 상기 제공한 모든 디지털 샘플들을 합산하여 평균값을 계산하는 레퍼

런스 채널 평균값 측정 블록(123) 및 디바이더 블록(124)을 포함하여 구성된다.

- [0134] 한편 상기 스쿼어 블록(121), 상기 개별 채널 평균값 측정 블록(122), 상기 레퍼런스 채널 평균값 측정 블록(123) 및 상기 디바이더 블록(124)은 도13, 도14와 도15, 도 16 및 도 17을 각각 참조하여 상세히 설명하도록 한다.
- [0135] 또한 상기 이득 캘리브레이션 블록(120)은 상기 오프셋 캘리브레이션 블록과 같이 게인 버퍼(미도시)를 포함하여 구성된다.
- [0136] 또한 상기 각 채널별로 오프셋 교정된 디지털 샘플을 어떠한 데이터 프로세싱 없이 상기 게인 버퍼에 저장하고, 상기 저장된 디지털 샘플은 상기 이득 미스매치를 교정하기 위한 마지막 단계에서 사용된다.
- [0137] 한편 상기 게인 버퍼는 상기 오프셋 버퍼(111)와 동일한 기능을 수행하기 때문에 상세한 설명은 생략하도록 한다.
- [0138] 도 11은 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록을 위한 제어 로직의 상태머신을 나타낸다.
- [0139] 도 11에 도시한 바와 같이 상기 이득 캘리브레이션 블록(120)을 위한 제어 로직의 상태머신은 상기 오프셋 캘리브레이션 블록(110)의 상태머신과 동일한 역할을 수행한다.
- [0140] 또한 상기 상태머신은 리드가능(rd_en)신호와 데이터 유효 신호(data_valid)를 포함하는 두 개의 신호를 제어하며, 상기 리드가능 신호는 상기 게인 버퍼로부터 값을 리드하기 위해 사용되며, 상기 데이터 유효 신호는 상기 이득 캘리브레이션 블록(120)과 이득 미스매치 교정이 완료된 데이터 샘플을 처리하는 다음의 블록과의 동기화를 위해 사용된다.
- [0141] 또한 상기 상태머신의 초기 상태는 S0이며, 라이트 포인터(wr_ptr)가 800에 도달하면, 해당 상태는 리셋되거나 다음의 상태로 변한다.
- [0142] 또한 상기 라이트 포인터는 상기 게인 버퍼에 값을 라이트하기 위해 사용되며, 상기 라이트 포인트는 상기 게인 버퍼의 탭스(1024)만큼 카운트한다. 또한 상기 라이트 포인터는 상기 카운트를 시작한 이후, 매 클럭마다 8씩 증가된다.
- [0143] 또한 S1 상태 및 S2 상태는 주로 지연을 위해 사용되고, 이는 다른 블록들의 계산과 동기화를 위해 사용된다.
- [0144] 또한 상기 리드가능 신호와 상기 데이터 유효 신호는 상태 S2에서 S3로 변화되고 시스템이 리셋되거나 스위치 오프 될 때까지 하이 상태로 유지된다.
- [0145] 또한 매 클럭마다 리드 오퍼레이션이 계속 수행되어야 하기 때문에 상기 상태머신은 S3상태를 홀딩한다. 상기 S3상태는 리드 오퍼레이션뿐만 아니라 동시에 라이트 오퍼레이션 또한 수행될 수 있다.
- [0146] 도 12는 본 발명의 일 실시예에 따른 게인 버퍼 로직에 따라 리드 및 라이트 오퍼레이션을 수행하는 절차를 나타낸 흐름도이다.
- [0147] 도 12에 도시한 바와 같이 리드 및 라이트 오퍼레이션을 수행하는 절차는 우선, 상기 오프셋 캘리브레이션 블록(110)으로부터 데이터 유효 신호(dv_in)를 입력받은 경우(S210)에는 상기 게인 버퍼에 상기 오프셋 교정된 데이터 샘플들을 매 클럭마다 라이트하여 저장하고, 상기 라이트 포인터를 8증가 시킨다(S220). 한편 상기 데이터 유효 신호가 입력되지 않은 경우(S210)는 상기 게인 버퍼를 초기화한다(S221).
- [0148] 다음으로 상기 라이트 포인터의 카운터가 800에 도달하면 상기 상태 머신은 상기 리드가능 신호를 하이상태가 되도록 하며, 이러한 경우(S230)상기 이득 캘리브레이션 블록(120)은 상기 게인 버퍼로부터 디지털 샘플을 채널별로 리드하거나 게인 버퍼로 상기 디지털 샘플을 라이트하고(S240), 매 클럭마다 상기 리드 포인터와 라이트 포인터를 8씩 증가 시킨다.
- [0149] 한편 상기 리드가능 신호가 하이상태에 있지 않은 경우(S230) 상기 이득 캘리브레이션 블록(120)은 상기 라이트 오퍼레이션을 계속 수행하며, 매 클럭마다 라이트 포인터를 8증가 시키고(S231), 상기 상태 머신이 생성한 리드가능(rd_en) 신호가 하이 상태가 될 때 까지 대기한다.
- [0150] 다음으로 상기 리드 포인터의 카운터 값이 1016에 도달하면(S250) 상기 리드 포인터의 카운터 값을 0으로 초기화하여(S260), 상기 후면 교정 장치(100)가 리셋되거나 스위치 오프될 때까지(S270) 상기 리드 및 라이트 오퍼레이션을 계속 수행한다.

- [0151] 도 13은 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록에 있어서, 스퀘어 블록을 나타낸 블록도이다.
- [0152] 상기 이득 캘리브레이션 블록(120)에서 이득에 대한 교정을 수행하는 첫 번째 단계는 각 채널의 입력을 제공하는 것이다.
- [0153] 상기 스퀘어 블록(121)은 8개의 멀티플라이어를 기반으로 고속 데이터 처리 회로를 생성하기 위해 파이프라인화 되어 있다. 또한 상기 스퀘어 블록의 출력은 26비트이다.
- [0154] 도 14 및 도 15는 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록에 있어서, 개별 채널 평균값 측정 블록을 나타낸 블록도이다.
- [0155] 한편 상기 오프셋 캘리브레이션 블록(110)과 상기 이득 캘리브레이션 블록(120)의 미스매치의 교정에 대한 계산의 관점에 있어서 일정부분 유사하다. 즉, 상기 두 블록 모두 512 디지털 샘플에 대한 모든 채널의 디지털 샘플의 합과 개별 채널의 디지털 샘플의 합을 필요로 한다.
- [0156] 또한 상기 이득 캘리브레이션 블록(120)은 상기 측정된 합의 평균을 계산하여 이득 미스매치에 대한 교정을 수행한다.
- [0157] 그러나 상기 두 블록의 차이는 상기 이득 캘리브레이션 블록(120)에서의 합은 상기 각 채널로부터 입력되는 디지털 샘플들에 제공을 취한 후, 합을 계산하는 것이다.
- [0158] 도 14 및 도 15에 도시한 바와 같이, 상기 오프셋 캘리브레이션 블록(110)에서 수행한 것과 같이, 개별 채널 평균값 측정 블록(122)은 상기 스퀘어 블록(121)에서 각 채널별로 제공된 디지털 샘플에 대해서 각 채널별로 64 디지털 샘플들의 합을 계산한다.
- [0159] 또한 상기 개별 채널 평균값 측정 블록(122)은 재귀 레지스터를 사용하여 카운터가 64에 도달할 때까지 반복적으로 각 채널의 합을 계산하여, 매 64클럭 사이클 마다 각 채널별 합을 생성(ug1_out0에서 ug1_out7)한다.
- [0160] 또한 상기 개별 채널 평균값 측정 블록(122)은 상기 계산한 채널별 합을 기 저장한 특정 컨스턴트값(1/64)과 곱하여 각 채널별 평균값을 계산한다.
- [0161] 또한 상기 특정 컨스턴트값은 (19,18)의 고정 소수점 포맷으로 저장된다.
- [0162] 또한 상기 각 채널별 평균값은 (50,24)의 길이를 가지며, 26비트는 십진수 영역(decimal part)을 나타내면 24비트는 소수 영역을 나타낸다.
- [0163] 도 16은 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록에 있어서, 레퍼런스 채널 평균값 측정 블록을 나타낸 블록도이다.
- [0164] 도 16에 도시한 바와 같이, 상기 레퍼런스 채널 평균값 측정 블록(123)은 상기 스퀘어 블록(121)의 출력값을 입력으로 하여 모든 채널의 디지털 샘플들에 대한 총합(ug4_out)에 평균값을 계산한다.
- [0165] 즉, 상기 레퍼런스 채널 평균값 측정 블록(123)은 상기 총합을 기 저장한 특정 컨스턴트값(1/512)과 곱하여 레퍼런스 채널의 평균값을 측정한다.
- [0166] 또한 상기 총합을 계산하는 메카니즘은 상기 오프셋 캘리브레이션 블록(110)의 레퍼런스 채널 오프셋 측정 블록(113)과 동일한 메카니즘으로 수행되며 상세한 설명은 생략하도록 한다.
- [0167] 도 17은 본 발명의 일 실시예에 따른 디바이더 블록을 나타낸 블록도이다.
- [0168] 도 17에 도시한 바와 같이 상기 디바이더 블록(124)은 상기 후면 교정 장치(100)의 설계에 대한 복잡도를 고려하여 시놉시스(synopsys) 디바이더 IP를 사용하여 설계되었으며, 순차 디바이더이다.
- [0169] 또한 상기 시놉시스 디바이더 IP는 주어진 클럭의 수에 따라 나눗셈 연산을 수행하며, 출력결과는 출력 유효신호, 몫 및 나머지이다.
- [0170] 또한 상기 디바이더 블록(124)은 이득 미스매치가 교정된 출력을 생성하기 위해 제수로서 활용되는 이득 레퍼런스를 계산하고, 상기 결과는 1에 매우 가깝거나 1미만이다.
- [0171] 한편 상기 시놉시스 디바이더 IP에 대한 포뮬러(formula)에 따르면, 각 채널에 대한 계산의 경우, 24비트의 소수점을 포함하는 총 50비트의 피제수가 필요하며, 8비트의 소수점을 포함하는 총 34비트의 제수가 필요하다.
- [0172] 또한 상기 디바이더 IP는 각 채널별로 인스턴스화되어 있으며, 각 채널별로 나눗셈 연산을 수행한다.

- [0173] 또한 상기 디바이더 블록(124)의 입력은 대기(hold)신호, 시작(start)신호, 제수 및 피제수이다.
- [0174] 상기 대기신호는 계산 후의 결과에 대한 대기 여부를 나타내며, 상기 대기 신호가 하이 상태이면, 해당 디바이더 IP의 결과는 다음 디바이더 IP의 계산이 완료될 때 까지 대기한다.
- [0175] 또한 dv_ugsum신호는 동기화 지연을 통과한 후, 상기 디바이더 블록을 위한 시작 신호로 상기 개별 채널 평균값 측정 블록(122)에서 생성된 신호이다.
- [0176] 또한 상기 시작 신호는 상기 디바이더 IP의 오퍼레이션을 시작하기 위해 1클럭 동안 무조건 하이 상태가 된다.
- [0177] 또한 각 채널을 위한 피제수는 상기 개별 채널 평균값 측정 블록(122)에서 생성되며, 상기 레퍼런스 채널 평균값 측정 블록(123)에서 계산한 레퍼런스 채널의 평균값이 제수가 되어 상기 피제수를 나눈다.
- [0178] 또한 상기 디바이더 블록(124)의 출력으로써, 나머지(rem0)는 상기 제수와 동일한 비트를 가지며, 몫(quo0)은 상기 피제수와 같은 비트를 가진다.
- [0179] 또한 상기 디바이더 블록(124)은 상기 절차가 완료되지 않을 경우에는 20 언노운(unknown)신호를 생성한다.
- [0180] 또한 상기 디바이더 블록(124)은 각 채널의 디지털 샘플에 대한 이득 미스매치를 교정하기 위해 상기 첫 번째 채널의 평균값을 상기 레퍼런스 채널의 평균값으로 나누어 첫 번째 채널의 몫을 계산하고, 나머지 채널의 이득 미스매치에 대한 계산은 나머지 각 채널의 평균값을 상기 첫 번째 채널의 평균값으로 나누어 몫을 계산한다.
- [0181] 또한 상기 디바이더 블록(124)의 출력은 DFF로 제공되고, 상기 DFF는 상기 출력의 최상위 32비트를 절단하여 19비트((19,16)의 고정 소수점 포맷)의 신호를 출력한다.
- [0182] 이렇게 상기 디바이더 블록(124)의 출력을 절단하는 이유는 각 개별 채널의 이득 미스매치가 1에 최근접하고, 범위 0-5로 정의되기 때문이다.
- [0183] 따라서 십진부 부분을 위해 제공되는 3비트와 소수 부분을 위해 제공되는 16비트는 추가적인 프로세싱을 위해 적절하다.
- [0184] 또한 상기 디바이더 블록(124)에서 출력되는 각 채널의 몫(quo0에서 quo7)은 각 채널별 이득 매스매치의 교정을 위해 사용된다.
- [0185] 한편 도 17은 상기 복수의 채널 중 첫 번째 채널에서 수행되는 것을 도시한 블록도이지만, 상기 디바이더(124)는 상술한 바와 같이 상기 복수의 채널에 대해서 수행된다.
- [0186] 도 18은 본 발명의 일 실시예에 따른 이득 캘리브레이션 블록의 전반적인 구조를 나타낸 블록도이다.
- [0187] 도 18에 도시한 바와 같이 상기 디바이더 블록(124)의 출력(quo0에서 quo7)은 EDF를 통해 절단되며, 상기 절단된 상기 디바이더 블록(124)의 출력은 각 채널별 멀티플라이어를 통해 각 채널별 디지털 샘플에 대한 이득 미스매치의 교정을 위해 사용된다.
- [0188] 또한 상기 멀티플라이어는 상기 게인 버퍼로부터 오프셋이 교정된 각 채널별 디지털 샘플을 입력으로 취하여, 상기 디바이더 블록(124)에서 출력된 각 채널별 몫을 상기 채널별 디지털 샘플에 곱하여 각 채널별 디지털 샘플에 대한 이득 미스매치를 교정한다.
- [0189] 또한 상기 각 멀티플라이어의 출력은 오프셋 미스매치와 이득 미스매치가 교정된 각 채널의 디지털 샘플로써, DFF에 의해 소수부분은 절단되어지고, 유일하게 십진수 부분의 비트만으로 생성된다. 한편 상기 십진수 부분은 13비트이다.
- [0190] 도 19 내지 도 22는 본 발명의 일 실시예에 따른 스무딩 블록을 나타낸 블록도이다.
- [0191] 도 19 내지 도 22는 도시한 바와 같이 상기 스무딩 블록(130)은 상기 이득 캘리브레이션 블록(120)의 이득 미스매치를 교정하는 과정에서 발생할 수 있는 스파이크들을 제거한다.
- [0192] 또한 상기 스무딩 블록(130)은 스무딩 버퍼를 포함하여 구성되며, 상기 스무딩 버퍼는 상기 이득 캘리브레이션 블록(120)으로부터 출력되는 채널별 디지털 샘플들을 저장하여, 상기 오프셋 버퍼(111)와 동일한 기능을 수행한다.
- [0193] 상기 이득 미스매치가 교정된 디지털 샘플들이 상기 스무딩 블록(130)의 입력이 되며, 상기 오프셋 캘리브레이션 블록(110)과 같은 동일한 절차와 동일한 기능을 수행한다. 그러나 상기 오프셋 캘리브레이션 블록(110)과

상기 스무딩 블록(130)의 디지털 샘플의 워드 길이는 다르며, 또한 오류 교정을 위해 요구되는 정밀도 역시 다르기 때문에 상기 오프셋 캘리브레이션 블록(110)을 재사용하지 않는다.

- [0194] 또한 상기 스무딩 블록(130)은 각 채널별 디지털 샘플의 합에 평균을 취하여 각 채널별 평균값을 계산하고, 상기 모든 채널 디지털 샘플의 합에 평균을 위하여 레퍼런스 채널의 평균값을 계산한다.
- [0195] 또한 상기 채널별 평균값은 상기 각 채널별 합에 특정 컨스턴트값(1/65)을 각각 곱하여 계산되며, 상기 레퍼런스 채널의 평균값은 상기 모든 채널의 합에 특정 컨스턴트값(1/520)을 곱하여 계산된다.
- [0196] 도 20에 도시한 바와 같이 상기 스무딩 블록(130)은 이득 미스매치가 교정된 모든 채널의 디지털 샘플들을 합산하여, 상기 특정 컨스턴트값을 기반으로 하는 멀티플라이어를 통해 레퍼런스 채널의 평균값을 계산한다.
- [0197] 상기 레퍼런스 채널의 평균값에 대한 계산은 상기 오프셋 캘리브레이션 블록(110)과 같이 동일한 절차에 의해 수행되므로 상세한 설명은 생략하도록 한다.
- [0198] 또한 도 21에 도시한 바와 같이 상기 스무딩 블록(130)은 각 채널별로 샘플들을 합산하여, 특정 컨스턴트값인 1/65를 기반으로 하는 멀티플라이어를 통해 각 채널별 평균값을 계산한다.
- [0199] 또한 상기 계산한 각 채널별 평균값과 상기 레퍼런스 채널의 평균값의 차이를 계산함으로써, 상기 스파이크에 의한 각 채널의 오류를 측정한다.
- [0200] 또한 상기 스무딩 블록(130)은 상기 스무딩 버퍼로부터 각 채널별 디지털 샘플을 리드하여, 상기 리드한 각 채널별 디지털 샘플에서 상기 계산한 각 채널의 스파이크에 의한 오류를 감산함으로써, 상기 스파이크에 의한 오류를 각 채널별로 교정하여 출력신호(smth_out0에서 smth_out7)를 생성하여 출력한다.
- [0201] 한편 상기 스무딩 블록(130)에서 상기 스파이크에 의한 오류를 교정하는 일련의 과정은 상기 오프셋 블록(110)과 동일한 절차에 의해 수행되므로 상세한 설명은 생략하도록 한다.
- [0202] 도 23은 본 발명의 일 실시예에 따른 시간 캘리브레이션 블록을 나타낸 블록도이다.
- [0203] 도 23에 도시한 바와 같이 상기 시간 캘리브레이션 블록(140)의 입력은 상기 스무딩 블록(130)에서 스파이크에 의한 오류가 교정된 채널별 디지털 샘플이다.
- [0204] 한편 상기 시간 캘리브레이션 블록(140)은 입력버퍼(141), FIR필터 모듈(142), 출력버퍼(143) 및 2의 보수 컨버터(144)를 포함하여 구성되며, 상기 입력버퍼(141), 상기 FIR필터 모듈(142), 상기 출력버퍼(143) 및 상기 컨버터(144)는 각각 도 24, 도 25, 도 26 및 도 27을 참조하여 상세히 설명하도록 한다.
- [0205] 또한 1비트 입력 wr_enable 신호는 상기 입력을 저장하기 시작하는 시간 캘리브레이션 블록의 입력버퍼(141)에 대한 지점(point)을 상기 시간 캘리브레이션 블록(140)에게 통보하는 역할을 수행한다.
- [0206] 또한 상기 시간 캘리브레이션 블록(140)은 상기 입력되는 디지털 샘플들을 프로세싱하여 시간 미스매치가 교정된 디지털 샘플을 채널별로 출력(OUTPUT1에서 OUTPUT7)하며, 상기 출력은 13비트의 언사인드 (unsigned)정수이며, 2의 보수 컨버터 블록(144)으로 제공된다.
- [0207] 도 24는 본 발명의 일 실시예에 따른 시간 캘리브레이션 블록에 있어서, 입력버퍼를 나타낸 블록도이다.
- [0208] 도 24에 도시한 바와 같이 enable신호가 상기 입력버퍼(141)에 입력되면 상기 입력버퍼(141)는 상기 스무딩 블록(130)으로부터 제공되는 각 채널별 디지털 샘플들을 저장하기 시작한다.
- [0209] 또한 상기 입력버퍼(141)는 매 저장 시 마다 라이트 포인터의 카운터 값을 8씩 증가시키고, 상기 입력버퍼(141)의 마지막 슬롯까지 연속적으로 상기 채널별 디지털 샘플들을 저장한다. 또한 상기 입력버퍼(141)의 텡스는 512이고 폭(width)은 13비트이다.
- [0210] 또한 상기 입력버퍼(141)는 상기 라이트 포인터의 카운터 값에 대한 증가가 시작된 후, 상기 라이트 포인터의 카운터 값이 8에 도달하게 되면 Read_Enable1 신호를 생성하며, 상기 Read_Enable1 신호는 FIR필터 모듈(142)을 위한 상기 입력버퍼(141)의 출력(buf_out1)의 결과를 나타낸다.
- [0211] 한편 상기 FIR필터 모듈(142)에 존재하는 지연에 의해 신호의 왜곡이 발생하기 때문에 상기 입력버퍼(141)가 출력하는 bypass_en과 bypass는 상기 FIR필터 모듈(142)의 첫 번째 값을 적절한 값으로 대체하기 위함이다.
- [0212] 또한 상기 라이트 포인터의 카운터 값이 72, 136, 200, 264, 328, 392 및 456에 도달할 때, 상기와 동일한 방법으로, 상기 입력버퍼(141)는 buffer1에서 buffer7에 저장되어 있는 각각의 디지털 샘플, 각 Read_Enable,

bypass_enable, bypass 신호를 Buffer에 상응하는 FIR필터 모듈(142)로 각각 전송한다.

- [0213] 도 25는 본 발명의 일 실시예에 따라 시간 캘리브레이션 블록에 있어서, FIR필터 모듈을 나타낸 블록도이다.
- [0214] 도 25에 도시한 바와 같이 상기 FIR필터 모듈(142)은 각 채널별로 구성되며(8채널 TI ADC인 경우, 총 8개로 구성됨), 상기 FIR필터 모듈(142)을 구성하는 FIR필터는 1차 저역통과필터이다.
- [0215] 또한 상기 FIR필터의 입력은 상기 입력버퍼(141)로부터 제공되며, 상기 입력은 고속 데이터 처리를 위해 파이프라인화된다.
- [0216] 우선, 상기 FIR필터 모듈(142)은 상기 각 채널별 디지털 샘플들을 아무런 프로세싱 없이 필터계수(0,5) 멀티플라이어를 통해 패치시킨 후, 상기 디지털 샘플들을 DFF에 의해 지연 시킨다. 동시에 상기 FIR필터 모듈(142)은 상기 각 채널별 디지털 샘플들을 먼저 DFF를 이용하여 지연시킨 후, 상기 DEF에 의해 지연된 상기 채널별 디지털 샘플들을 다시 상기 필터계수 멀티플라이어를 이용하여 패치한다. 한편 상기 두 번째 패치는 13비트 bypass 신호와 다중화(multiplexed)되며, 상기 다중화는 bypass_en신호에 의해 제어된다. 이때 상기 FIR필터에 의해 출력되는 신호는 지연으로 인해 왜곡되어 있기 때문에 상기 bypass와 bypass_en신호를 사용하여 상기 출력되는 신호를 교정한다.
- [0217] 또한 상기 두개의 필터계수 멀티플라이어에 의해 필터링된 채널별 출력은 하나의 에더에 의해 가산되며, 각 채널별로 필터링된 신호들은 적절한 출력을 생성하기 위해 특정 컨트론티값(1.03125)과 곱해진 후, 시간 미스매치를 피하기 위해 파이프라인화 된다.
- [0218] 또한 상기 FIR필터 모듈(142)의 최종 출력(fout1에서 fout8)은 14비트이며, 각 채널별 버퍼 유효 신호(buf_en0에서 buf_en7)와 함께 상기 출력버퍼(143)로 제공된다.
- [0219] 도 26은 본 발명의 일 실시예에 따른 시간 캘리브레이션 블록에 있어서, 출력버퍼를 나타낸 블록도이다.
- [0220] 도 26에 도시한 바와 같이, 상기 출력버퍼(143)의 뎀스는 512이며, 폭(width)은 14비트이다.
- [0221] 또한 상기 출력버퍼(143)는 상기 FIR필터 모듈(142)로부터 상기 버퍼 유효 신호를 수신하였을 때 상기 FIR필터 모듈(142)에서 제공되는 디지털 샘플들을 저장하기 시작한다.
- [0222] 또한 상기 각각의 버퍼 유효 신호는 상기 출력버퍼(143)의 0구역에서 7구역을 위한 것이며, 상기 각각의 버퍼 유효 신호가 수신되면 상기 출력버퍼(143)는 상기 각 구역별 라이트 포인터(write_pointer0에서 write_pointer7)을 증가시키며, 상기 각 채널별 FIR필터 모듈(142)을 순차적으로 저장한다.
- [0223] 또한 상기 라이트 포인터의 카운터 값은 상기 write_point0을 시작으로 해서 write_point7까지 순차적으로 증가되며, 상기 write_point7의 카운터 값이 7에 도달하면 상기 출력버퍼(143)는 상기 저장한 샘플들을 출력하기 시작한다.
- [0224] 또한 상기 출력은 buffer0에서부터 시작되며, 상기 출력버퍼(143)는 리드 카운터를 이용하여 상기 출력을 제어한다. 또한 상기 리드 카운터는 매 클럭마다 8씩 증가되며, 상기 출력버퍼(143)는 상기 리드 카운터에 따라 상기 buffer0에서 buffer7에 저장된 샘플을 순차적으로 출력한다.
- [0225] 도 27은 본 발명의 일 실시예에 따른 시간 캘리브레이션 블록에 있어서, 언사인드 2의 보수 컨버터를 나타낸 블록도이다.
- [0226] 한편 상기 시간 캘리브레이션 블록(140)의 전반적인 프로세싱은 언사인드 데이터로 수행된다(즉, 양의 정수로 수행됨).
- [0227] 도 27에 도시한 바와 같이 언사인드 2의 보수 컨버터(144)는 상기 후면 교정 장치(100)의 출력에 추가된다.
- [0228] 또한 14비트 최종 출력(out0에서 out7)은 기본적으로 2의 보수 형식으로 되어 있으며, select_unsign신호가 1이면 상기 컨버터(144)는 언사인드 출력을 제공한다.
- [0229] 이상에서 설명하였듯이, 본 발명인 M채널 TI ADC에서 미스매치에 대한 디지털 후면 교정 장치는 덧셈, 뺄셈 및 곱셈 연산을 기반으로 오프셋 미스매치, 이득 미스매치 및 시간 미스매치를 교정함으로써, 교정에 소요되는 시간을 현저하게 줄일 수 있는 효과가 있다.
- [0230] 또한 본 발명은 상기 오프셋 미스매치, 이득 미스매치를 디지털 신호의 통계적인 특징을 기반으로 하여 교정하며, 상기 시간 미스매치는 FIR필터를 기반으로 교정함으로써, 하드웨어 대한 복잡도를 낮추고 하드웨어 자원의

효율성을 높이는 효과가 있다..

[0231] 상기에서는 본 발명에 따른 바람직한 실시예를 위주로 상술하였으나, 본 발명의 기술적 사상은 이에 한정되는 것은 아니며 본 발명의 각 구성요소는 동일한 목적 및 효과의 달성을 위하여 본 발명의 기술적 범위 내에서 변경 또는 수정될 수 있을 것이다.

[0232] 또한, 이상에서는 본 발명의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 본 발명은 상술한 특성의 실시 예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변형 실시가 가능한 것은 물론이고, 이러한 변형 실시들은 본 발명의 기술적 사상이나 전망으로부터 개별적으로 이해되어서는 안 될 것이다.

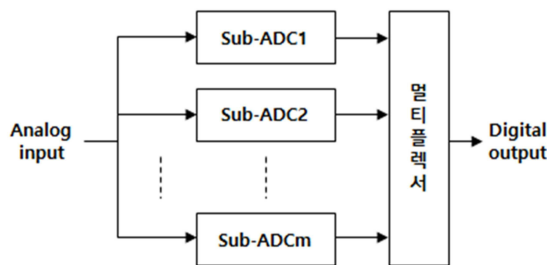
부호의 설명

- [0233] 100 : 디지털 후면 교정 장치 110 : 오프셋 캘리브레이션 블록
 111 : 오프셋 버퍼 112 : 레퍼런스 채널 오프셋 측정 블록
 113 : 개별 채널 오프셋 측정 블록 120 : 이득 캘리브레이션 블록
 121 : 스쿼어 블록 122 : 개별 채널 평균값 측정 블록
 123 : 레퍼런스 채널 평균값 측정 블록 124: 디바이더 블록
 130 : 스무딩 블록 140 : 시간 캘리브레이션 블록
 141 : 입력버퍼 142 : FIR필터 모듈
 143 : 출력버퍼 144 : 언사인드 2의 보수 컨버터

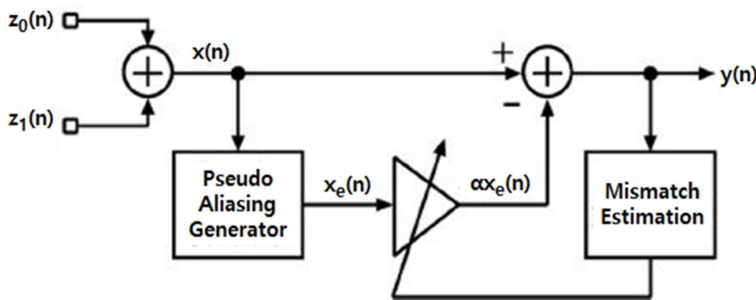
도면

도면1

중래기술

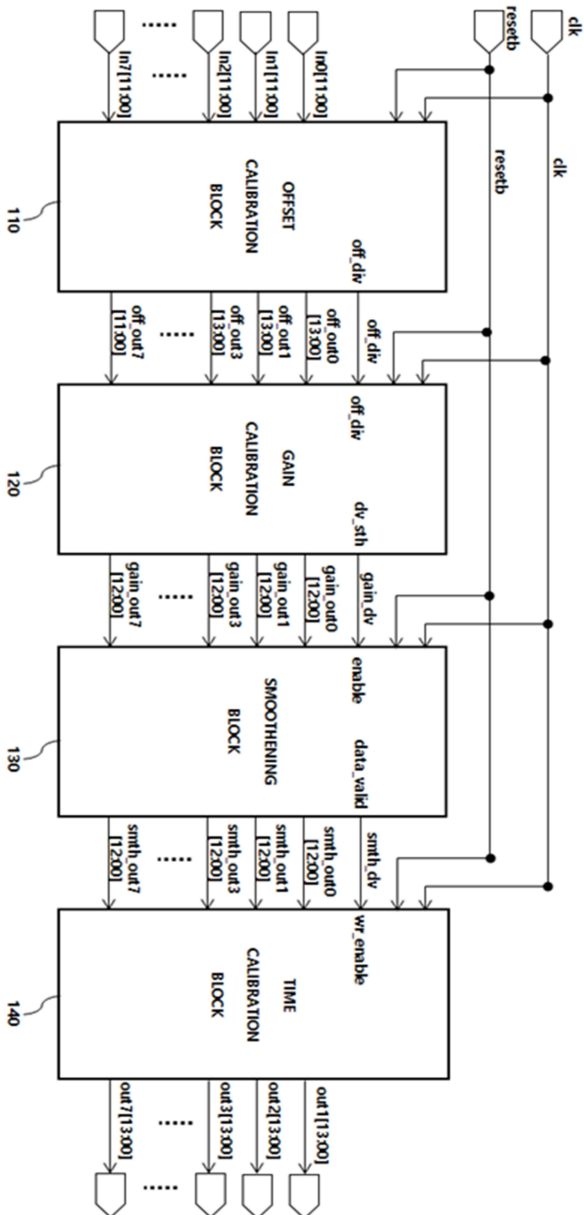


(a)



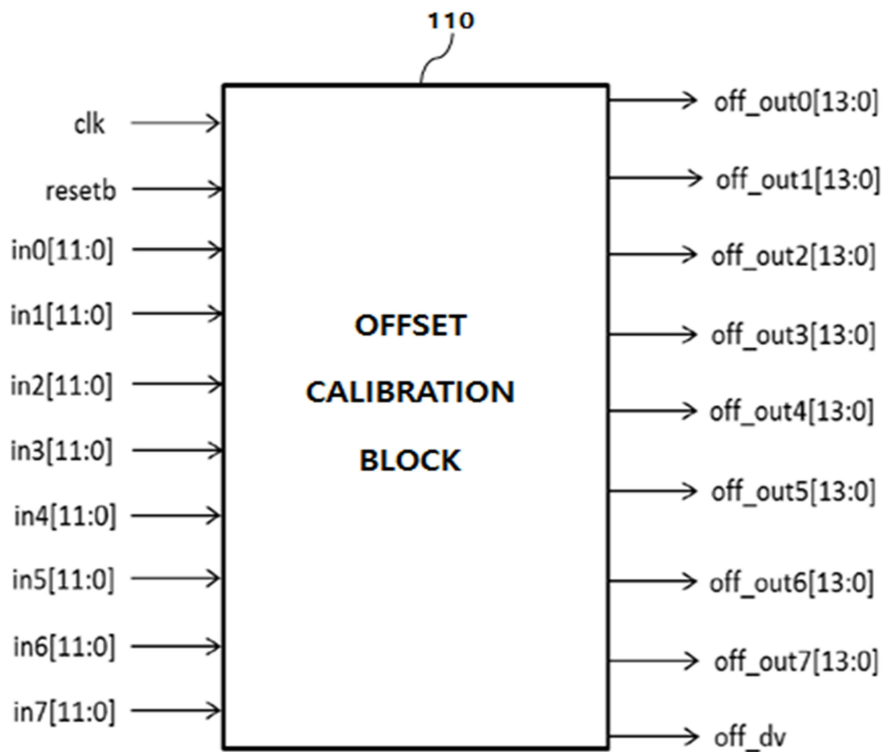
(b)

도면2

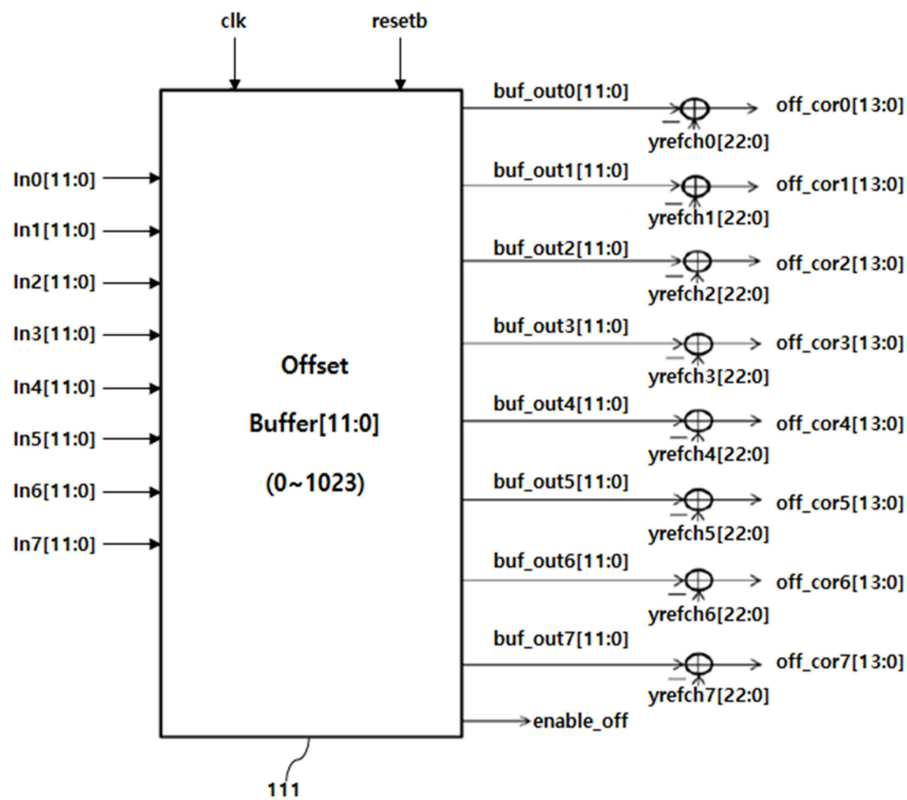


디지털 필터 계수 보정 장치(100)

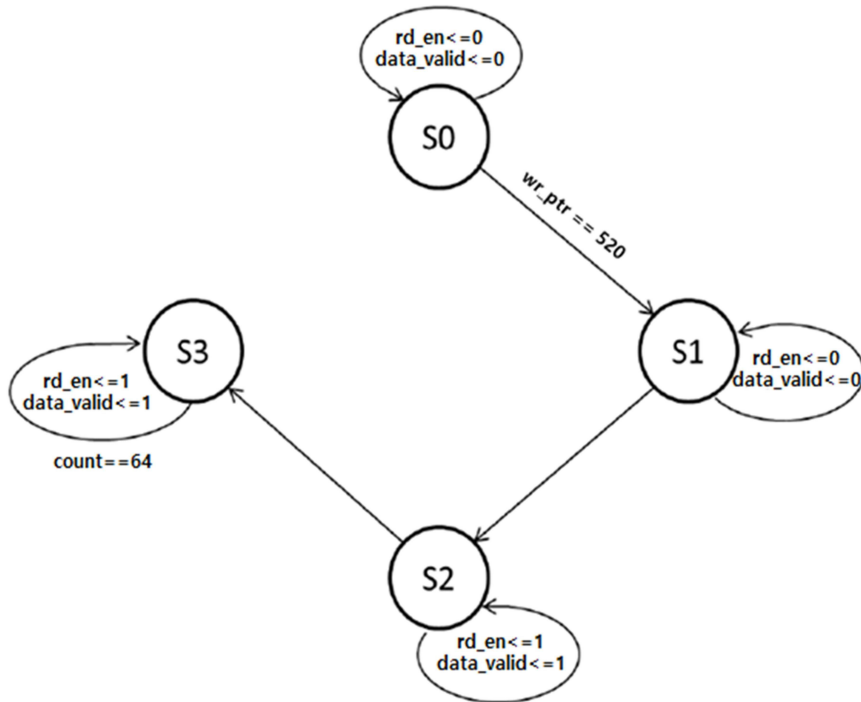
도면3



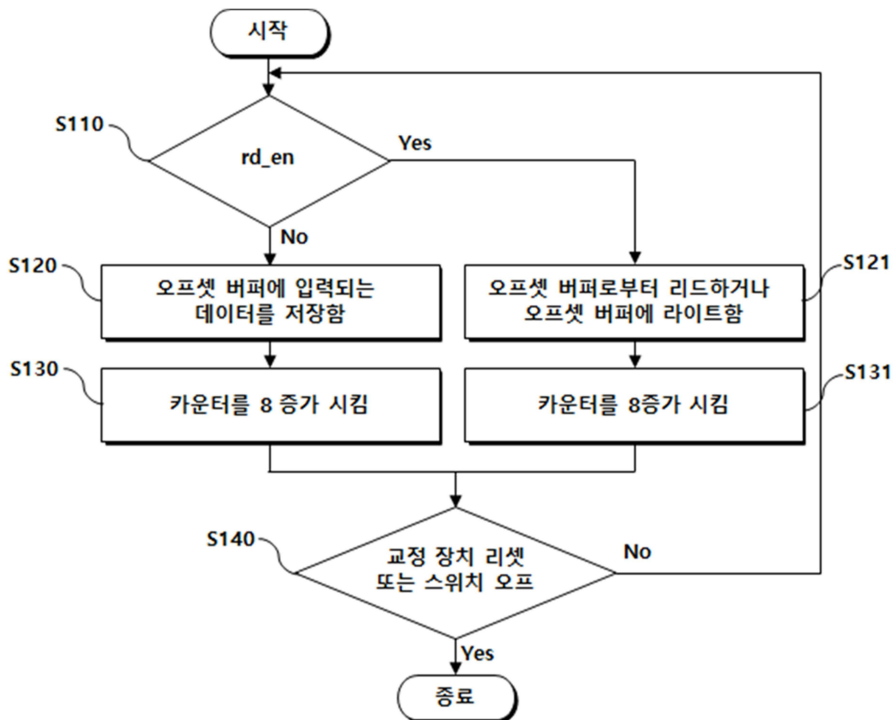
도면4



도면5

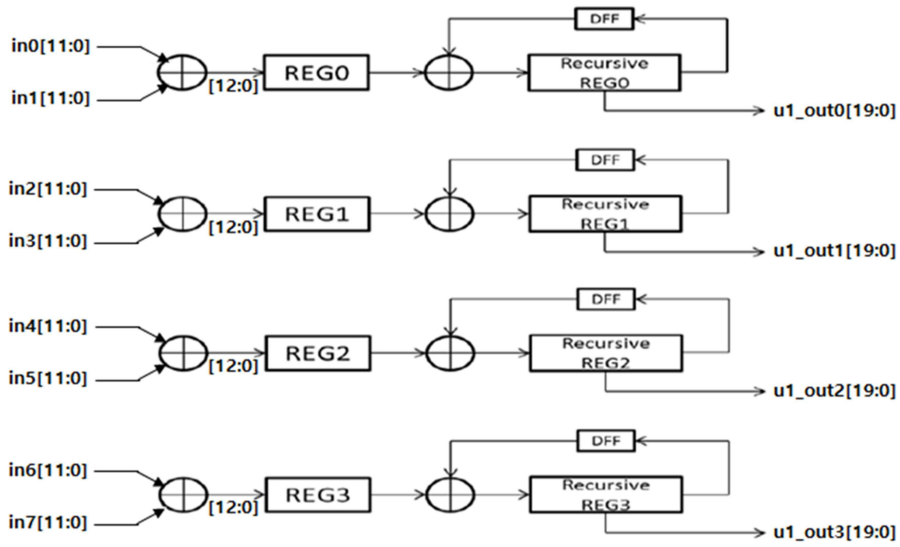


도면6



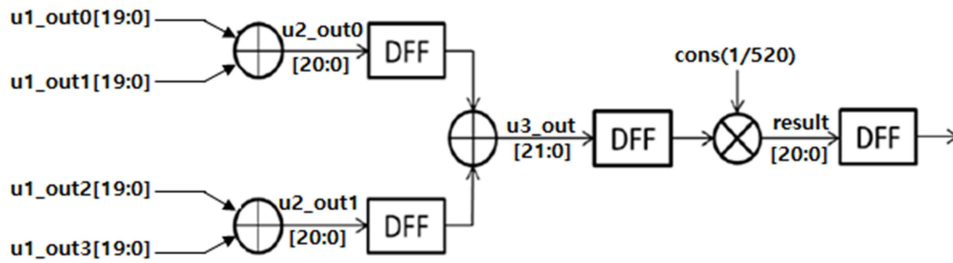
도면7

레퍼런스 채널 오프셋 측정 블록(112)



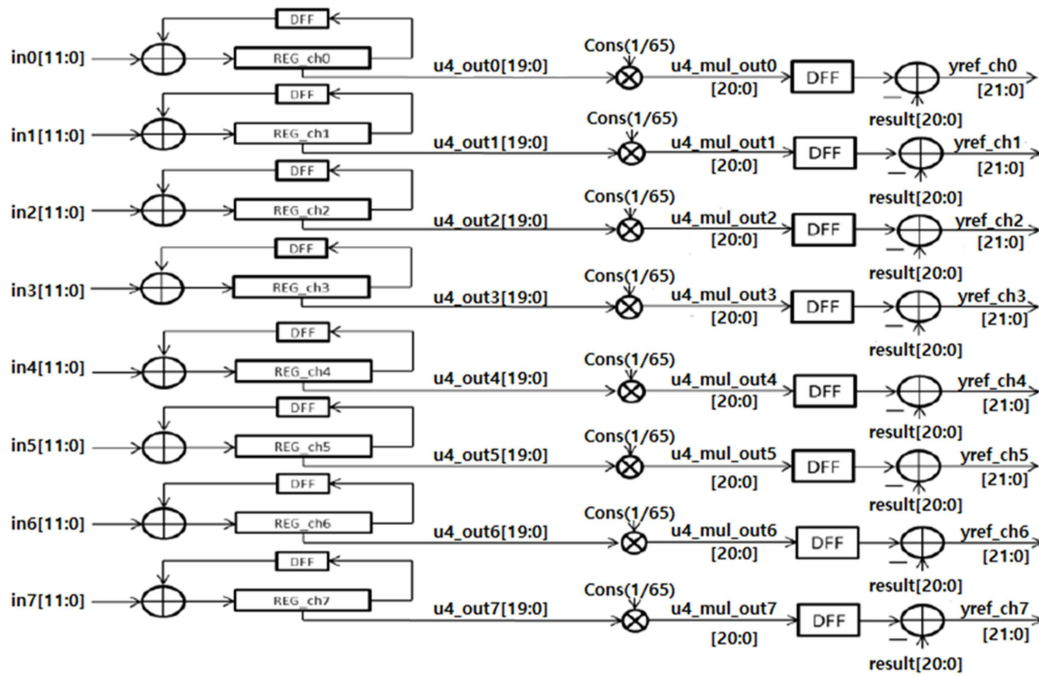
도면8

레퍼런스 채널 오프셋 측정 블록(112)

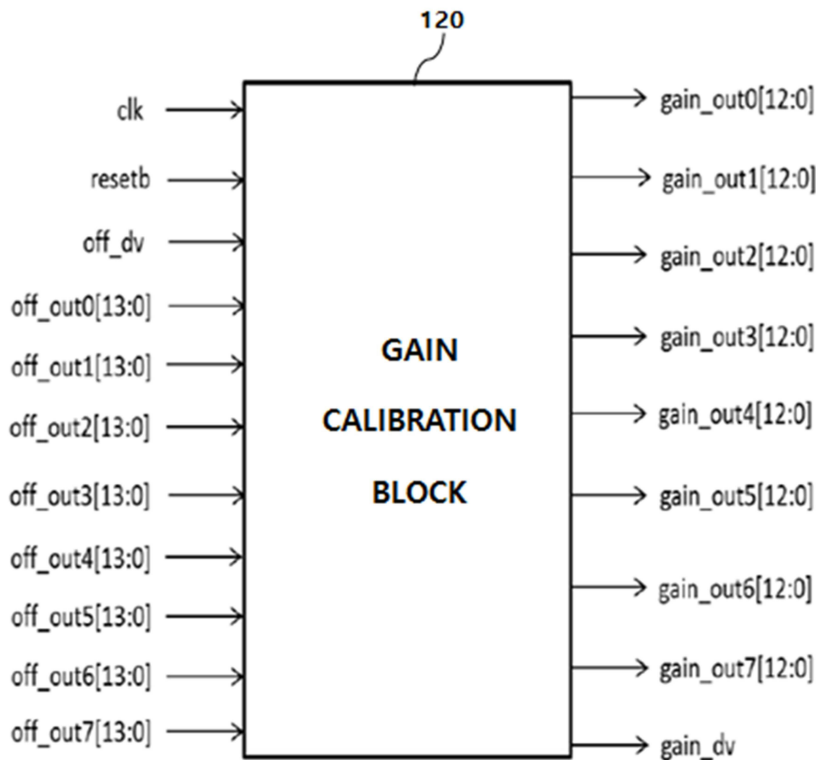


도면9

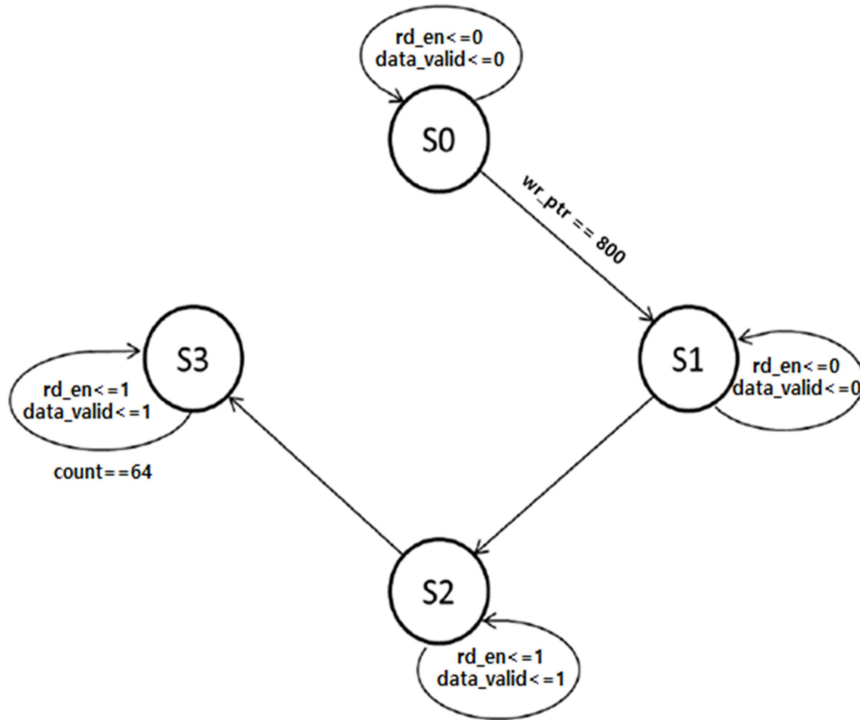
개별 채널 오프셋 측정 블록(113)



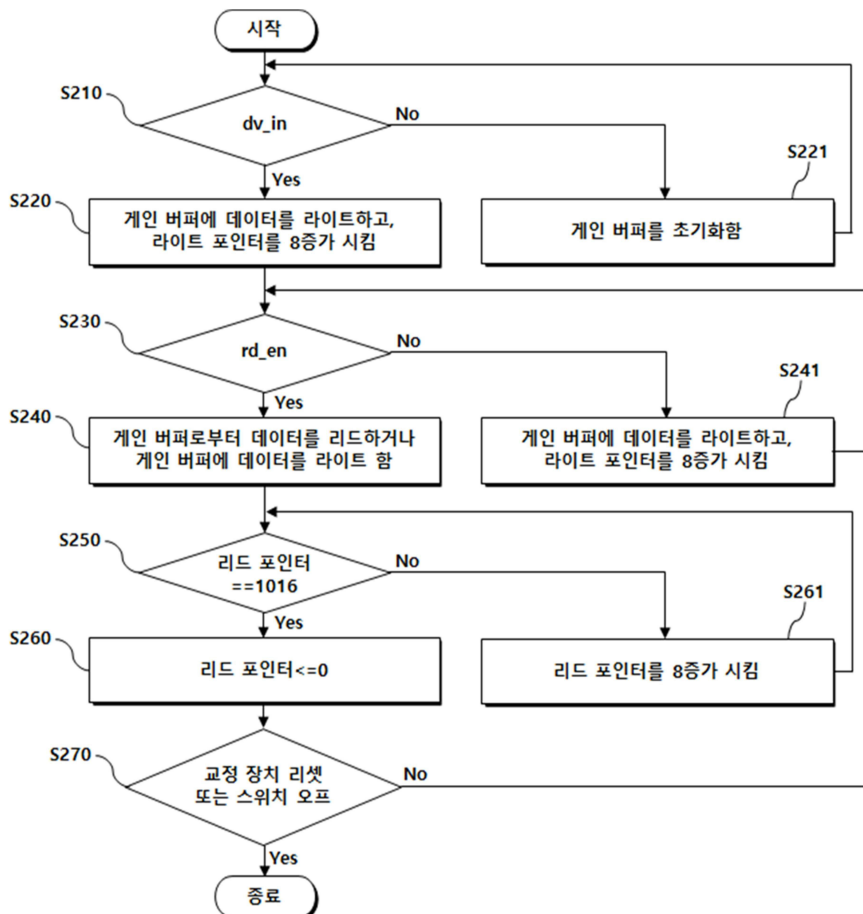
도면10



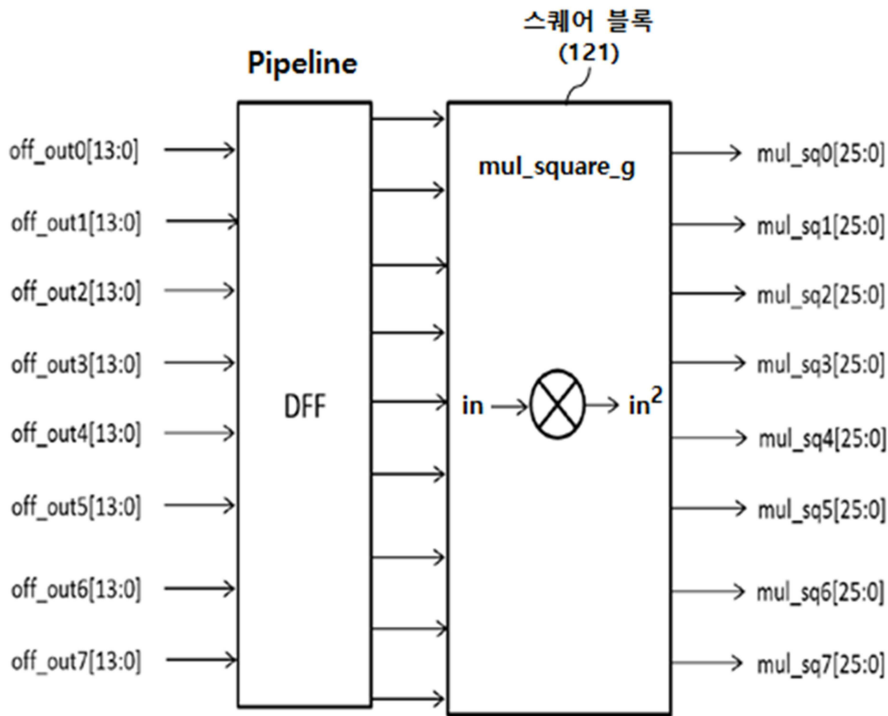
도면11



도면12

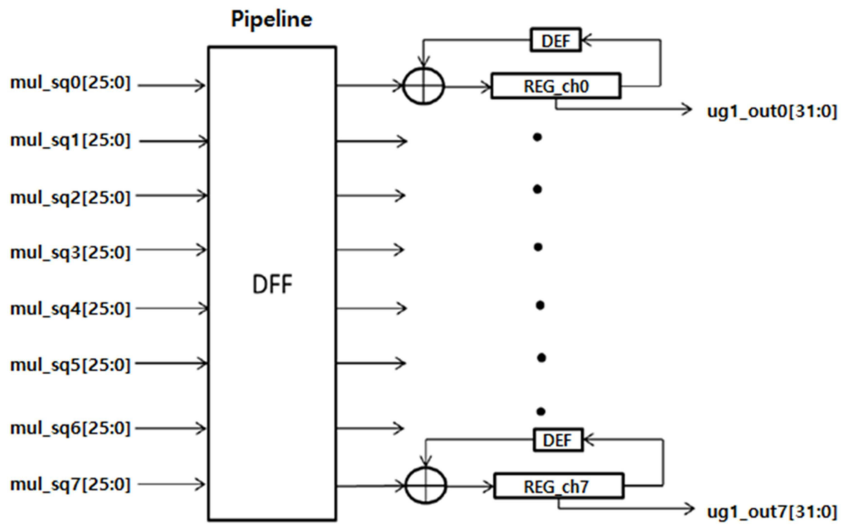


도면13



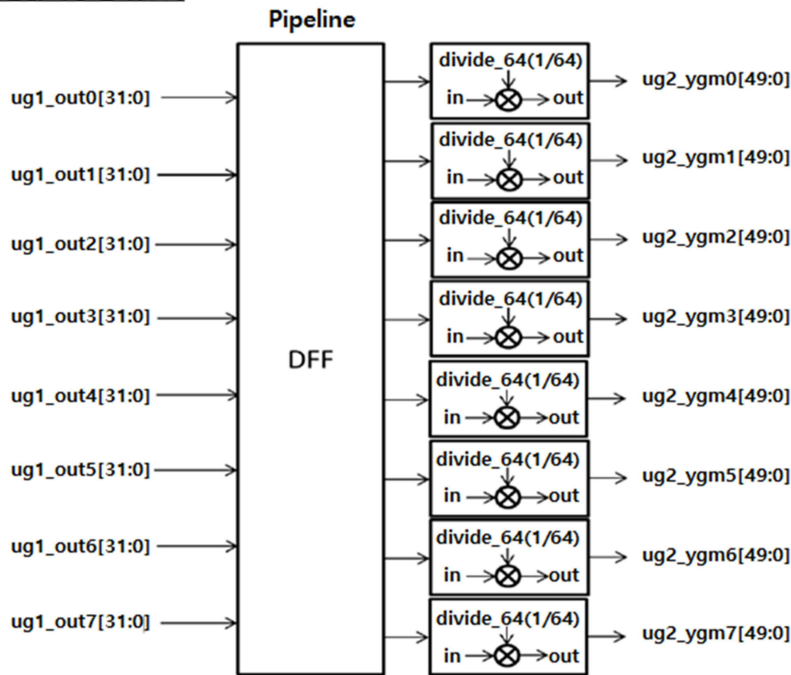
도면14

개별 채널 평균값 측정 블록(122)



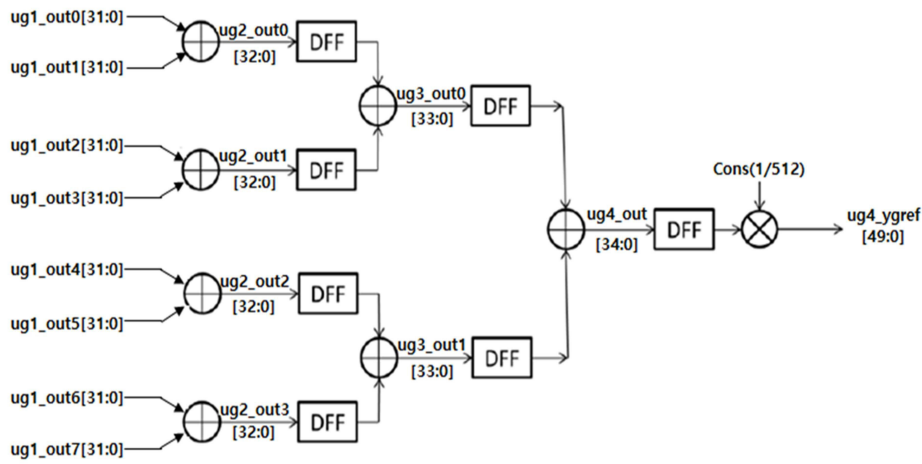
도면15

개별 채널 평균값 측정 블록(122)

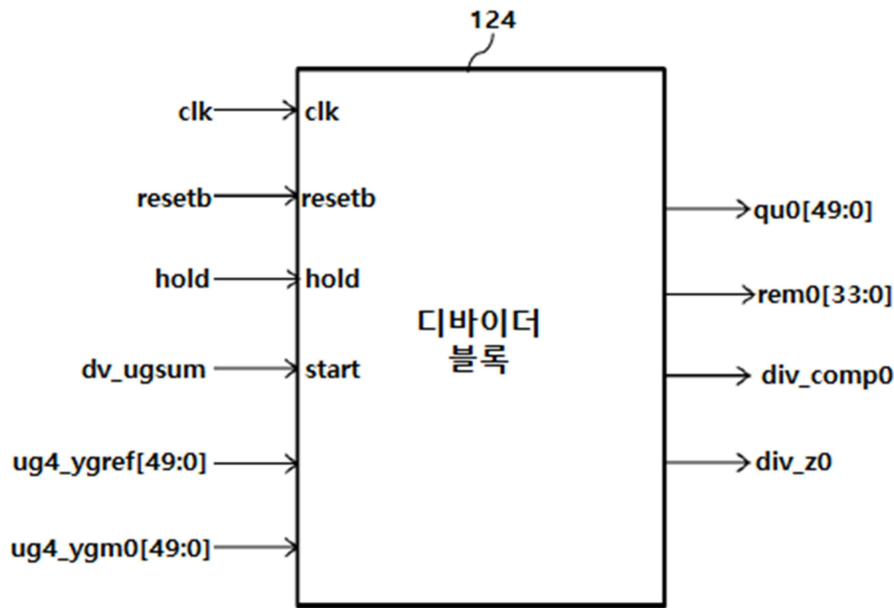


도면16

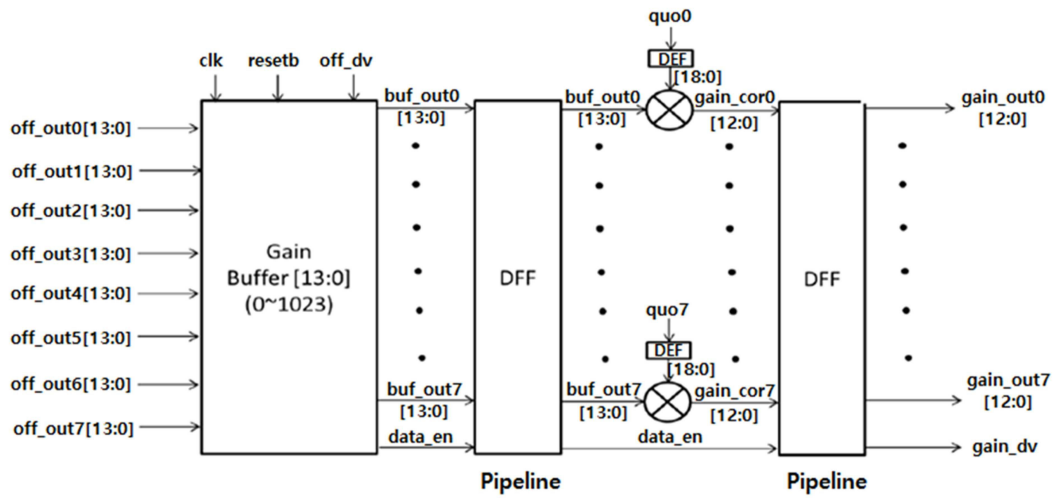
레퍼런스 채널 평균값 측정 블록(123)



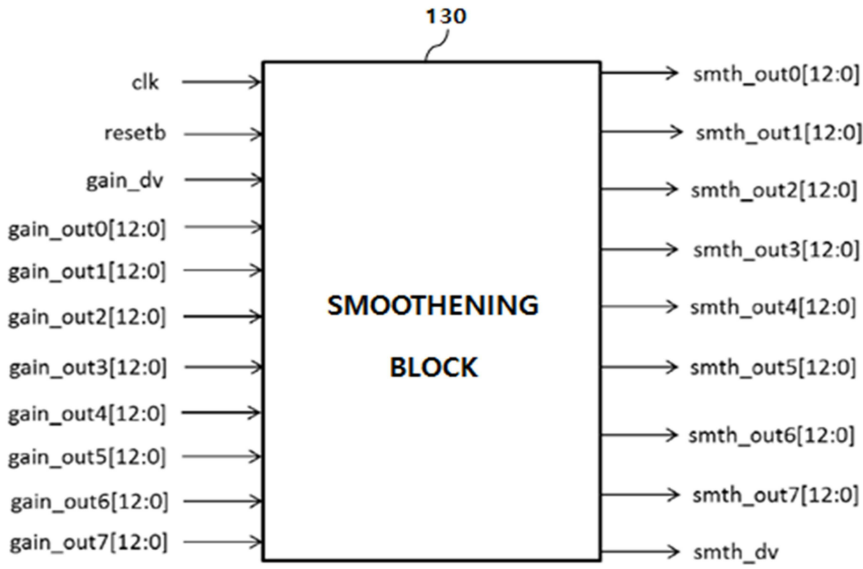
도면17



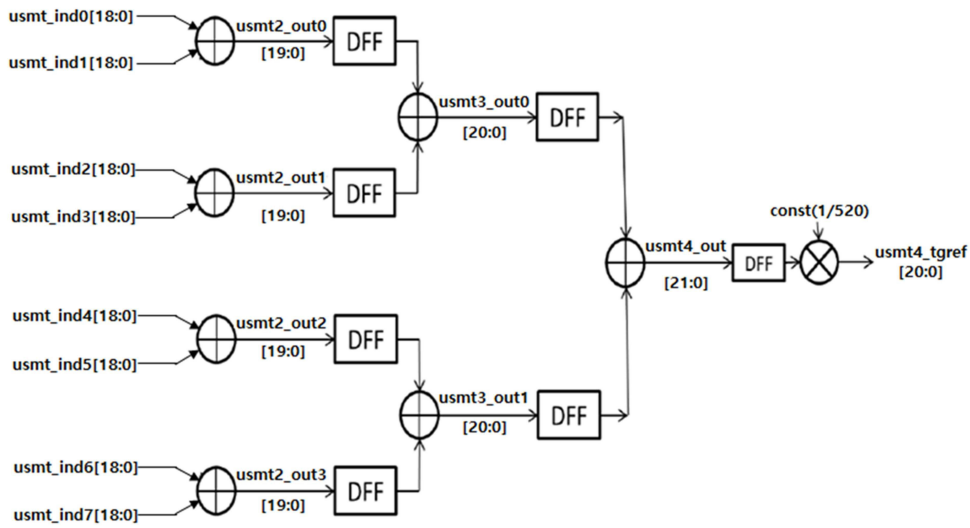
도면18



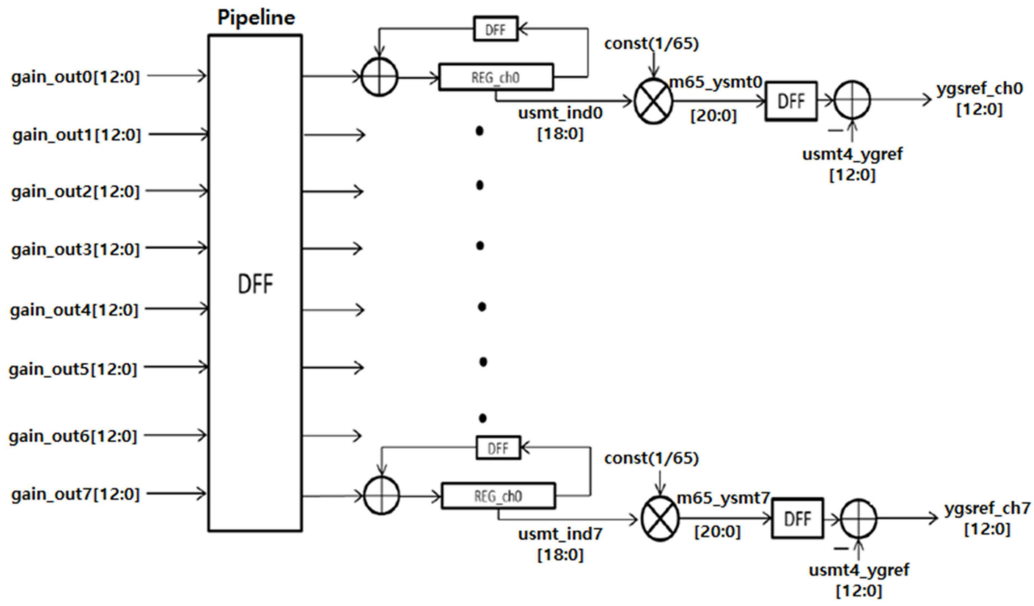
도면19



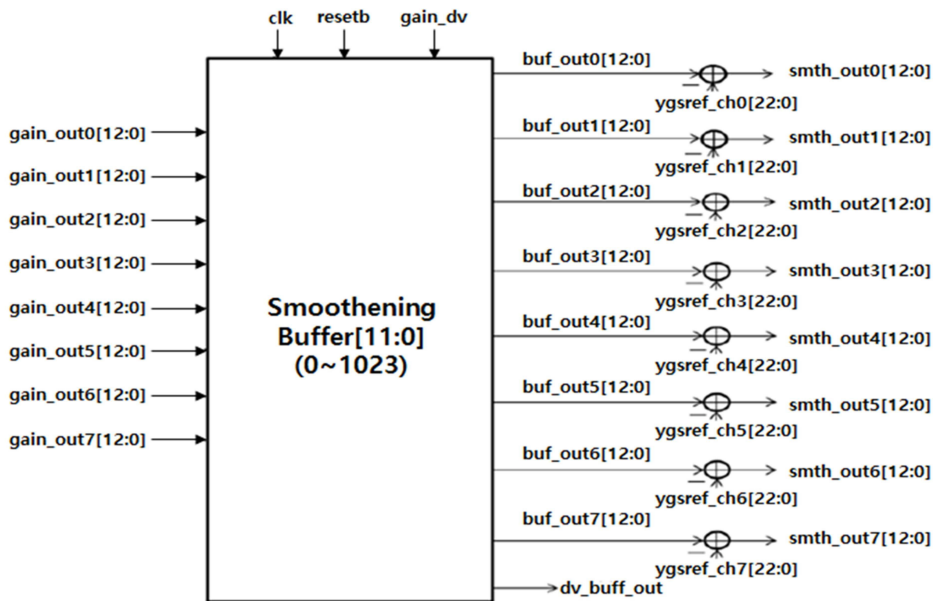
도면20



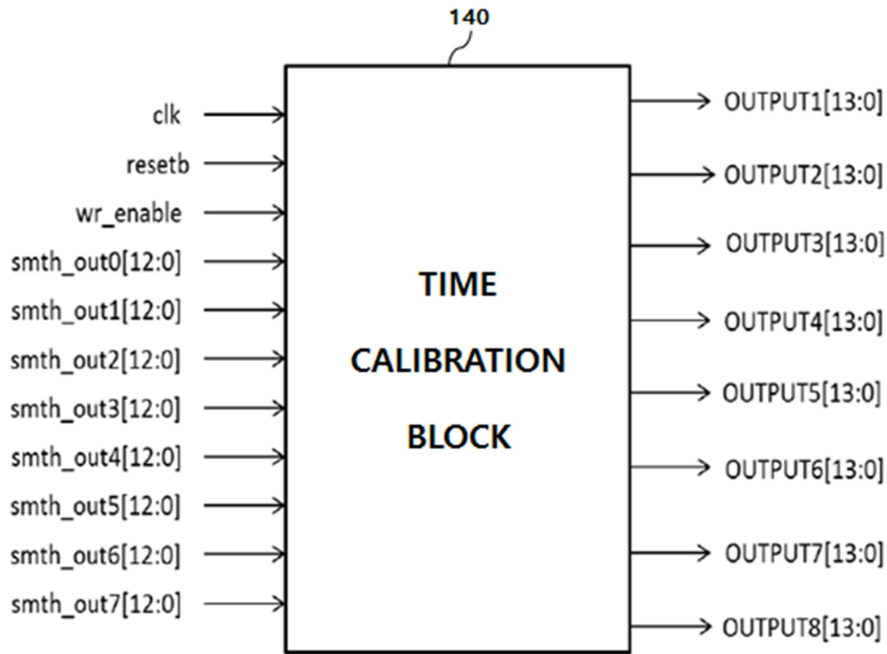
도면21



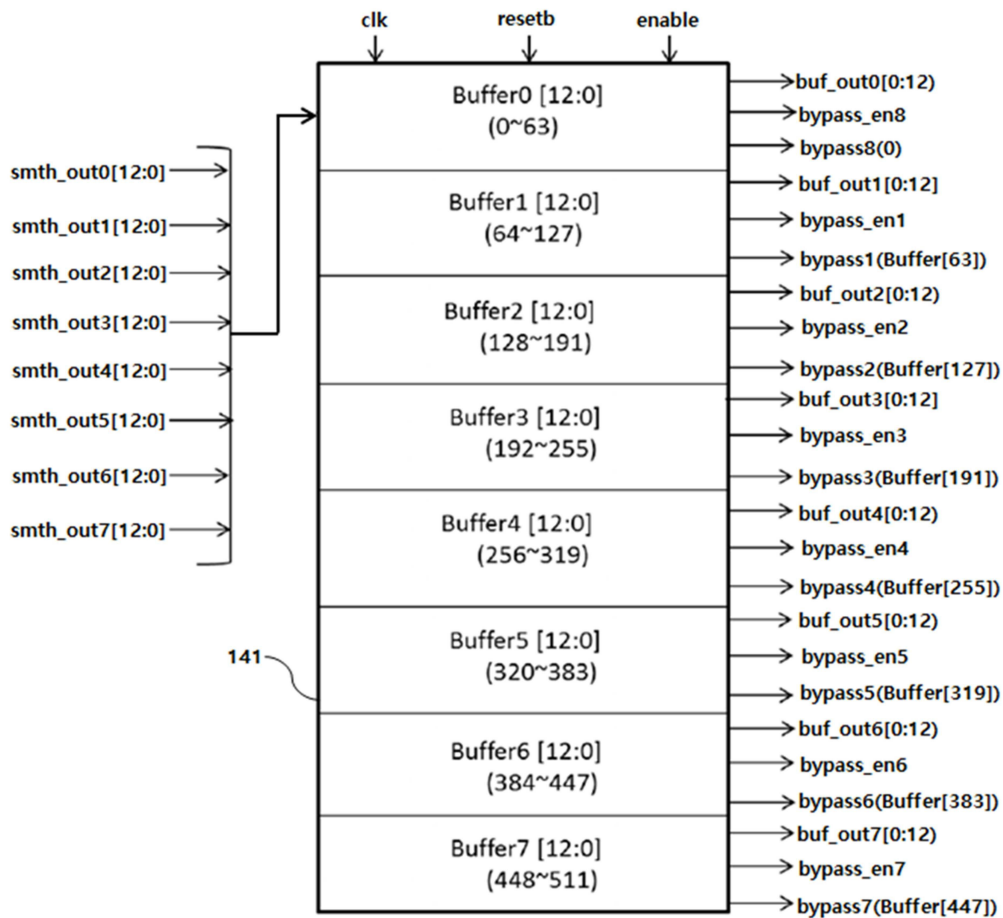
도면22



도면23

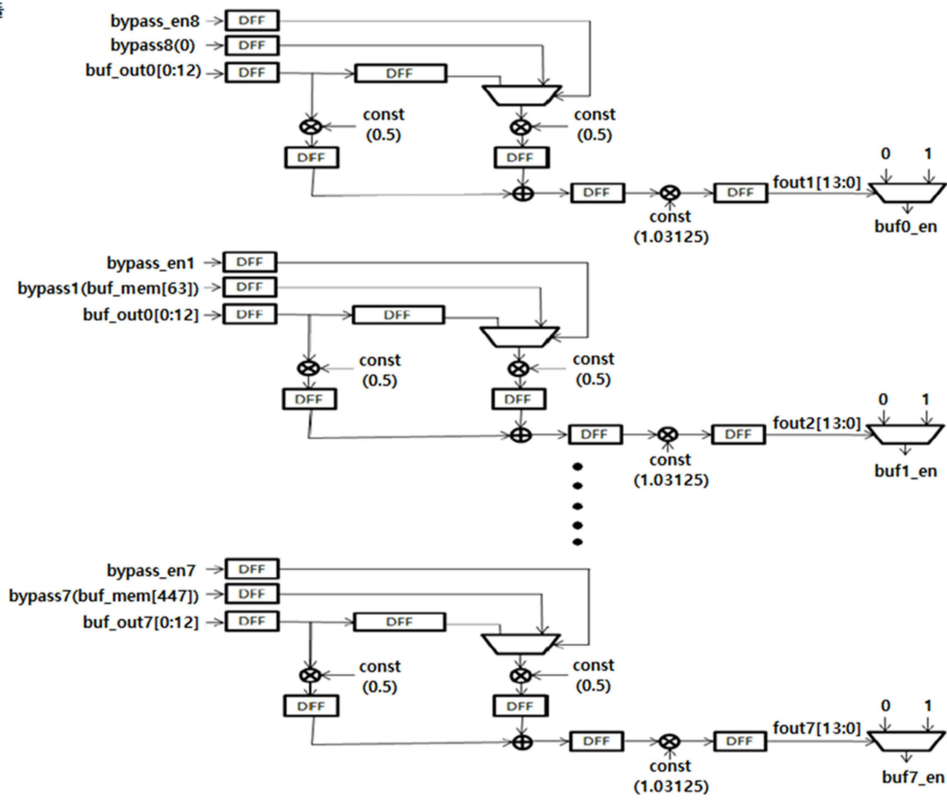


도면24

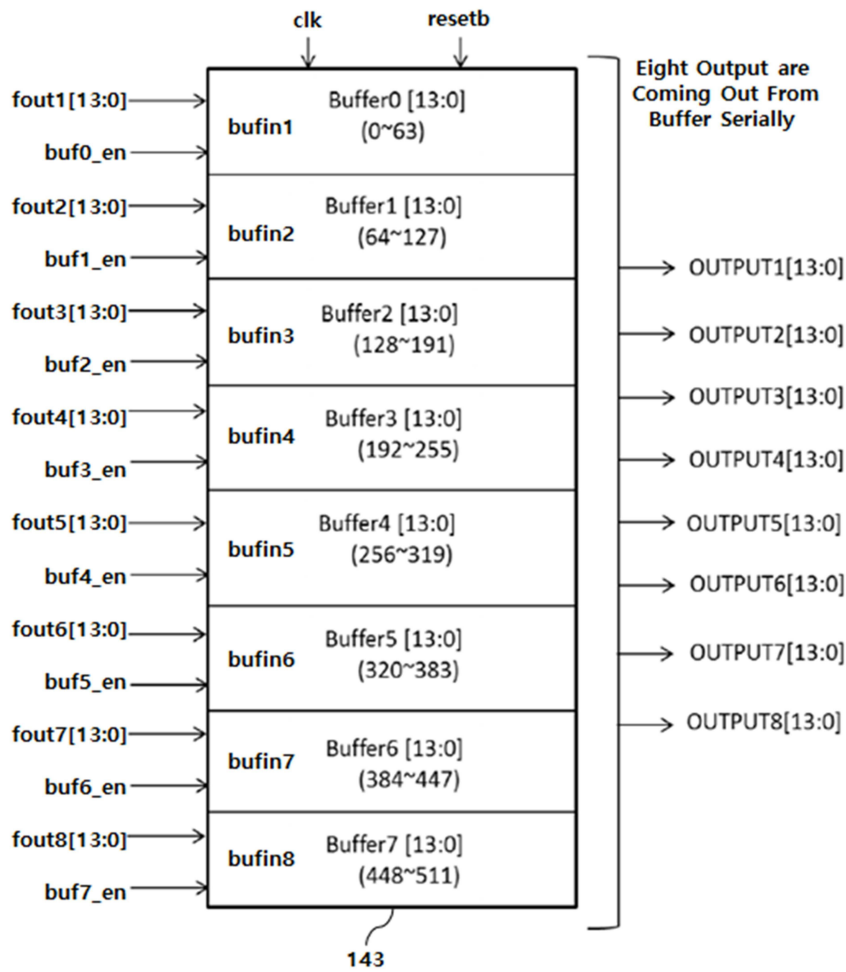


도면25

FIR필터 모듈
(142)



도면26



도면27

