



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년05월08일
(11) 등록번호 10-2804682
(24) 등록일자 2025년04월30일

- (51) 국제특허분류(Int. Cl.)
H01L 23/00 (2006.01) H01L 23/538 (2006.01)
H01L 25/00 (2025.01) H01L 25/065 (2025.01)
- (52) CPC특허분류
H01L 24/80 (2013.01)
H01L 23/538 (2013.01)
- (21) 출원번호 10-2024-0048379
- (22) 출원일자 2024년04월10일
심사청구일자 2024년04월10일
- (56) 선행기술조사문헌
KR1020150078874 A
KR1020230049925 A
JP2007266345 A

- (73) 특허권자
이영중
서울특별시 성북구 송인로 50, 122동 1310호(길음동, 래미안길음센터피스아파트)
- (72) 발명자
이영중
서울특별시 성북구 송인로 50, 122동 1310호(길음동, 래미안길음센터피스아파트)

전체 청구항 수 : 총 2 항

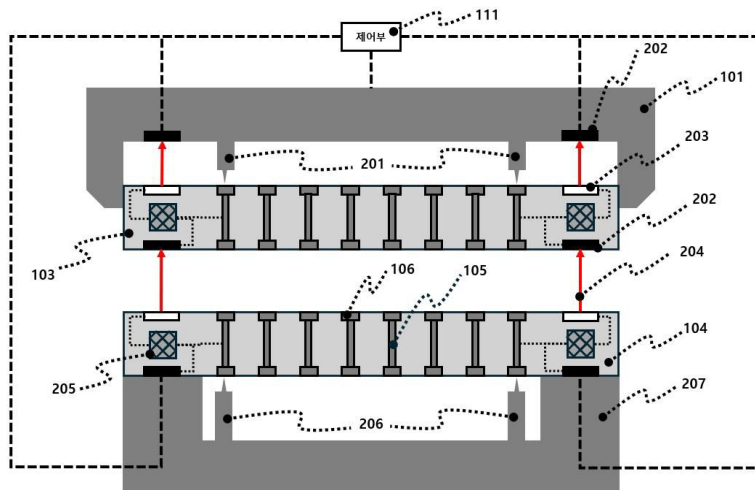
심사관 : 이석주

(54) 발명의 명칭 하이브리드본딩 정렬방법

(57) 요약

적층으로 패키징 될 칩 내부에 칩 고유의 기능영역외에 적층시 하이브리드본딩공정에서 활성화 시켜 동작시키는 기능 블록으로서 발광픽셀어레이, 수광픽셀어레이, 신호처리부를 본래 고유 기능 회로부와 함께 반도체 전공정으로 제작한다. 이때 수광픽셀어레이와 발광픽셀어레이는 칩의 앞뒤면으로 서로 다른 면에 위치하도록 제작한다. 발광픽셀어레이는 하이브리드공정 정렬작업중에서 활성화되어 정렬에 필요한 광신호를 발광하고, 수광픽셀어레이 역시 정렬작업중에서 활성화되어 수직 적층될 칩들간 광신호를 주고 받아 내부의 신호처리부가 적층될 칩들간의 회로패턴이나 본딩접점간의 상대 오프셋 오차를 환산할수 있도록하여 이 오차를 보정하여 정렬함으로써 정밀한 하이브리드본딩 정렬을 가능하게 한다.

대표도 - 도2



(52) CPC특허분류

H01L 24/03 (2013.01)

H01L 24/08 (2013.01)

H01L 25/0657 (2023.08)

H01L 25/50 (2025.01)

H01L 2224/08145 (2013.01)

H01L 2224/80123 (2013.01)

H01L 2224/80129 (2013.01)

H01L 2224/80894 (2013.01)

H01L 2225/06527 (2013.01)

명세서

청구범위

청구항 1

반도체 칩들간 수직으로 적층하여 접합하는 하이브리드본딩 공정에 있어서;

적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 위치 감지용 패턴 빛과 정렬 상태 전달 광신호를 쏘는 발광 픽셀 어레이부; 적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 위치 감지용 패턴 빛과 정렬 상태 전달 광신호를 수광 감지하는 수광 픽셀 어레이부; 적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 공정에서 활성화되어, 수광 신호 패턴을 분석하여 정렬 상태를 감지하고 연산을 통해 정렬 상태를 검출 할 수 있고 정렬 상태를 상기 발광 픽셀 어레이부를 통해 광신호로 전달하거나 하이브리드본딩 정렬을 위한 발광 신호 출력 패턴을 상기 발광 픽셀 어레이부를 통해 출력하는 것을 제어하는 신호처리부;를 함께 반도체 칩으로 제작하여 하이브리드본딩 공정에서 정렬 제어 작업을 수행하는 것을 특징으로 하는 하이브리드본딩 공정 방법

청구항 2

반도체 칩과 인터포저를 접합하는 하이브리드본딩 공정에 있어서;

적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 위치 감지용 패턴 빛과 정렬 상태 전달 광신호를 쏘는 발광 픽셀 어레이부; 적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 위치 감지용 패턴 빛과 정렬 상태 전달 광신호를 수광 감지하는 수광 픽셀 어레이부; 적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 공정에서 활성화되어, 수광 신호 패턴을 분석하여 정렬 상태를 감지하고 연산을 통해 정렬 상태를 검출 할 수 있고 정렬 상태를 상기 발광 픽셀 어레이부를 통해 광신호로 전달하거나 하이브리드본딩 정렬을 위한 발광 신호 출력 패턴을 상기 발광 픽셀 어레이부를 통해 출력하는 것을 제어하는 신호처리부;

를 갖는 반도체 칩;

인터포저내 배선 패턴 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 신호 감지용 패턴 빛을 쏘는 발광 픽셀 어레이부; 혹은 정렬 신호 감지용 패턴 빛을 수광 감지하는 수광 픽셀 어레이부;

를 갖는 인터포저;

상기 반도체와 상기 인터포저를 광신호를 이용해 정렬하여 접합하는 하이브리드본딩 공정 방법

발명의 설명

기술 분야

[0001] 반도체 패키징, 멀티칩 패키징, 칩렛, 3D 적층, HBM

배경 기술

[0002] 반도체 스케일링 기술의 난이도와 비용이 높아짐에 따라 단일 실리콘 다이에서 집적도를 높이기 보다는 멀티 다이를 하나의 기판(Substrate)에 패키징하는 형태로 성능개선이 이루어지고 있다. 현재 주류 통합 패키징 기술은 TSV(Through Silicon Via) 실리콘 관통 전극과 마이크로 범프 볼(Micro Bump Ball)을 통해 칩 다이를 수직으로 쌓는 것이다. 그러나 마이크로 범프 볼간의 피치는 수십~수백 마이크로 미터로 칩 면적내에서 충분한 입출력 I/O(Input/Output) 신호선을 배치하는데 한계가 있다. 이러한 문제를 해결하기 위해 최근에는 금속과 유전체 성질을 이용해 다른 두 개의 칩(Chip)상의 금속간, 유전체간 부분을 직접 접촉시키는 하이브리드본딩(Hybrid Bonding)기술을 통해 접촉점간의 간격(Pitch)를 수 마이크로 이하 크기로 줄여서 많은 입출력 I/O로 칩(Chip)끼리 연결할 수 있도록 한다. 본 발명은 이러한 하이브리드본딩(Hybrid Bonding) 기술 공정에 있어서 칩(Chip)간

수직통합 제작에서 높은 공정 수율을 제공할 수 있는 방법에 관한 것이다.

발명의 내용

해결하려는 과제

[0004]

반도체 칩간의 수직 적층 패키징은 기술적, 비용적 현실적 제약으로 인해 다이싱(Dicing) 절단 공정까지 끝난 하나의 칩을 웨이퍼 상태의 제작 공정이 끝난 웨이퍼 위의 칩위에 적층하는 형태로 대부분 이루어 진다. 종래의 마이크로 범프 볼을 통한 적층 접합에서는 수백~천개 내외의 접합점이 맞춰지도록 정렬하여 적층 접합해야 했지만, 하이브리드본딩에서는 천개 이상의 수 마이크로미터 이하 간격의 접합점을 맞춰야 함으로써 그 기술적 난이도가 비교할 수 없는 수준이다. 이러한 칩간 적층 접합 공정에서의 불량은 단일 칩 소실이 아니라 2개의 칩 이상이 버려지는 결과를 초래함으로써 높은 실패 비용을 수반한다. 하이브리드본딩에서 가장 난이도가 높고 어려운 작업이 수 마이크로미터 간격의 수천개의 접합점들을 맞춰 두 칩을 정렬시키는 작업이다. 종래의 하이브리드본딩 공정 장비에서는 외부 카메라를 통해 정렬하고자 하는 칩의 가장자리 면을 맞추거나 하단의 칩 패턴을 카메라를 이용해 광학식으로 측정해 좌표를 산출하여 적층할 칩을 정렬 좌표로 이동시켜 접합시킨다. 이 방식의 문제는 칩내부 회로패턴 위치와 가장자리의 상대 위치에 오차가 있을 경우 접합점 불량을 유발한다는 점이다. 칩내부의 회로패턴들은 정밀도가 높은 노광 공정 등의 과정에 의해서 형성되므로 칩 내부의 회로패턴들간 혹은 실리콘관통홀 점점들간의 상대위치는 높은 정밀도를 가진다. 하지만 칩의 경계 가장자리(Edge)는 물리적인 톱질과 같은 다이싱(Dicing)공정에 의해 형성되므로 회로패턴에 비해서는 비교적 큰 오차가 발생하게 된다. 현재 웨이퍼레벨 패키징 공정은 거의 대부분 다이싱 처리된 칩을 웨이퍼 형태의 칩위에 접합하는 방식으로 이루어진다. 이 과정에서 다이싱된 칩을 잡은 핸들러는 그 동작의 정밀성이 담보 되더라도 잡은 칩의 중심 좌표를 기준으로 동작 좌표를 산정하여 하단의 칩에 정렬시키게 되면 가장자리 면이 맞춰질뿐 내부의 회로패턴이나 접합점들은 가장자리면의 오차에 의해 틀어질 수 있게 된다. 이러한 문제를 해결하기 위해서는 칩을 잡은 핸들러가 잡은 칩의 접합점이나 회로패턴의 정확한 위치를 감지 할 수 있어야 하고, 하단칩의 회로패턴이나 접합점의 위치를 동시에 감지할 수 있어야 한다. 본 발명은 하이브리드본딩 공정에 있어서 핸들러가 잡은 상단 칩의 접합점이나 회로패턴의 위치와 하단칩의 회로패턴이나 접합점의 위치를 확인하여 정확하게 정렬시킬수 있는 방법을 제공해서 불량을 예방할 수 있게 한다.

[0005]

과제의 해결 수단

[0006]

적층으로 패키징 될 칩 내부에 칩 고유의 기능영역외에 적층시 하이브리드본딩공정에서 활성화 시켜 동작시키는 기능 블록으로서 발광 픽셀 어레이, 수광 픽셀 어레이, 신호처리부를 본래 고유 기능 회로부와 함께 반도체 전 공정으로 제작한다. 이때 수광 픽셀 어레이와 발광 픽셀 어레이는 칩의 앞뒤면으로 서로 다른 면에 위치하도록 제작한다. 수광 픽셀 어레이는 실리콘 기반 CMOS공정으로도 쉽게 제작할 수 있다. 수광 픽셀 어레이에 기반한 CIS(CMOS Image Sensor) 기술은 성숙화된 기술에 속한다. 다만 발광 픽셀을 실리콘 기반 반도체에서 LED(Light Emitting Diode)방식으로 제작할 경우, 실리콘 반도체의 물리적 특성으로 인해서 충분한 밝기를 내기가 어렵다. 일반적으로 실리콘 기반 반도체로는 발광체를 제작하지는 않는다. 하지만 실리콘 기반 LED 발광체가 산업적으로 조명용도로는 부적합하지만 하이브리드본딩 과정과 같이 외부 조명이 제한된 물리적 환경에서는 충분히 정렬에 필요한 신호원으로서 사용할 수 있다. 이와 같이 하이브리드본딩 공정에서 사용할 목적으로 수광 픽셀 어레이, 발광 픽셀 어레이, 신호처리부는 일반적인 실리콘 CMOS 반도체 제조공정에서 본래의 기능 회로를 제작하면서 손쉽게 같이 제작할 수 있다. 오직 정렬 작업에 활용할 목적이므로 수광 어레이나 발광 어레이가 일반적인 CIS 센서수준이나 소형 디스플레이 같은 수준의 높은 해상도가 필요하진 않다. 4x4 혹은 16x16 같은 저해상도 픽셀 어레이만으로도 정렬작업에 필요한 충분한 정밀도를 확보 할 수 있어서 하이브리드본딩을 위해 추가되는 기능블럭들이 전체 실리콘 풋프린트 면적에서 차지하는 비중은 매우 작다. 작은 면적을 투자해서 오히려 더 많은 입출력을 촘촘하게 배치하여 전체 적층칩에서 얻을 수 있는 이득과 공정상 수율 개선 이익이 훨씬 크다고 할 수 있다.

발명의 효과

[0008]

하이브리드본딩 공정에서 가장 어려운 정렬 작업의 정밀도를 개선함으로써 공정 수율을 높일 수 있고, 정렬 작업의 정밀도를 높여서 더 많은 수의 점점을 연결하는 고난도 하이브리드본딩도 가능하게 하여 적층공정으로 제작되는 반도체 시스템의 내부 동작 대역폭을 높여 전체 시스템 성능을 높이게 할 수 있다.

도면의 간단한 설명

- [0010] 도1은 종래의 하이브리드본딩의 정렬 작업을 나타낸 도면
- 도2는 본 발명의 바람직한 실시 예1 로서의 하이브리드본딩 정렬 방법을 나타낸 도면
- 도3은 본 발명의 바람직한 실시 예2 로서의 하이브리드본딩 정렬 방법을 나타낸 도면
- 도4는 본 발명의 바람직한 실시 예3 으로서의 하이브리드본딩 정렬 방법을 나타낸 도면

발명을 실시하기 위한 구체적인 내용

- [0011] 본 발명의 바람직한 실시 예를 첨부된 도면들을 참조하여 상세히 설명한다. 우선 각도 면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명을 설명함에 있어, 관련된 공지구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [0012] 도1은 종래의 하이브리드본딩의 정렬 작업을 나타낸 도면이다. 종래의 하이브리드본딩 공정 장비에서는 외부 카메라(102)를 통해 정렬하고자 하는 칩(103,104)의 가장자리 면을 맞추거나 하단의 칩 패턴을 카메라를 이용해 광학식으로 측정해 좌표를 산출하여 적층할 칩을 정렬 좌표로 이동시켜 접합시킨다. 이 방식의 문제는 칩내부 회로패턴 위치와 가장자리의 상대 위치에 오차가 있을 경우 접합점 불량을 유발한다는 점이다. 칩 내부의 회로패턴들은 정밀도가 높은 노광 공정 등의 과정에 의해서 형성되므로 칩 내부의 회로패턴들간 혹은 실리콘관통홀 접점들간의 상대위치나 간격(110) 등 은 높은 정밀도를 가진다. 하지만 칩의 경계 가장자리(Edge)는 물리적인 톱질과 같은 다이싱(Dicing)공정에 의해 형성되므로 회로패턴에 비해서는 비교적 큰 오차가 발생하게 된다. 현재 웨이퍼레벨 패키징 공정은 거의 대부분 다이싱 처리된 칩을 웨이퍼 형태의 칩위에 접합하는 방식으로 이루어 진다. 이 과정에서 다이싱된 칩(103)을 잡은 핸들러(101)는 그 동작의 정밀성이 담보 되더라도 잡은 칩(103)의 중심 좌표를 기준으로 동작 좌표를 산정하여 하단의 칩(104)에 정렬시키게 되면 가장자리 면이 맞춰질뿐 절단 다이싱 등의 공정에서 발생하는 칩 가장자리에서 접합점까지의 거리(107, 108) 공차(109)로 인해서 상단칩(103) 접합점들과 하단칩(104) 접합점들간 정렬이 제대로 되지 않을 수 있다. 이러한 문제를 해결하기 위해서는 칩을 잡은 핸들러(101)가 잡은 칩의 접합점이나 회로패턴의 정확한 위치를 감지 할 수 있어야 하고, 하단칩(104)의 회로패턴이나 접합점의 위치를 동시에 감지할 수 있어야 한다.
- [0013] 도2는 본 발명의 바람직한 실시 예1 로서의 하이브리드본딩 정렬 방법을 나타낸 도면이다. 종래의 하이브리드본딩 정렬 방식에서 발생하는 문제를 해결하기 위해서 하이브리드본딩으로 수직 접합할 칩들(103, 104)내부에 원래 기능 블록외에 하이브리드본딩공정에서 활성화되어 정렬과정에서 동작하는 기능을 블록(202, 203,205)을 추가한다. 적층으로 패키징 될 칩 내부에 칩 고유의 기능영역외에 적층시 하이브리드본딩공정에서 활성화 시켜 동작시키는 기능 블록으로서 발광 픽셀 어레이(203), 수광 픽셀 어레이(202), 신호처리부(205)를 본래 고유 기능 회로부와 함께 반도체 전공정으로 제작한다. 이때 수광 픽셀 어레이(203)와 발광 픽셀 어레이(202)는 칩의 앞뒤 면으로 서로 다른 면에 위치하도록 제작한다. 수광 픽셀 어레이에 기반한 CIS(CMOS Image Sensor) 기술은 성숙화된 기술로 실리콘 기반 CMOS공정으로도 쉽게 제작할 수 있다. 다만 실리콘 기반 반도체에서 LED(Light Emitting Diode)로 발광체를 제작할 경우, 실리콘 반도체의 물리적 특성으로 인해서 발광체 고유의 목적인 조명용으로서 필요한 밝기를 내기가 어렵다. 하지만 실리콘 기반 LED 발광체가 산업적 조명용도로는 부적합하지만 하이브리드본딩 과정과 같이 외부 조명이 제한된 물리적 환경에서는 충분히 정렬에 필요한 신호원으로서 사용할 수 있다. 이와 같이 하이브리드본딩 공정에서 사용할 목적으로 수광 픽셀 어레이(202), 발광 픽셀 어레이(203)를 일반적인 CMOS 반도체 제작공정으로 제작할 수 있고, 연산처리를 위한 신호처리부(205)는 당연히 일반적인 실리콘 CMOS 반도체 제조공정에서 본래의 기능 회로를 제작하면서 같이 제작할 수 있다. 오직 정렬 작업에 활용할 목적이므로 수광픽셀어레이(202)나 발광픽셀어레이(203)가 일반적인 CIS 센서수준이나 소형 디스플레이 같은 수준의 높은 해상도가 필요하진 않다. 4x4 혹은 16x16 같은 저해상도 픽셀 어레이만으로도 정렬작업에 필요한 충분한 정밀도를 확보 할 수 있어서 하이브리드본딩을 위해 추가되는 기능블럭들이 전체 실리콘 풋프린트 면적에서 차지하는 비중은 매우 작다. 작은 면적을 투자해서 오히려 더 많은 입출력을 촘촘하게 배치하여 전체 적층 칩에서 얻을 수 있는 이득과 공정상 수율 개선 이익이 훨씬 크다고 할 수 있다. 하이브리드본딩 공정 중 정렬 작업에서 핸들러 제어부(111)의 제어에 의해 핸들러(101)가 상단 칩(103)을 잡으면 핸들러 접촉 핀(201)이 상단 칩(103)의 회로 접점에 접촉하게 되어 상단 칩(103)의 발광픽셀어레이(203), 수광픽셀어레이(202), 신호처리부

(205)에 전원이 인가되고 동작 활성화 된다. 핸들러 접촉 핀(201)에 접촉하게 되는 접점은 일반 하이브리드본딩 접점보다 큰 사이즈로 만들거나 복수개의 접점을 동일 노드로 묶어서 상단칩(103)의 제작오차에 따라서 접촉이 되지 않을 문제에 대해 대응 가능하다. 이렇게 핸들러(101)에 의해 잡힌 상단칩(103) 내부의 신호처리부(205)가 활성화되면 발광픽셀어레이(203)를 제어하여 빛(204)을 조사하고 이렇게 조사된 빛(204)은 핸들러 내부에 장착되어 있는 수광픽셀어레이(202)에 감지되고 이 신호를 제어부(111)가 분석하여 핸들러(101)와 핸들러가 잡은 상단칩(103) 내부의 회로 패턴들과의 상대 오차 좌표를 산출해 낸다. 한편 적층에서 아래에 놓여질 하단칩(104)은 고정부(207)에 거치되고, 고정부의 접촉핀(206)을 통해 하단칩(104) 내부의 수광픽셀어레이(202), 발광픽셀어레이(203), 신호처리부(205)는 제어부(111)에 의해 연결되어 활성화되고 제어된다. 하단칩(104)의 신호처리부(205)는 제어부(111)의 명령을 받아 발광픽셀어레이(203)를 제어하여 정렬을 위한 광신호(204)를 조사한다. 이렇게 조사되는 빛(204)은 핸들러(101)가 잡은 상단칩(103)이 정렬 작업을 위해 기본 접합 위치로 이동 되었을 때 상단칩(103) 내부의 수광픽셀어레이(202)를 통해 감지되고 감지된 신호는 상단칩(103)의 신호처리부(205)에 의해 분석되고 이 감지값과 분석값을 상단칩(103)의 발광픽셀어레이부(203)를 상단칩(103)의 신호처리부(205)가 제어하여 정렬작업용 신호가 아니라 별도의 광신호 프로토콜 형태로 변환하여 광신호(204)로 제어부(111)에 전달하거나 아니면 접촉핀(201)을 통해 전기적 신호로 전달 할 수 있다. 이렇게 제어부(111)가 감지값과 분석값을 전달받으면 현재 위치에서 현재 핸들러(101)이 잡고 있는 상단칩(103) 내부의 회로 패턴이나 하이브리드본딩 접점(106)과 하단칩(104) 내부의 회로 패턴이나 하이브리드본딩 접점(106)과의 상대 오프셋 위치 오차값을 환산할 수 있게 되고, 이 값을 반영하여 보정 이동값으로 이동한 후에 상단칩(103)을 하단칩(104) 위에 올려 놓으면 하이브리드본딩 접점(106)들은 정확한 위치에서 정렬 접촉이 이루어지게 된다. 이렇게 정렬 작업을 완료한 후 후속 하이브리드본딩 접합 공정을 진행하여 최종적으로 상단칩(103)과 하단칩(104)을 하나의 칩으로 패키징 할 수 있게 된다.

[0014] 도3은 본 발명의 바람직한 실시 예2 로서의 하이브리드본딩 정렬 방법을 나타낸 도면이다. 도2의 경우와는 정렬작업에서 사용하는 광신호 빛(204)의 방향만 반대 방향일뿐 각 구성 동작 요소들의 기본적인 동작은 동일하다. 핸들러 제어부(111)의 제어에 의해 핸들러(101) 내부의 발광픽셀어레이(203)가 빛을 조사하고 이렇게 조사된 빛은 상단칩(103) 내부의 수광픽셀어레이(202)에 의해 조사되고 이렇게 조사된 빛은 상단칩(103) 내부의 신호처리부(205)의 분석에 의해 핸들러(101)와 상단칩(103) 내부 회로패턴이나 접점(106)들간의 상대 좌표 오프셋 오차가 환산되고 이는 제어부(111)에 전달된다. 그리고 상단칩(103) 신호처리부(205) 제어에 의해 발광픽셀어레이(203)는 하단칩(104)을 향해 정렬 작업을 위한 정렬용 광신호(204)를 조사한다. 이렇게 조사된 빛(204)은 하단칩(104)의 수광픽셀어레이(202)에 의해 감지되어 하단칩(104)의 신호처리부(205)에 전달되어 이 신호를 이용해 상단칩(103)내부 회로나 하이브리드본딩 접점(106)과 하단칩(104)내부 회로나 하이브리드본딩 접점(106)간의 위치 오차 오프셋을 환산하여 제어부(111)에 전달하여 제어부(111)가 핸들러(101)를 제어하여 정확한 정렬위치에 상단칩(103)을 하단칩(104)위에 올려 놓을 수 있게 한다.

[0015] 도4는 본 발명의 바람직한 실시 예3 으로서의 하이브리드본딩 정렬 방법을 나타낸 도면이다. 하이브리드본딩은 동종칩들 간에 이루어질 수도 있고, 인터포저(401) 같은 별도의 중간 기판을 통해 다른 이종 칩과 2D 패키징 될 때 사용될 수도 있다. 인터포저(401)를 활용한 하이브리드본딩 공정에서도 본 발명의 고안들을 활용 할 수 있다. 본 발명의 바람직한 실시예로서의 발광픽셀어레이(203), 수광픽셀어레이(202), 신호처리부(205)를 내장하고 적층될 단일 칩 혹은 도2나 도3과 같은 정렬 작업을 통해 반복적으로 적층된 칩 어셈블리를 인터포저(401)위에 하이브리드본딩 접합하는 경우, 핸들러 제어부(111)가 인터포저위에 적층할 단일칩 혹은 칩어레이의 제일 하단부 수광픽셀어레이(202) 혹은 발광픽셀어레이(203)를 제어하여 광신호를 수광하거나 혹은 정렬용 광신호를 조사하여 이 광신호와 상호 작용하게 되는 인터포저(401)상의 발광픽셀어레이(203) 혹은 수광픽셀어레이(202)를 통해 정렬에 필요한 핸들러(101)가 잡고 있는 칩상의 회로패턴이나 본딩접점 위치와 인터포저상의 회로패턴이나 본딩접점(106)과의 상대 오프셋 오차를 환산하여 인터포저상의 정확한 정렬위치에 본딩할 단일칩 혹은 칩 어셈블리를 위치시킬 수 있다. 이때 인터포저(401)상의 수광픽셀어레이(202) 혹은 발광픽셀어레이(203)은 인터포저가 고정된 고정부의 접촉핀(206)과 인터포저상 마련된 접촉점(403)을 통해 제어부(111)에 연결된다. 인터포저에 정렬 접합되어 하이브리드본딩된 단일칩 혹은 칩어셈블리는 인터포저상의 이종칩이 이종칩용 접점(402)에 접합되어 인터포저(401)상의 배선 연결과 기능블록을 통해 유기적으로 결합되어 같이 패키징 되어 하나의 시스템으로 동작하게 된다.

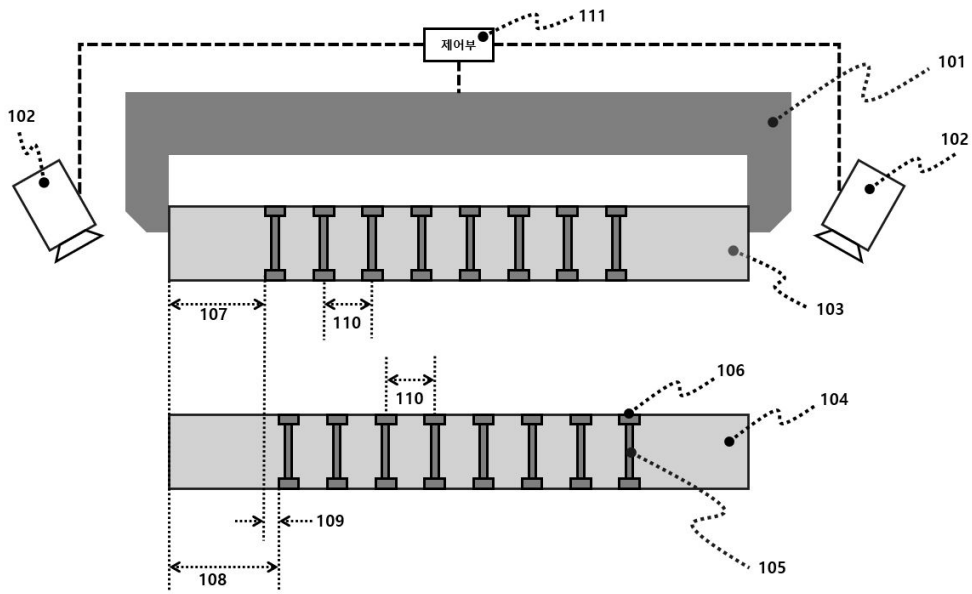
[0016] 이와 같이 하이브리드본딩 공정에서 정밀한 정렬작업을 통해 불량비용을 획기적으로 줄일 수 있다.

부호의 설명

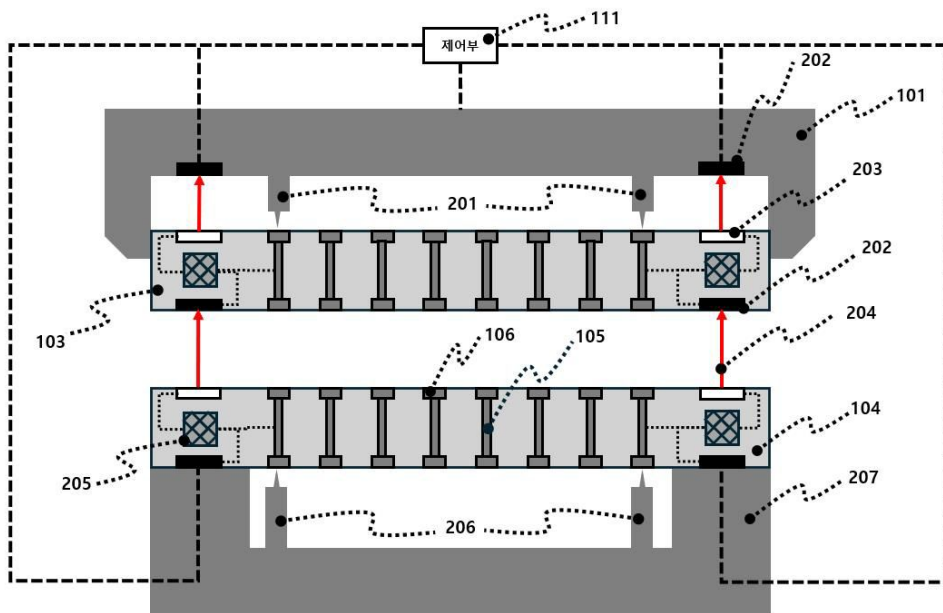
- [0018]
- 101 : 칩 핸들러
 - 102 : 카메라
 - 103 : 적층될 상단 칩
 - 104 : 하단 칩
 - 105 : TSV (실리콘 관통 전극)
 - 106 : 하이브리드본딩 접점
 - 107 : 상단칩 가장자리에서 하이브리드본딩 접점까지의 거리
 - 108 : 하단칩 가장자리에서 하이브리드본딩 접점까지의 거리
 - 109 : 상단, 하단 칩을 가장자리면을 기준으로 정렬했을 때 상단, 하단 칩의 하이브리드본딩 접점간 발생할 수 있는 간격차이 오차
 - 110 : 하이브리드본딩 접점간 간격(Pitch)
 - 111 : 제어부
 - 201 : 핸들러 접촉 핀
 - 202 : 수광 픽셀 어레이
 - 203 : 발광 픽셀 어레이
 - 204 : 광신호
 - 205 : 신호처리부
 - 206 : 고정부 접촉 핀
 - 207 : 고정부
 - 401 : 인터포저(Interposer)
 - 402 : 이중 칩 접점
 - 403 : 고정부 접촉 핀 연결 접점

도면

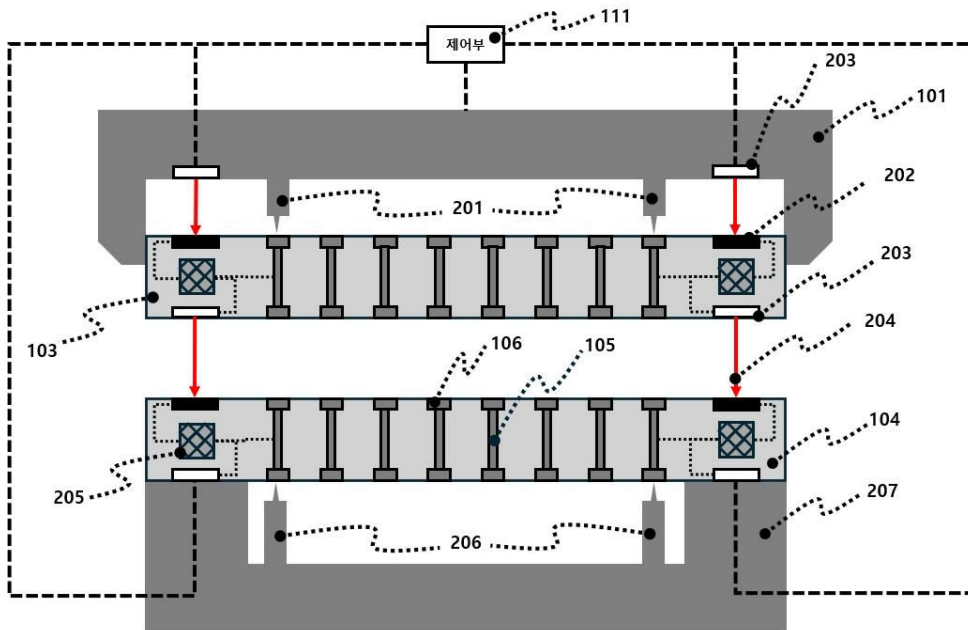
도면1



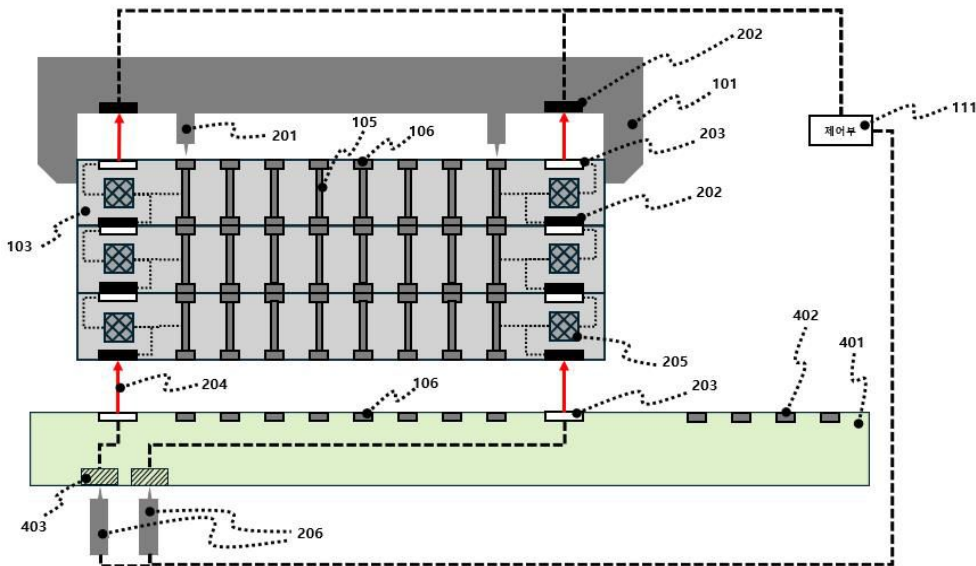
도면2



도면3



도면4



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

반도체 칩들간 수직으로 적층하여 접합하는 하이브리드본딩 공정에 있어서;

적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 위치 감지용 패턴 빛과 정렬 상태 전달 광신호를 쏘는 발광 픽셀 어레이부; 적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 위치 감지용 패턴 빛과 정렬 상태 전달 광신호를 수광 감지하는 수광 픽셀 어레이부; 적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 공정에서 활성화되어, 수광 신호 패턴을 분석하여 정렬 상태를 감지하고 연산을 통해 정렬 상태를 검출할 수 있고 정렬 상태를 상기 발광 어레이를 통해 광신호로 전달하거나 하이브리드본딩 정렬을 위한 발광 신호 출력 패턴을 발광 어레이를 통해 출력하는 것을 제어하는 신호처리부;를 함께 반도체 칩으로 제작하여

하이브리드본딩 공정에서 정렬 제어 작업을 수행하는 것을 특징으로 하는 하이브리드본딩 공정 방법

【변경후】

반도체 칩들간 수직으로 적층하여 접합하는 하이브리드본딩 공정에 있어서;

적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 위치 감지용 패턴 빛과 정렬 상태 전달 광신호를 쏘는 발광 픽셀 어레이부; 적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 위치 감지용 패턴 빛과 정렬 상태 전달 광신호를 수광 감지하는 수광 픽셀 어레이부; 적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 공정에서 활성화되어, 수광 신호 패턴을 분석하여 정렬 상태를 감지하고 연산을 통해 정렬 상태를 검출 할 수 있고 정렬 상태를 상기 발광 픽셀 어레이부를 통해 광신호로 전달하거나 하이브리드본딩 정렬을 위한 발광 신호 출력 패턴을 상기 발광 픽셀 어레이부를 통해 출력하는 것을 제어하는 신호처리부;를 함께 반도체 칩으로 제작하여 하이브리드본딩 공정에서 정렬 제어 작업을 수행하는 것을 특징으로 하는 하이브리드본딩 공정 방법

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 2

【변경전】

반도체 칩과 인터포저를 접합하는 하이브리드본딩 공정에 있어서;

적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 위치 감지용 패턴 빛과 정렬 상태 전달 광신호를 쏘는 발광 픽셀 어레이부; 적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 위치 감지용 패턴 빛과 정렬 상태 전달 광신호를 수광 감지하는 수광 픽셀 어레이부; 적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 공정에서 활성화되어, 수광 신호 패턴을 분석하여 정렬 상태를 감지하고 연산을 통해 정렬 상태를 검출 할 수 있고 정렬 상태를 상기 발광 어레이를 통해 광신호로 전달하거나 하이브리드본딩 정렬을 위한 발광 신호 출력 패턴을 발광 어레이를 통해 출력하는 것을 제어하는 신호처리부;

를 갖는 반도체 칩;

인터포저내 배선 패턴 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 신호 감지용 패턴 빛을 쏘는 발광 픽셀 어레이부; 혹은 정렬 신호 감지용 패턴 빛을 수광 감지하는 수광 픽셀 어레이부;

를 갖는 인터포저;

상기 반도체와 상기 인터포저를 광신호를 이용해 정렬하여 접합하는 하이브리드본딩 공정 방법

【변경후】

반도체 칩과 인터포저를 접합하는 하이브리드본딩 공정에 있어서;

적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 위치 감지용 패턴 빛과 정렬 상태 전달 광신호를 쏘는 발광 픽셀 어레이부; 적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 위치 감지용 패턴 빛과 정렬 상태 전달 광신호를 수광 감지하는 수광 픽셀 어레이부; 적층될 반도체 칩 내부 회로 제작 공정에서 같이 제작되어 하이브리드본딩 공정에서 활성화되어, 수광 신호 패턴을 분석하여 정렬 상태를 감지하고 연산을 통해 정렬 상태를 검출 할 수 있고 정렬 상태를 상기 발광 픽셀 어레이부를 통해 광신호로 전달하거나 하이브리드본딩 정렬을 위한 발광 신호 출력 패턴을 상기 발광 픽셀 어레이부를 통해 출력하는 것을 제어하는 신호처리부;

를 갖는 반도체 칩;

인터포저내 배선 패턴 제작 공정에서 같이 제작되어 하이브리드본딩 정렬을 위해 정렬 신호 감지용 패턴 빛을 쏘는 발광 픽셀 어레이부; 혹은 정렬 신호 감지용 패턴 빛을 수광 감지하는 수광 픽셀 어레이부;

를 갖는 인터포저;

상기 반도체와 상기 인터포저를 광신호를 이용해 정렬하여 접합하는 하이브리드본딩 공정 방법