



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년09월09일
(11) 등록번호 10-2857092
(24) 등록일자 2025년09월04일

(51) 국제특허분류(Int. Cl.)
H03G 3/30 (2006.01) H03G 1/00 (2006.01)
(52) CPC특허분류
H03G 3/3036 (2013.01)
H03G 1/0035 (2013.01)
(21) 출원번호 10-2023-0024300
(22) 출원일자 2023년02월23일
심사청구일자 2023년02월23일
(65) 공개번호 10-2024-0131507
(43) 공개일자 2024년09월02일
(56) 선행기술조사문헌
US20050110550 A1*
(뒷면에 계속)

(73) 특허권자
국립한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
김주성
대전광역시 유성구 상대북용로 29번길 51, 207동
703호(아이파크시티 2단지)
조건희
대구광역시 수성구 들안로78길 45, 101동 801호
(범어동, 이편한세상범어)
(74) 대리인
이은철, 이우영

전체 청구항 수 : 총 12 항

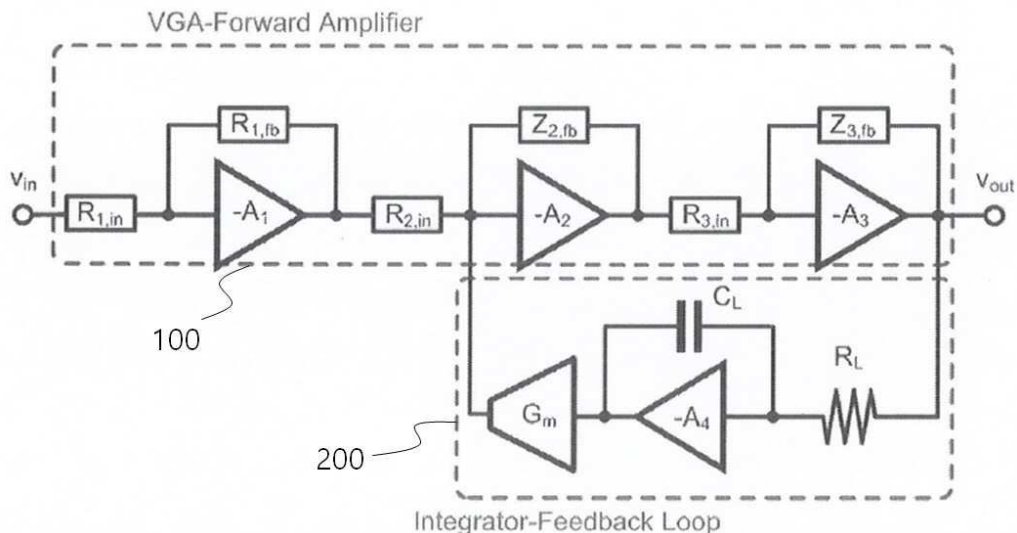
심사관 : 전시범

(54) 발명의 명칭 광대역 고선형성의 가변 이득 증폭기 및 그 방법

(57) 요약

본 발명은 광대역 고선형성의 가변 이득 증폭기에 관한 것으로, 입력 및 피드백 저항의 가변(variation)을 통해 고선형 가변 이득 성능을 달성하기 위한 광대역 고선형성의 가변 이득 증폭기 및 그 방법에 관한 것이다. 본 발명에 따르면, 피드백 저항에 임피던스를 구현하는 반전 증폭기 구조로 입력저항과 피드백 저항의 비율로써 이득을 갖는 가변 이득 증폭기, 상기 가변 이득 증폭기와 연결되어 피드백 회로의 출력신호를 상기 피드백 회로의 입력신호와 비교하여 DC offset 제거 및 cut-off 주파수 성능을 보장하는 적분기-폐환 회로를 포함하여 입출력 저항의 가변(variation)을 통해 고선형 가변 이득 성능을 달성하는 효과가 있다.

대표도 - 도4



(52) CPC특허분류
H03G 3/3089 (2013.01)

(56) 선행기술조사문헌
US20070075777 A1*
KR1020110083991 A
JP2005210565 A
KR100713016 B1
*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호	1711172900
과제번호	2022R1A4A3029433
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	집단연구지원
연구과제명	확장성, 신뢰성 갖춘 양자컴퓨터 실현을 위한 극저온 CMOS Interconnect

Electronics 개발

기 여 율	1/3
과제수행기관명	한밭대학교
연구기간	2022.06.01 ~ 2025.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1345370812
과제번호	2021RIS-004
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	지자체대학협력기반지역혁신사업
연구과제명	(대전세종충남지역혁신플랫폼)충남대학교

기 여 율	1/3
과제수행기관명	(대전세종충남지역혁신플랫폼)충남대학교
연구기간	2023.04.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711106202
과제번호	2019R1F1A1048784
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	RF 펄스 폭 변조 기반 송신기, Wake-up 수신 기능 내재화한 수신기 기반의 높은 데

이터 전송률을 가진 초저전력 IoT 송수신단 개발

과제수행기관명	한밭대학교
연구기간	2021.06.01 ~ 2025.05.31

명세서

청구범위

청구항 1

피드백 저항에 임피던스를 구현하는 반전 증폭기 구조로 입력저항과 피드백 저항의 비에 따라 형성된 전달함수가 지수함수 특성을 갖도록 구성되어, 출력이득이 dB스케일 상에서 선형적으로 제어되도록 구성되는 가변 이득 증폭기,

상기 가변 이득 증폭기와 연결되어 피드백 회로의 출력신호를 입력신호와 비교하고, 피드백 경로에 적분기를 삽입함으로써 전달함수 상에 극점(pole)을 형성하며, 해당 극점이 시스템의 closed-loop 전달함수 내에서 zero로 전환되어 high-pass 응답 특성이 형성되고, 입력신호의 DC offset이 제거되며,

적분기 삽입 조건 하에서도 연산 증폭기의 이득(Gain), 저항(R), 커패시턴스(C)의 조합을 통해 상대적으로 낮은 R 및 C 값만으로도 low cut-off 주파수가 구현되어 차단 주파수 특성이 보장되는 적분기-궤환 회로를 포함하며,

상기 가변 이득 증폭기는 피드 포워드 트랜지스터가 AC 커플링(coupling)을 통해 출력단에 연결되고, PMOS/NMOS를 모두 활용한 CMOS 구조를 통해 전력 효율을 극대화하는 것을 특징으로 하는 광대역 고선형성의 가변 이득 증폭기.

청구항 2

제1항에 있어서,

상기 가변 이득 증폭기는 입력저항과 피드백 저항의 비율로써 이득을 조절하는 가변 이득 방식을 통해 Trans-conductor(G_m) 및 연산 증폭기 내부의 저항 변경을 필요로 하지 않는 것을 특징으로 하는 광대역 고선형성의 가변 이득 증폭기.

청구항 3

제2항에 있어서,

상기 가변 이득 증폭기는 Trans-conductor(G_m) 및 연산 증폭기 내부의 저항 변경이 필요 없음으로 인해 가변 이득 증폭기의 선형성(dB-linear)를 보장하고, 연산 증폭기의 비선형 성분에 의한 성능 저하를 방지하는 것을 특징으로 하는 광대역 고선형성의 가변 이득 증폭기.

청구항 4

제1항에 있어서,

상기 적분기-궤환 회로는 피드백 경로에 적분기 삽입을 통한 극점을 발생시켜 closed-loop 전달함수에서 해당 극점이 zero 점으로 동작하는 high-pass 동작을 수행하여 입력신호의 DC offset을 제거하는 것을 특징으로 하는 광대역 고선형성의 가변 이득 증폭기.

청구항 5

제1항에 있어서,

상기 적분기-궤환 회로는 피드백 경로의 적분기 삽입을 통해 연산증폭기 코어 회로의 이득만큼 시스템의 cut-off 주파수가 낮아지는 것을 특징으로 하는 광대역 고선형성의 가변 이득 증폭기.

청구항 6

제1항에 있어서,

상기 적분기-궤환 회로는 피드백 경로의 적분기가 전체 시스템의 전달 함수 및 잡음 성능에 영향을 끼치지 않는 것을 특징으로 하는 광대역 고선형성의 가변 이득 증폭기.

청구항 7

제1항에 있어서,

상기 가변 이득 증폭기는 밀러-커패시터로 인한 주요 극점의 성능 하락을 방지하기 위해 출력단에 AC 커플링을 통해 연결되는 피드포워드 트랜지스터로 zero점을 인위적으로 생성하여 상기 극점에 의한 영향을 상쇄시키는 것을 특징으로 하는 광대역 고선형성의 가변 이득 증폭기.

청구항 8

제1항에 있어서,

상기 가변 이득 증폭기는 피드 포워드 트랜지스터가 AC 커플링(coupling)을 통해 출력단에 연결이 됨으로써 저주파 영역에서 추가적인 트랜지스터로 인한 이득 하락을 방지하는 것을 특징으로 하는 광대역 고선형성의 가변 이득 증폭기.

청구항 9

제1항에 있어서,

상기 가변 이득 증폭기는 CMOS 공정 기반으로 구현되며,

전류 대칭성과 온도 안정성 확보를 위하여 PMOS 및 NMOS 트랜지스터가 병용된 차동 증폭기 구조를 포함하고,

잡음 특성 개선을 위한 커패시턴스 필터 또는 대칭 회로 구조와 병행 구동되는 것을 특징으로 하는 광대역 고선형성의 가변 이득 증폭기.

청구항 10

광대역 고선형성의 가변 이득 증폭기를 이용한 방법에 있어서,

(a)상기 가변 이득 증폭기가 피드백 저항에 임피던스를 구현하는 반전 증폭기 구조로 입력저항과 피드백 저항의 비율에 따라 형성되는 전달함수가 지수 함수 특성을 갖도록 구성하고, 이를 통해 출력 이득이 dB 단위에서 선형적으로 제어되도록 설정하는 단계,

(b)상기 가변 이득 증폭기에 연결된 적분기-궤환 회로의 출력신호를 입력신호와 비교하고, 피드백 경로에 적분기를 삽입하여 전달함수 상에 극점(pole)을 형성하고 해당 극점을 시스템의 closed-loop 전달함수 내에서 zero로 전환하여 high-pass 특성을 형성하고 DC offset을 제거하는 단계;

(c)상기 가변 이득 증폭기가 적분기 삽입 조건 하에서도 연산 증폭기의 이득(Gain), 저항(R), 커패시턴스(C)의 조합을 통해 상대적으로 낮은 R 및 C 값만으로도 low cut-off 주파수가 구현하여 cut-off 주파수 성능을 보장하는 단계를 포함하며,

상기 방법은 피드 포워드 트랜지스터가 AC 커플링(coupling)을 통해 출력단에 연결되고, PMOS/NMOS를 모두 활용한 CMOS 구조를 포함하는 가변 이득 증폭기를 이용하여 전력 효율을 극대화하는 것을 특징으로 하는 광대역 고선형성의 가변 이득 증폭방법.

청구항 11

제10항에 있어서,

상기 (b)단계는 적분기-궤환 회로가 피드백 경로에 적분기 삽입을 통한 극점을 발생시켜 closed-loop 전달함수에서 해당 극점이 zero 점으로 동작하는 high-pass 동작을 수행하여 입력신호의 DC offset을 제거하는 것을 특징으로 하는 광대역 고선형성의 가변 이득 증폭방법.

청구항 12

제10항에 있어서,

상기 (a)단계는 밀러-커패시터로 인한 주요 극점의 성능 하락을 방지하기 위해 출력단에 AC 커플링을 통해 연결되는 피드포워드 트랜지스터로 zero점을 인위적으로 생성하여 상기 극점에 의한 영향을 상쇄시키는 것을 특징으로

로 하는 광대역 고선형성의 가변 이득 증폭방법.

발명의 설명

기술 분야

[0001] 본 발명은 광대역 고선형성의 가변 이득 증폭기에 관한 것으로, 보다 상세하게는 피드백(궤환) 증폭기에서의 입력 및 피드백 저항의 가변(variation), 그리고 적분기-궤환회로 사용을 통해 고선형성의 가변 이득 성능을 달성하고 DC offset에 의한 출력신호 포화(saturation)를 방지하기 위한 광대역 고선형성의 가변 이득 증폭기 및 그 방법에 관한 것이다.

배경 기술

[0002] 기존의 DC offset 보정기술은 도 1에 도시된 바와 같이, 입력신호에서 발생하는 DC offset을 제거하여 출력 신호의 왜곡 및 포화를 최소화하는데 있다.

[0003] 도 1의 방식은 세 개의 증폭단 구현에 따른 3개의 DAC, 혹은 보정 전류를 제시하여 높은 이득을 가진 가변 이득 증폭기로 인한 DC offset을 보정하기 위해 추가적인 전류를 주입하는 방식이다. 추가적인 전류 주입은 DAC(Digital to analog converter)를 통해 디지털 제어 신호로부터 원하는 전류 크기를 결정하는 방식으로 구현된다.

[0004] 이러한 방식은 피드백(궤환)이 없는 보정방식으로서, 안정도 문제로부터 자유롭고 발진(oscillation)의 가능성이 낮으나 DC offset 제거 성능은 사용된 DAC의 resolution에 따라 결정이 나기 때문에 높은 수준의 DC offset 보정을 위해서는 필요로 하는 DAC의 반도체 면적 및 전력 소모가 매우 크다. 또한 칩(반도체)마다 공정의 변화가 존재함으로 인해 보정해야 하는 디지털 코드의 값이 바뀌게 되며 이에 따라 추가적인 보정이 필요로 하거나, 칩 별로 별도로 최적성능을 보장하기 위한 테스트 과정이 필수적이다. 그리고 증폭단마다 별도의 보정 하드웨어(DAC)가 필요하다.

[0005] DC offset이란 입력 신호의 인가가 없음에도 불구하고 차동 입력신호의 차이가 0이 아닌 상태로 존재하는 현상을 의미한다. 이러한 DC offset이 존재하면 증폭기의 출력 신호에는 입력 DC offset의 크기는 증폭단의 증폭 이득을 통해 높은 레벨의DC (혹은 동작점) 비대칭이 발생할 수 있다. 이는 출력신호의 왜곡을 초래할 수 있고, 이를 보정하지 않으면 다른 기기와의 연결이나 다음 단계의 신호 처리에 문제가 발생할 수 있다.

[0006] 도 2는 기존 DC offset보정기술B를 나타낸 도면이다. 이러한 도 2에 도시된 바와 같이, 피드백(궤환)을 적용하여, 피드백 부분에 존재하는 주요 극점의 위치가 closed-loop 시스템에서 제로(zero) 점으로 작용하는 원리를 적용하여 도 2의 구현을 따를 시, 필터(filter)의 이득은 1임을 가정하면, 입출력 전달함수(transfer function)는 다음과 같이 표현된다.

[0007]

$$\frac{v_{out}}{i_{in}} = \frac{A}{1 + A\beta} = \frac{R_F}{1 + R_F G_{m1} G_{m2} (R_L \| 1/s C_L)}$$

[0008]

$$= \frac{1}{G_{m1} G_{m2} R_L} \cdot \frac{1 + s R_L C_L}{1 + \frac{s C_L}{G_{m1} G_{m2} R_F}}$$

[0009] 이는 낮은 cut-off 주파수를 보장하기 위해 필요로 하는 R(저항)과 C(커패시터)의 크기가 매우 큰 문제가 있다. 또한 높은 수준의 DC offset 제거 성능을 보장하기 위해 피드백 부분에 존재하는 trans-conductor(Gm)의 크기는 작아야 하고, 피드백 방식의 구현으로 인해 안정도(stability)에 주의를 기울여야 한다.

[0010] 도 3은 밀러-커패시터(Miller-Capacitor)를 적용한 연산 증폭기 구현기술을 나타낸 예시도이다. 도 3에 도시된 바와 같이, 기존의 연산 증폭기는 높은 이득을 가지기 위해 다수의 stage가 필요로 한다. 이는 2-stage 증폭기 구조가 가장 많이 사용되며, 충분한 안정도를 보장하기 위해 주파수 안정화 기술이 필수적이다. 도 3은 Miller-capacitor를 적용한 주파수 안정화 기술을 나타낸 것으로 Miller 커패시터 적용에 따라 주요 극점(dominant pole)이 낮아짐으로 인해 광대역 구현이 어려운 문제가 있다. 또한 Miller 커패시터 적용 후에도 넓은 대역폭을

이루기 위해서는 상응하는 전력 소모 증가가 뒤따르게 된다. 그리고 Miller 커패시터로 인한 Zero점이 발생하여 추가적인 안정화 보장 기술을 필요로 한다.

선행기술문헌

특허문헌

[0011] (특허문헌 0001) 공개특허 10-2008-0032949 (2008.04.16)

발명의 내용

해결하려는 과제

[0012] 본 발명은 상술한 문제를 해결하고자 고안한 것으로, 피드백(궤환) 증폭기에서의 입력 및 피드백 저항의 가변(variation), , 그리고 적분기-궤환회로 사용을 통해 고선형(dB-linear) 가변 이득 성능을 달성하기 위한 광대역 고선형성의 가변 이득 증폭기 및 그 방법을 제공함에 목적이 있다.

과제의 해결 수단

[0013] 본 발명에 따른 광대역 고선형성의 가변 이득 증폭기는 피드백 저항에 임피던스를 구현하는 반전 증폭기 구조로 입력저항과 피드백 저항의 비율로써 이득을 갖는 가변 이득 증폭기, 상기 가변 이득 증폭기와 연결되어 피드백 회로의 출력신호를 상기 피드백 회로의 입력신호와 비교를 통해 DC offset 제거 및 cut-off 주파수 성능을 보장하는 적분기-궤환 회로를 포함한다.

발명의 효과

[0014] 본 발명의 일 실시예에 따르면, 입력 및 피드백 저항의 가변(variation)을 통해 고선형 가변 이득 성능을 달성하는 효과가 있다. 또한 적분기-궤환회로 사용을 통해 매우 작은 R(저항)과 C(커패시터)을 구비하고도, 낮은 cut-off 주파수를 보장할 수 있다.

도면의 간단한 설명

[0015] 도 1은 기존의 DC offset 보정기술A과 관련된 도면이다.
 도 2는 기존 DC offset보정기술B를 나타낸 도면이다.
 도 3은 밀러-커패시터를 적용한 연산 증폭기 구현기술을 나타낸 예시도이다.
 도 4는 본 발명의 일 실시예에 따른 광대역 고선형성의 가변 이득 증폭기를 나타낸 구성도이다.
 도 5는 본 발명의 일 실시예에 따른 광대역 고선형성의 가변 이득 증폭기의 연산 증폭기 코어를 나타낸 도면이다.
 도 6은 본 발명의 일 실시예에 따른 광대역 고선형성의 가변 이득 증폭기의 고선형 가변 이득 증폭단을 나타낸 도면이다.
 도 7은 본 발명의 일 실시예에 따른 광대역 고선형성의 가변 이득 증폭기의 DC offset 제거를 설명하기 위한 도면이다.
 도 8은 본 발명의 일 실시예에 따른 광대역 고선형성의 가변 이득 증폭기를 이용한 방법을 나타낸 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 발명의 실시예에서 제시되는 특정한 구조 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있다. 또한, 본 명세서에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 되며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경물, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0017] 한편, 본 발명에서 제1 및/또는 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성

요소들은 상기 용어들에 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소들과 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않는 범위 내에서, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

- [0018] 도 4는 본 발명의 일 실시예에 따른 광대역 고선형성의 가변 이득 증폭기를 나타낸 구성도이다. 도 4에 도시된 바와 같이, 가변 이득 증폭기(110), 적분기-궤환회로(120)를 포함한다.
- [0019] 가변 이득 증폭기(110)는 피드백 저항에 임피던스를 구현하는 반전 증폭기 구조로 입력저항과 피드백 저항의 비율로써 이득을 갖는다.
- [0020] 이러한 가변 이득 증폭기의 연산 증폭기 코어(A1, A2, A3)는 밀러-커패시터로 인한 주요 극점의 성능 하락을 방지하기 위해 출력단에 AC 커플링을 통해 연결되는 피드포워드 트랜지스터로 zero점을 인위적으로 생성하여 극점에 의한 영향을 상쇄시킨다.
- [0021] 가변 이득 증폭기는 피드 포워드 트랜지스터가 AC 커플링(coupling)을 통해 출력단에 연결이 됨으로써 저주파 영역에서 추가적인 트랜지스터로 인한 이득 하락을 방지한다.
- [0022] 가변 이득 증폭기는 피드 포워드 트랜지스터가 PMOS/NMOS를 모두 활용한 CMOS 구조를 통해 전력 효율을 극대화한다.
- [0023] 가변 이득 증폭기는 입력저항과 피드백 저항의 비율로써 이득을 조절하는 가변 이득 방식을 통해 Trans-conductor(Gm) 및 연산 증폭기 내부의 저항 변경을 필요로 하지 않는다. 이때, 가변 이득 증폭기는 Trans-conductor(Gm) 및 연산 증폭기 내부의 저항 변경이 필요 없음으로 인해 가변 이득 증폭기의 선형성(dB-linear)를 보장하고, 연산 증폭기의 비선형 성분에 의한 성능 저하를 방지한다.
- [0024] 적분기-궤환회로(120)는 가변 이득 증폭기와 연결되어 피드백 회로의 출력신호를 피드백 회로의 입력신호와 비교를 통해 DC offset 제거 및 cut-off 주파수 성능을 보장한다.
- [0025] 적분기-궤환 회로는 피드백 경로에 적분기 삽입을 통한 극점을 발생시켜 closed-loop 전달함수에서 해당 극점이 zero 점으로 동작하는 high-pass 동작을 수행하여 입력신호의 DC offset을 제거한다.
- [0026] 또한 적분기-궤환 회로는 피드백 경로에 적분기 삽입함으로써 연산증폭기 코어 회로의 이득만큼 시스템의 cut-off 주파수가 낮아지는 효과가 있어, 상대적으로 낮은 R/C값을 가지고 낮은 cut-off 주파수 성능을 보장한다.
- [0027] 적분기-궤환 회로는 피드백 경로의 적분기가 전체 시스템의 전달 함수 및 잡음 성능에 영향을 끼치지 않는다.
- [0028] 본 실시예에 따른 광대역 고선형성의 가변 이득 증폭기의 모든 연산 증폭기 및 Trans-conductor 셀은 도 5의 연산 증폭기 코어 구조를 갖는다.
- [0029] 도 5는 본 발명의 일 실시예에 따른 광대역 고선형성의 가변 이득 증폭기의 연산 증폭기 코어를 나타낸 도면이다.
- [0030] 본 실시예에 따른 광대역 고선형성의 가변 이득 증폭기는 도 5에 도시된 바와 같이, 피드포워드 트랜지스터를 활용하여 zero점을 인위적으로 생성한다. 생성된 zero점은 연산 증폭기가 가지고 있는 극점에 의한 영향을 상쇄함으로써 전체 시스템의 안정화를 이룩하게 된다. 이로 인해, 밀러(Miller) 커패시터에 의한 주요 극점의 성능 하락을 방지함으로써 광대역을 실현한다.
- [0031] 피드 포워드 트랜지스터는 AC 커플링(coupling)을 통해 출력단에 연결이 됨으로써 저주파 영역에서 추가적인 트랜지스터로 인한 이득 하락을 방지한다. 또한 PMOS/NMOS를 모두 활용한 CMOS 구조를 통해 전력 효율을 극대화한다.
- [0032] 도 6은 본 발명의 일 실시예에 따른 광대역 고선형성의 가변 이득 증폭기의 고선형 가변 이득 증폭단을 나타낸 도면이다.
- [0033] 도 6에 도시된 바와 같이, 본 실시예에 따른 가변 이득 증폭기는 고선형 가변 이득 증폭단의 반전 증폭기 구조를 활용하여 입력 저항과 피드백 저항의 비율로써 이득을 실현한다. 도 6은 피드백 저항에 임피던스를 구현한 것으로 추가적인 low-pass를 실현하기 위함이다.

[0034] 입력저항: R_{in} , 그리고 피드백 임피던스: R_f 로 표기할 시 입출력 전달함수(transfer function)은 다음과 같다.

$$\frac{v_{out}}{v_{in}} = \frac{R_F + \Delta R_F}{R_{in} - \Delta R_{in}} = \frac{R_F}{R_{in}} \cdot \frac{1 + \frac{\Delta R_F}{R_F}}{1 - \frac{\Delta R_{in}}{R_{in}}}$$

[0035]

[0036] 입력 저항과 피드백 저항(임피던스)의 변화비율이 동일하다고 가정할 시, 아래와 같이 변경 가능하다.

$$\frac{v_{out}}{v_{in}} = \frac{R_F}{R_{in}} \cdot \frac{1+x}{1-x} \approx \frac{R_F}{R_{in}} e^{2x}$$

[0037]

[0038] 입출력 전달함수가 지수 함수(exponential) 특성을 나타냄으로 인해 dB-linear(dB 스케일에서의 선형성)을 보장할 수 있게 된다.

[0039] 시스템의 DC offset 제거 및 낮은 cut-off 성능은 도 4의 적분기-폐환회로(integrator-feedback loop)를 통해 달성 가능하고, 고선형(dB-linear) 가변 이득 성능은 제안하는 입력 및 피드백 저항의 variation을 통해 달성하며, 참고로 도 4의 구현을 통한 입출력 전달함수는 주파수 대역별로 다음과 같이 나타낼 수 있다.

Transfer function

- @ Passband (mid) frequency:

[0040]

$$A_{V,MID} = -\frac{R_{1,fb}}{R_{1,in}} \cdot \frac{R_{2,fb}}{R_{2,in}} \cdot \frac{R_{3,fb}}{R_{3,in}}$$

[0041]

- @ High-frequency:

[0042]

$$A_{V,HF}(s) = A_{V,MID} \cdot \frac{1}{1+s/\omega_{t1}} \cdot \frac{1}{1+sR_{2,fb}C_{2,fb}} \cdot \frac{1}{1+sR_{3,fb}C_{3,fb}}$$

[0043]

- @ low-frequency:

[0044]

$$A_{V,LF}(s) = -\frac{R_{1,fb}}{R_{1,in}} \cdot \frac{1}{R_{2,in}} \cdot \frac{R_{2,fb} \cdot \frac{R_{3,fb}}{R_{3,in}}}{1 + R_{2,fb} \cdot \frac{R_{3,fb}}{R_{3,in}} \cdot \frac{G_m}{sR_L C_L}}$$

[0045] 도 7은 본 발명의 일 실시예에 따른 광대역 고선형성의 가변 이득 증폭기의 DC offset 제거를 설명하기 위한 도면이다. 도 7에 도시된 바와 같이, 피드백(폐환) 패스에 Integrator 삽입을 통한 극점이 발생한다. closed-loop 전달 함수에서 해당 극점은 zero 점으로 동작함으로 인해 high-pass 동작을 하게 된다.

[0046] 이로 인해 Integrator를 통한 높은 이득을 활용해 작은 R/C 값을 가지고도 낮은 cut-off 주파수 성능을 보장하는 효과가 있다. 또한 trans-conductor(G_m)단 만이 전체 전달 함수에 영향을 끼치게 된다. 즉 피드백에 존재하는 연산 증폭기의 특성은 전달함수에 영향을 끼치지 않는 장점이 있다. 그리고 피드백에 존재하는 연산 증폭기의 잡음은 전체 시스템에 영향을 끼치지 않는 장점이 있으므로, 저잡음 구현이 가능하다.

[0047] 도 8은 본 발명의 일 실시예에 따른 광대역 고선형성의 가변 이득 증폭기를 이용한 방법을 나타낸 흐름도이다.

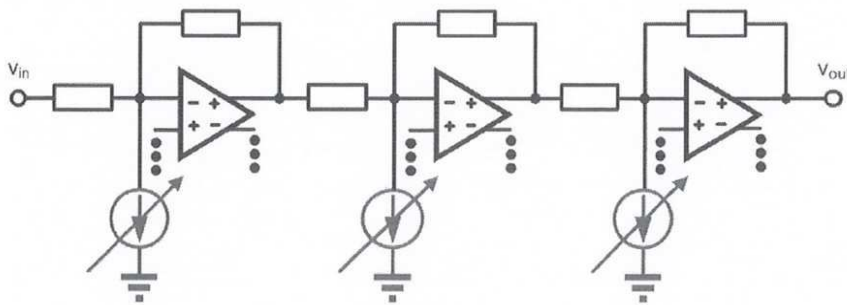
[0048] 도 8에 도시된 바와 같이, 광대역 고선형성의 가변 이득 증폭기를 이용한 방법에 있어서, (a)광대역 고선형성의 가변 이득 증폭기는 피드백 저항에 임피던스를 구현하는 반전 증폭기 구조로 입력저항과 피드백 저항의 비율로써 이득을 갖는 단계, (b)광대역 고선형성의 가변 이득 증폭기는 적분기-폐환 회로의 출력신호를 적분기-폐환 회로의 입력신호와 비교를 통해 DC offset 제거하는 단계, (c)광대역 고선형성의 가변 이득 증폭기는 피드백 경로에 적분기 삽입을 통한 이득에 비해 상대적으로 낮은 R/C값을 가지고 cut-off 주파수 성능을 보장하는 단계를

포함한다.

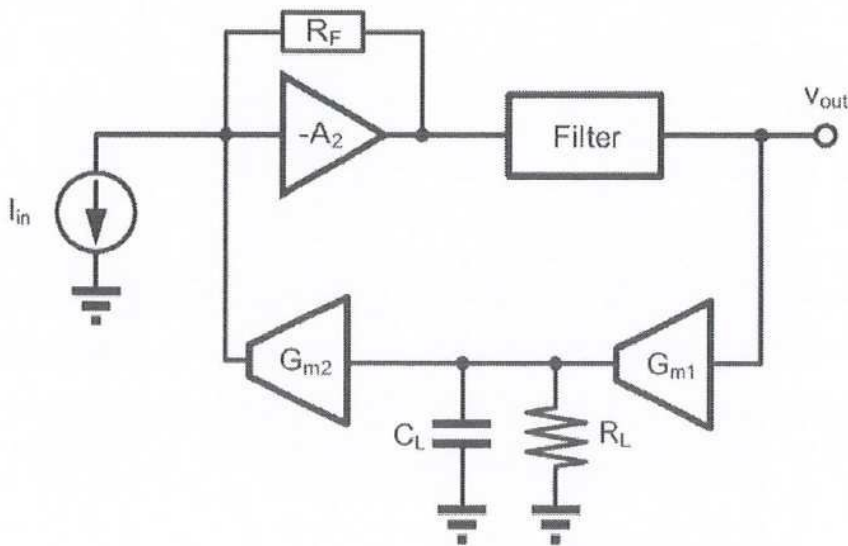
- [0049] (a)단계는 밀러-커패시터로 인한 주요 극점의 성능 하락을 방지하기 위해 출력단에 AC 커플링을 통해 연결되는 피드포워드 트랜지스터로 zero점을 인위적으로 생성하여 상기 극점에 의한 영향을 상쇄한다.
- [0050] (b)단계는 적분기-궤환 회로가 피드백 경로에 적분기 삽입을 통한 극점을 발생시켜 closed-loop 전달함수에서 해당 극점이 zero 점으로 동작하는 high-pass 동작을 수행하여 입력신호의 DC offset을 제거한다.
- [0051] 본 발명의 일 실시예에 따르면, 입력 및 피드백 저항의 가변(variation)을 통해 고선형 가변 이득 성능을 달성하는 효과가 있다.
- [0052] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함은 당업자에게 명백할 것이다.

도면

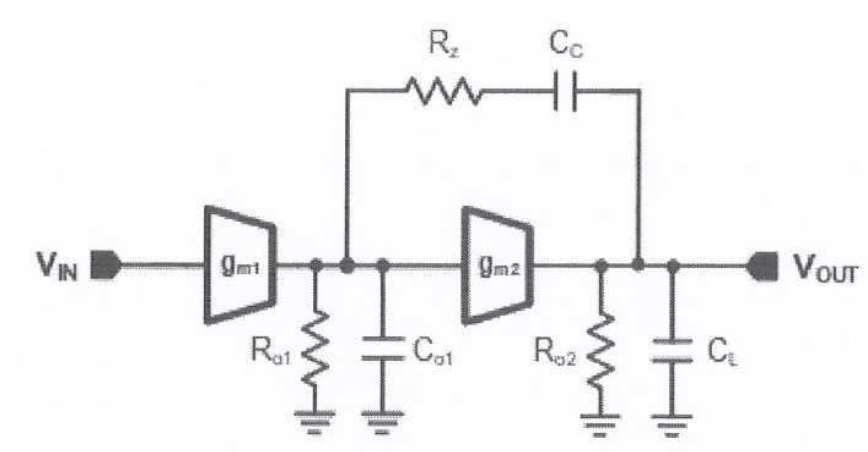
도면1



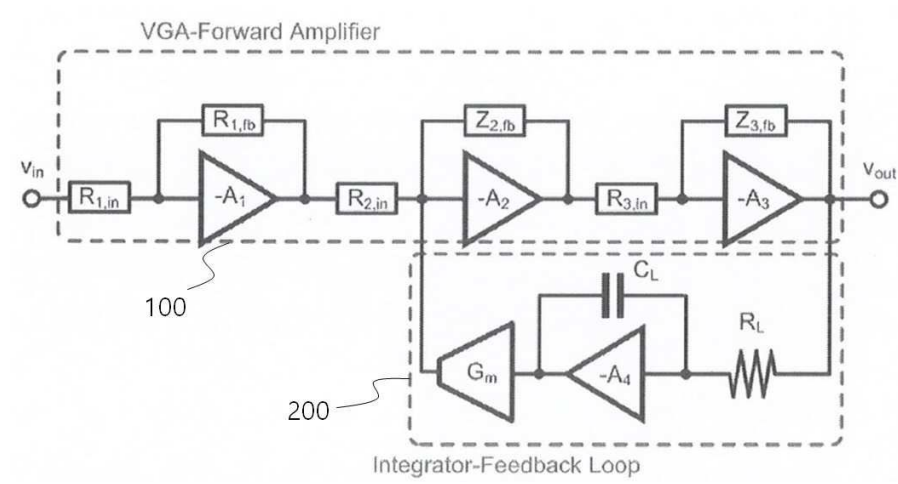
도면2



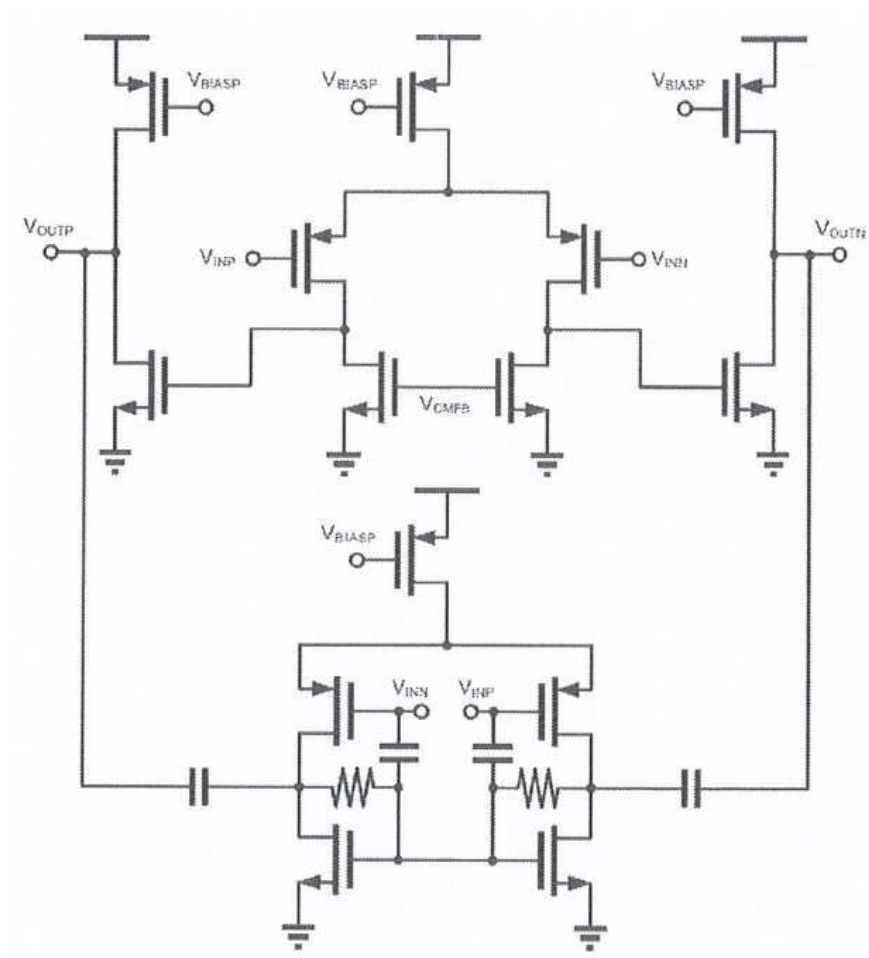
도면3



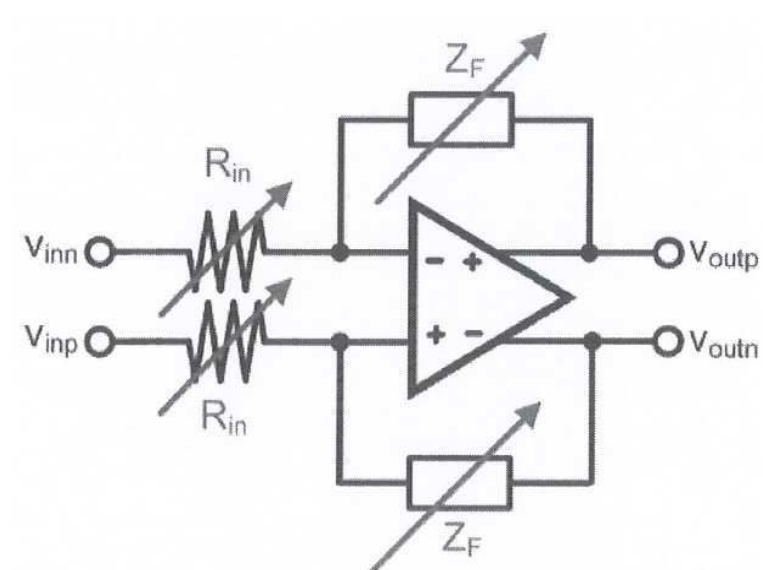
도면4



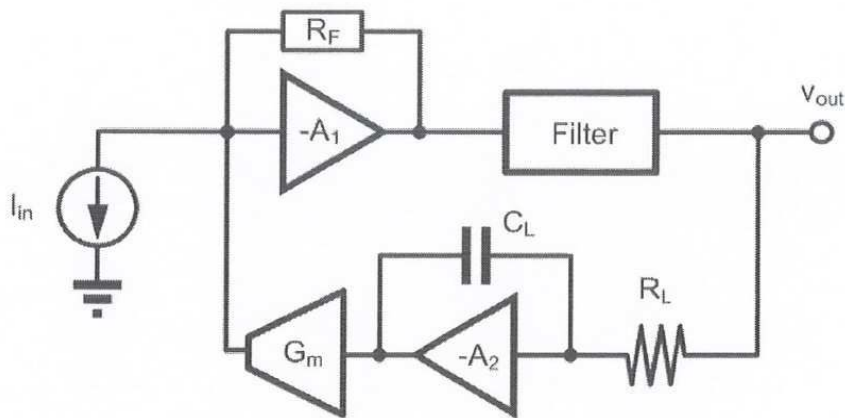
도면5



도면6



도면7



도면8

