



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년07월02일
(11) 등록번호 10-2829190
(24) 등록일자 2025년06월30일

(51) 국제특허분류(Int. Cl.)

H10D 30/69 (2025.01) H10B 43/27 (2023.01)
H10B 43/35 (2023.01) H10D 30/67 (2025.01)
H10D 48/00 (2025.01)

(52) CPC특허분류

H10D 30/69 (2025.01)
H10B 43/27 (2023.02)

(21) 출원번호 10-2024-0004327

(22) 출원일자 2024년01월10일

심사청구일자 2024년01월10일

(56) 선행기술조사문헌

KR1020200019149 A*

KR1020160067166 A*

KR1020140118691 A

H. Kim et. al., "Electrically Erasable Wide-Bandgap Charge-Trap Memory With an Electric-Flux-Modulating Counter Electrode", IEEE Elec. Dev. Lett., Vol. 44, No. 11, pp. 1841 - 1844 (2023.09.11.) 1부.*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

국립한밭대학교 산학협력단

대전광역시 유성구 동서대로 125 (덕명동)

(72) 발명자

김민희

대전광역시 유성구 은구비남로 55, 707동 502호
(지족동, 열매마을7단지)

김창현

경기도 성남시 수정구 성남대로 1342 (복정동)
(뒷면에 계속)

(74) 대리인

특허법인오암

전체 청구항 수 : 총 13 항

심사관 : 윤광준

(54) 발명의 명칭 전하트랩메모리소자 및 이를 이용한 3D V-낸드플래시메모리소자

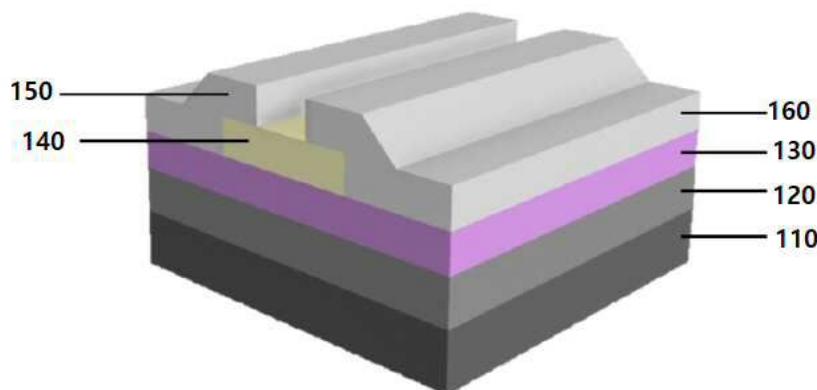
(57) 요약

본 발명은 전하트랩메모리소자에 관한 것으로, 게이트전극; 상기 게이트전극의 상부에 구비되는 게이트절연층; 상기 게이트절연층의 상부에 구비되어 전하를 저장하는 전하트랩층; IGZO(indium-gallium-zinc-oxide), IZTO(Indium Zinc Tin Oxide) 및 ZTO(Zinc Tin Oxide) 중 어느 하나를 이용하여 형성되되, 상기 전하트랩층의

(뒷면에 계속)

대표도 - 도1

100



상부 중앙영역에 구비되어 상기 전하를 수송하는 산화물반도체층; 외측단부가 상기 전하트랩층의 상부에 접하면서 내측단부가 상기 산화물반도체층의 상부에 접하도록 구비되는 소스전극; 외측단부가 상기 전하트랩층의 상부에 접하면서 내측단부가 상기 산화물반도체층의 상부에 접하도록 구비되며, 상기 산화물반도체층의 중앙부가 상부로 노출되도록 상기 소스전극의 내측단과 기 설정된 간격만큼 이격 형성되는 드레인전극; 상기 산화물반도체층, 소스전극 및 드레인전극의 상부에 구비되는 상부절연층; 및 상기 상부절연층의 상부에 구비되는 상부금속층;을 포함함으로써, IGZO, IZTO) 및 ZTO 중 어느 하나를 이용한 반도체를 이용하여 효과적인 쓰기 동작 및 지우기 동작을 수행할 수 있다.

또한, 본 발명은 3D V-낸드플래시메모리소자에 관한 것으로, 중앙부에 구비되는 코어금속층; 상기 코어금속층의 외측에 구비되는 제 1 절연층; 상기 제 1 절연층의 외측에 구비되며, IGZO(indium-gallium-zinc-oxide), IZTO(Indium Zinc Tin Oxide) 및 ZTO(Zinc Tin Oxide) 중 어느 하나를 이용하여 형성되어 전하를 수송하는 산화물반도체층; 상기 산화물반도체층의 외측에 구비되어 상기 전하를 저장하는 전하트랩층; 상기 전하트랩층의 외측에 구비되는 게이트절연층; 상기 게이트절연층의 외측 중앙영역에 구비되는 게이트전극;을 포함함으로써, IGZO, IZTO 및 ZTO 중 어느 하나를 이용한 반도체를 구비한 전하트랩메모리소자의 구조를 적용하여 효과적인 쓰기 동작 및 지우기 동작을 수행할 수 있다.

(52) CPC특허분류

H10B 43/35 (2023.02)
H10D 30/6755 (2025.01)
H10D 99/00 (2025.01)

에이모스 보암퐁

대전광역시 유성구 동서대로 125, 게스트하우스
 403호 (덕명동)

(72) 발명자

김하영

대전광역시 동구 산내로1257번길 40, 105동 1004호
 (낭월동, 석천들주공아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호	1345364729
과제번호	2018R1A6A1A03026005
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	이공학학술연구기반구축
연구과제명	인쇄전자3D프린팅공학연구소
과제수행기관명	국립한밭대학교
연구기간	2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1415183116
과제번호	P0012744
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술진흥원
연구사업명	산업혁신인재성장지원
연구과제명	디지털 제조장비 R&D 전문인력양성
과제수행기관명	국립한밭대학교
연구기간	2022.03.01 ~ 2023.02.28

공지예외적용 : 있음

명세서

청구범위

청구항 1

게이트전극;

상기 게이트전극의 상부에 구비되는 게이트절연층;

상기 게이트절연층의 상부에 구비되어 전하를 저장하는 전하트랩층;

IGZO(indium-gallium-zinc-oxide), IZTO(Indium Zinc Tin Oxide) 및 ZTO(Zinc Tin Oxide) 중 어느 하나를 이용하여 형성되며, 상기 전하트랩층의 상부 중앙영역에 구비되어 상기 전하를 수송하는 산화물반도체층;

외측단부가 상기 전하트랩층의 상부에 접하면서 내측단부가 상기 산화물반도체층의 상부에 접하도록 구비되는 소스전극;

외측단부가 상기 전하트랩층의 상부에 접하면서 내측단부가 상기 산화물반도체층의 상부에 접하도록 구비되며, 상기 산화물반도체층의 중앙부가 상부로 노출되도록 상기 소스전극의 내측단과 기 설정된 간격만큼 이격 형성되는 드레인전극;

상기 산화물반도체층, 소스전극 및 드레인전극의 상부에 구비되는 상부절연층; 및

상기 상부절연층의 상부에 구비되는 상부금속층;을 포함하며,

쓰기 동작에서는 상기 소스전극의 일함수와 상기 산화물반도체층의 전도대역 사이의 전자 주입장벽이 낮게 나타나며, 상기 쓰기 동작 시에 상기 게이트전극에 상대적으로 큰 양의 전압을 인가하면서 상기 소스전극 및 드레인전극에 0V를 인가할 경우 상대적으로 낮은 전자 주입장벽으로 인해 상기 소스전극에서 상기 산화물반도체층의 전도대역으로 전자가 주입되며, 상기 산화물반도체층의 전도대역과 상기 전하트랩층의 계면에 상기 전자가 축적되고, 상기 게이트전극에 인가된 전압과 계면에 축적된 상기 전자로 인해 모든 구역에서 전기장이 발생하며, 생성된 상기 전기장에 의해 계면에 축적된 상기 전자를 상기 전하트랩층에 트랩하는 방식으로 상기 쓰기 동작을 수행하고,

상기 상부절연층 및 상부금속층이 구비된 소자의 지우기 동작에서는 중앙영역에 수직으로 전기장을 형성시켜 전기적 지우기 동작을 수행하며, 상기 게이트전극에 상대적으로 큰 음의 전압을 인가하면서 상기 소스전극 및 드레인전극에 0V를 인가할 경우 인가된 전압에 의해 양측영역에서는 상기 소스전극 및 드레인전극에서 상기 상부금속층 방향의 전기장이 발생한 후, 상기 중앙영역에서 상기 상부금속층에서 상기 게이트전극 방향의 전기장이 발생하고, 상기 상부금속층으로 인해 상기 중앙영역에서 수직 전기장이 생성되어 상기 전하트랩층에 기준 크기 이상의 전기장이 인가되며, 상기 지우기 동작을 통해 트랩되었던 전자를 디트랩할 수 있게 되면서, 문턱전압이 음의 방향으로 이동하여 초기값으로 변화되어 상기 지우기 동작을 수행하는

전하트랩메모리소자.

청구항 2

청구항 1에 있어서,

상기 게이트전극은,

도핑된 실리콘(Si) 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나를 이용하며, 물리적 기상 증착공정(PVD)을 이용하여 형성되는

전하트랩메모리소자.

청구항 3

청구항 2에 있어서,

상기 전하트랩층은,

Si_3N_4 , PHPS(Perhydropolysilazane) 및 ZrO_2 중 어느 하나를 이용하여 화학적기상증착공정(CVD) 또는 스퍼코팅 공정과, 어닐링공정을 통해 형성되는

전하트랩메모리소자.

청구항 4

청구항 3에 있어서,

상기 소스전극 및 드레인전극은,

각각 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나를 이용하되, 물리적기상증착공정(PVD) 또는 열증착공정(Thermal Evaporation)을 이용하여 형성되는

전하트랩메모리소자.

청구항 5

청구항 1 내지 청구항 4 중 어느 한 항에 있어서,

상기 상부금속층은,

텅스텐(W)을 이용하여 물리적기상증착공정(PVD)을 통해 65-75 nm의 두께범위로 형성되는

전하트랩메모리소자.

청구항 6

청구항 5에 있어서,

상기 상부절연층은,

CYTOP 또는 SiO_2 을 이용하여 220-250 nm의 두께범위로 형성되는

전하트랩메모리소자.

청구항 7

중앙부에 구비되는 코어금속층;

상기 코어금속층의 외측에 구비되는 제 1 절연층;

상기 제 1 절연층의 외측에 구비되되, IGZO(indium-gallium-zinc-oxide), IZTO(Indium Zinc Tin Oxide) 및 ZTO(Zinc Tin Oxide) 중 어느 하나를 이용하여 형성되어 전하를 수송하는 산화물반도체층;

상기 산화물반도체층의 외측에 구비되어 상기 전하를 저장하는 전하트랩층;

상기 전하트랩층의 외측에 구비되는 게이트절연층; 및

상기 게이트절연층의 외측 중앙영역에 구비되는 게이트전극;을 포함하며,

상기 코어금속층이 구비된 소자의 쓰기 동작에서는 상기 게이트전극 및 코어금속층까지의 영역에서 균일한 전기장 분포를 나타내고, 지우기 동작에서는 상기 코어금속층 및 게이트전극까지의 영역에서 균일한 전기장 분포를 나타내면서 상기 전하트랩층에 있는 전자의 디트랩을 가능하게 하는 전위차가 형성되는

3D V-낸드플래시메모리소자.

청구항 8

청구항 7에 있어서,
상기 3D V-낸드플래시메모리소자는,
상기 산화물반도체층 및 전하트랩층의 사이에 구비되는 터널링층;
을 더 포함하는 3D V-낸드플래시메모리소자.

청구항 9

청구항 7 또는 청구항 8에 있어서,
상기 3D V-낸드플래시메모리소자는,
상기 게이트전극의 상하부에 상기 게이트절연층의 외측에 접하여 구비되는 제 2 절연층;
을 더 포함하는 3D V-낸드플래시메모리소자.

청구항 10

청구항 9에 있어서,
상기 전하트랩층은,
 Si_3N_4 또는 ZrO_2 를 이용하여 화학적기상증착공정(CVD) 또는 원자층증착공정(ALD)을 통해 형성되는
3D V-낸드플래시메모리소자.

청구항 11

청구항 10에 있어서,
상기 코어금속층은,
텅스텐(W)을 이용하여 화학적기상증착공정(CVD) 또는 원자층증착공정(ALD)을 통해 형성되는
3D V-낸드플래시메모리소자.

청구항 12

청구항 11에 있어서,
상기 제 1 절연층은,
 SiO_2 를 이용하여 산화공정이나 화학적기상증착(CVD)을 통해 5-40 nm의 두께범위로 형성되는
3D V-낸드플래시메모리소자.

청구항 13

청구항 12에 있어서,

상기 게이트절연층은,

SiO_2 또는 Si_3N_4 를 이용하여 산화공정이나 화학적기상증착공정(CVD)을 통해 65-75 nm의 두께범위로 형성되는

3D V-낸드플래시메모리소자.

발명의 설명

기술 분야

[0001] 본 발명은 게이트전극의 상부에 게이트절연층이 구비되고, 게이트절연층의 상부에 전하를 저장하는 전하트랩층이 구비되며, 전하트랩층의 상부 중앙영역에 IGZO(indium-gallium-zinc-oxide), IZTO(Indium Zinc Tin Oxide) 및 ZTO(Zinc Tin Oxide) 중 어느 하나를 이용하여 형성되되, 전하를 수송하는 산화물반도체층이 구비되고, 외측 단부가 전하트랩층의 상부에 접하면서 내측단부가 산화물반도체층의 상부에 접하도록 구비되는 소스전극과 외측 단부가 전하트랩층의 상부에 접하면서 내측단부가 산화물반도체층의 상부에 접하도록 구비되되, 산화물반도체층의 중앙부가 상부로 노출되도록 소스전극의 내측단과 기 설정된 간격만큼 이격 형성되는 드레인전극이 구비되며, 소스 및 드레인 전극과 반도체층 위에 상부절연층이 구비되고, 상부절연층 위에 상부전극이 구비됨으로써, IGZO, IZTO 및 ZTO 중 어느 하나를 이용한 반도체를 이용하여 효과적인 쓰기 동작 및 지우기 동작을 수행할 수 있는 전하트랩메모리소자 및 이를 이용한 3D V-낸드플래시메모리소자에 관한 것이다.

배경 기술

[0002] 잘 알려진 바와 같이, 플래시 메모리(Flash memory)는 전원이 꺼져도 저장된 정보가 지워지지 않는 비휘발성 메모리의 한 종류이며, 그 종류로는 플로팅게이트메모리(Floating gate memory, FGM)와 전하트랩메모리(Charge trap memory, CTM)가 있다.

[0003] 여기에서, 전하트랩 메모리는 도체의 전하저장층을 사용하는 플로팅게이트메모리와는 다르게, 부도체의 전하저장층을 사용하는 메모리로서, 셀 간섭현상이 적고 정보의 저장을 유지하는 능력이 우수하여 실제 산업에 주로 사용되고 있다.

[0004] 이러한 전하트랩메모리는 정보의 저장 및 지우기를 수행할 수 있는데, 컨트롤게이트에 큰 양의 전압 또는 큰 음의 전압을 인가하여 전하트랩층에 전하를 트랩(쓰기 동작, writing)시키거나, 트랩된 전하를 디트랩(de-trap, 지우기 동작, erasing)시키는 방식으로 정보를 저장하고 삭제할 수 있다.

[0005] 상술한 바와 같은 전하트랩메모리의 전기적 특성을 나타내는 I-V그래프에서, 쓰기 동작(writing) 후, 전자가 전하트랩층에 트랩되면 문턱전압이 양의 방향으로 이동하는 모습이 관찰되고, 지우기 동작(erasing) 후에는 전자가 전하트랩층에서 디트랩되어 문턱전압이 음의 방향으로 이동함으로써 초기 상태로 돌아가는 것을 확인할 수 있다.

[0006] 한편, 전하트랩메모리의 원활한 쓰기 및 지우기 동작을 위해서는 각각의 작업을 수행할 때, 소스/드레인 전극과 게이트 사이의 영역(A영역) 및 채널영역과 게이트 사이의 영역(B영역) 모두, 일정 크기 이상의 전기장이 수직적으로 인가되어야 하고, 전하트랩층에 전하를 트랩 또는 디트랩 할 수 있을 만큼 크기의 전기장이 인가되어야 한다.

[0007] 또한, 전하트랩메모리의 각 동작을 수행하기 위해서는 각각의 전극(source, drain, gate)에 전압을 인가해주어야 하는데, 쓰기 동작과 지우기 동작 시에 전압을 게이트에 양과 음으로 반대로 인가해 주어야 한다.

[0008] 한편, n-type 반도체를 사용한 전하트랩메모리의 동작 메커니즘에 대해 설명하면, 쓰기 동작은 소스/드레인(S/D) 전극에 0 V, 컨트롤게이트에는 큰 양의 전압을 인가하여 이루어지는데, 전기장이 A영역, B영역 모두 인가되어야, 반도체와 전하트랩층 계면에 축적된 전하를 전하트랩층에 트랩할 수 있게 되며, 반대로 지우기 동작의 경우 소스/드레인 전극에 0 V, 컨트롤게이트에는 큰 음의 전압을 인가하여 이루어지는데, 이 동작에서도 마찬가지로 전하트랩층에 트랩된 전하를 디트랩이 가능하도록, 전기장이 전 영역에 효과적으로 인가되어야 한다.

[0009] 이때, 각 A영역, B영역에 따라 전기장이 형성되는 방식이 달라지게 되는데, A 영역은 소스/드레인 전극과 게이트인 금속이 양 끝에 위치해 있어, 쓰기 또는 지우기 작업 시, 각 금속에 전압을 인가해주면 전위차에 의해, 각 작업을 수행할 수 있는 효과적인 수직 전기장이 생성될 수 있다.

[0010] 또한, B영역은 반도체와 금속인 게이트가 양 끝에 위치하는 구조로, 양 끝의 금속에 인가된 전압에 의해, 직접

적으로 전위차가 생성되는 A영역과는 다르게 나타나는데, 소스 전극에서 반도체로 전하 주입이 이루어지면, 반도체와 전하트랩층 계면에 전하가 축적되어, 반도체의 채널영역이 높은 전도도를 갖게 되고, 높은 전도도를 갖는 반도체의 채널영역은 전하가 풍부하여 금속과 같이 작용하기 때문에, 높은 전도도를 보이는 채널영역과, 전압이 인가된 게이트 사이 전위차가 발생하게 되면, 수직방향으로 전기장이 분배되어 각 작업을 수행할 수 있다.

[0011] 한편, 반도체는 산화물, 유기물 반도체 등으로 나뉘게 되는데, 그 중에서도 산화물 반도체의 넓은 밴드갭, 상대적으로 높은 이동도, 화학적 안정성의 이유 때문에, 산화물 반도체가 박막트랜지스터(TFT), 전하트랩메모리(CTM) 제작에 많이 사용되고, 산화물 반도체는 poly-Si 반도체에 비해 상대적으로 높은 이동도(수직 적층 구조 플래시 메모리에 이용되는 poly-Si 반도체의 이동도 : $1 \text{ cm}^2/\text{Vs}$ 이하, 산화물 반도체의 이동도 : $2 \text{ cm}^2/\text{Vs}$ - $100 \text{ cm}^2/\text{Vs}$)를 가지며, 공정비용이 적게 소요될 뿐만 아니라 제조공정이 쉽다는 장점을 가지기 때문에, 산화물 반도체를 이용한 플래시메모리소자 연구가 활발하게 진행되고 있다.

[0012] 그러나, IGZO($E_g \sim 3.5 \text{ eV}$)와 같이 반도체의 밴드갭이 큰 물질을 CTM에 적용할 경우 전기적 쓰기 동작은 수행하나, 전기적 지우기 동작은 수행되지 않는다는 문제점이 있는데, 전기적 쓰기 동작의 경우 소스 전극의 일함수와 IGZO의 전도대역 사이의 전자 주입장벽이 낮기 때문에, 게이트에 큰 양의 전압을 인가해주고, 소스/드레인 전극에 0 V를 인가해주는 쓰기 동작에서, 소스 전극으로부터 IGZO로의 전도대역으로 전자가 주입되며, IGZO 전도대역과 전하트랩층의 계면에 전자가 축적됨에 따라, 앞서 언급한 A영역, B영역 모두 유의미한 전기장이 발생할 수 있고, 이에 따라 생성된 전기장에 의해 계면에 축적된 전자를 전하트랩층에 트랩할 수 있다.

[0013] 이와는 대조적으로 전기적 지우기 동작의 경우 소스 전극의 일함수와 IGZO의 가전자대역 사이의 정공 주입장벽이 높기 때문에, 게이트에 큰 음의 전압을, 소스/드레인 전극에 0 V를 인가하였을 때, 소스 전극에서 IGZO의 가전자대역으로 정공이 주입이 어려워지고, IGZO의 가전자대역과 전하트랩층의 계면에 정공이 축적되지 못하여, 채널이 공핍 상태로 유지되기 때문에, 채널영역과 게이트 사이의 영역에서 전위차가 형성되지 못하며, 전하트랩층에 인가되는 전기장의 크기가 0에 가까워 디트랩이 발생하지 않는다. 즉, 전하 트랩층의 전자를 디트랩하는데 필요한 수직 전위차가 발생하지 않았으므로, 전기적 지우기 동작을 수행할 수 없는 문제점이 있다.

[0014] 한편, 3D 버티컬 낸드플래시메모리(3D V-NAND)는 3D 셀레이어스택 기술로 각 NAND 칩에서 멀티플래시메모리셀층을 수직으로(3차원으로) 쌓는 기술로서, 3D V-NAND는 전하트랩메모리의 구조를 기반으로, 원통형의 모양으로 이루어져 있는데, 최외각에는 컨트롤게이트가 둘러싸고 그 안쪽에 반도체가 배치되며, 가장 안쪽에는 절연체로 구성되어 있다.

[0015] 이러한 3D V-NAND의 쓰기 동작은 게이트에 큰 양의 전압이 인가되면, 생성된 전기장에 의해 반도체층에 있던 전자들이 터널링층을 통과하여 전하트랩층에 트랩되며, 지우기 동작은 쓰기동작과는 반대로 게이트에 큰 음의 전압을 인가해주어, 전하 트랩층에 트랩된 전자들을 다시 반도체 쪽으로 디트랩 시켜 정보를 지울 수 있게 된다.

[0016] 상술한 바와 같이 IGZO반도체 등과 같은 밴드갭이 큰 물질을 이용하여 효과적인 쓰기 동작 및 지우기 동작을 수행할 수 있는 전하트랩메모리소자와 이러한 구조를 이용한 3D V-낸드플래시메모리소자의 개발이 요구되고 있다.

선행기술문헌

특허문헌

[0017] (특허문헌 0001) 1. 한국공개특허 제10-2008-0088284호(2008.10.02. 공개)

발명의 내용

해결하려는 과제

[0018] 본 발명은 게이트전극의 상부에 게이트절연층이 구비되고, 게이트절연층의 상부에 전하를 저장하는 전하트랩층이 구비되며, 전하트랩층의 상부 중앙영역에 IGZO, IZTO 및 ZTO 중 어느 하나를 이용하여 형성되되, 전하를 수송하는 산화물반도체층이 구비되고, 외측단부가 전하트랩층의 상부에 접하면서 내측단부가 산화물반도체층의 상부에 접하도록 구비되는 소스전극과 외측단부가 전하트랩층의 상부에 접하면서 내측단부가 산화물반도체층의 상부에 접하도록 구비되되, 산화물반도체층의 중앙부가 상부로 노출되도록 소스전극의 내측단부와 기 설정된 간격만큼 이격 형성되는 드레인전극이 구비되며, 소스 및 드레인 전극과 반도체층 위에 상부절연층이 구비되고, 상

부절연층 위에 상부전극이 구비됨으로써, IGZO, IZTO 및 ZTO 중 어느 하나를 이용한 반도체를 이용하여 효과적인 쓰기 동작 및 지우기 동작을 수행할 수 있는 전하트랩메모리소자를 제공하고자 한다.

[0019] 또한, 본 발명은 중앙부에 코어금속층이 구비되고, 코어금속층의 외측에 제 1 절연층이 구비되며, 제 1 절연층의 외측에 IGZO, IZTO 및 ZTO 중 어느 하나를 이용하여 형성되되, 전하를 수송하는 산화물반도체층이 구비되고, 산화물반도체층의 외측에 전하를 저장하는 전하트랩층이 구비되며, 전하트랩층의 외측에 게이트절연층이 구비되고, 게이트절연층의 외측 중앙영역에 게이트전극이 구비됨으로써, IGZO, IZTO 및 ZTO 중 어느 하나를 이용한 반도체를 구비한 전하트랩메모리소자의 구조를 적용하여 효과적인 쓰기 동작 및 지우기 동작을 수행할 수 있는 3D V-낸드플래시메모리소자를 제공하고자 한다.

[0020] 본 발명의 실시예들의 목적은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0021] 본 발명의 일 측면에 따르면, 게이트전극; 상기 게이트전극의 상부에 구비되는 게이트절연층; 상기 게이트절연층의 상부에 구비되어 전하를 저장하는 전하트랩층; IGZO(indium-gallium-zinc-oxide), IZTO(Indium Zinc Tin Oxide) 및 ZTO(Zinc Tin Oxide) 중 어느 하나를 이용하여 형성되되, 상기 전하트랩층의 상부 중앙영역에 구비되어 상기 전하를 수송하는 산화물반도체층; 외측단부가 상기 전하트랩층의 상부에 접하면서 내측단부가 상기 산화물반도체층의 상부에 접하도록 구비되는 소스전극; 외측단부가 상기 전하트랩층의 상부에 접하면서 내측단부가 상기 산화물반도체층의 상부에 접하도록 구비되되, 상기 산화물반도체층의 중앙부가 상부로 노출되도록 상기 소스전극의 내측단부와 기 설정된 간격만큼 이격 형성되는 드레인전극; 상기 산화물반도체층, 소스전극 및 드레인전극의 상부에 구비되는 상부절연층; 및 상기 상부절연층의 상부에 구비되는 상부금속층;을 포함하는 전하트랩메모리소자가 제공될 수 있다.

[0022] 또한, 본 발명의 일 측면에 따르면, 상기 게이트전극은, 도핑된 실리콘(Si), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나를 이용하되, 물리적기상증착공정(PVD)을 이용하여 형성되는 전하트랩메모리소자가 제공될 수 있다.

[0023] 또한, 본 발명의 일 측면에 따르면, 상기 전하트랩층은, SiNx, PHPS(Perhydropolysilazane) 및 ZrOx 중 어느 하나를 이용하여 화학적기상증착공정(CVD) 또는 스퍼터링공정과, 어닐링공정을 통해 형성되는 전하트랩메모리소자가 제공될 수 있다.

[0024] 또한, 본 발명의 일 측면에 따르면, 상기 소스전극 및 드레인전극은, 각각 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나를 이용하되, 물리적기상증착공정(PVD) 또는 열증착공정(Thermal Evaporation)을 이용하여 형성되는 전하트랩메모리소자가 제공될 수 있다.

[0025] 또한, 본 발명의 일 측면에 따르면, 상기 상부금속층은, 텅스텐(W)을 이용하여 물리적기상증착공정(PVD)을 통해 65-75 nm의 두께범위로 형성되는 전하트랩메모리소자가 제공될 수 있다.

[0026] 또한, 본 발명의 일 측면에 따르면, 상기 상부절연층은, CYTOP 또는 SiO₂을 이용하여 220-250 nm의 두께범위로 형성되는 전하트랩메모리소자가 제공될 수 있다.

[0027] 본 발명의 다른 측면에 따르면, 중앙부에 구비되는 코어금속층; 상기 코어금속층의 외측에 구비되는 제 1 절연층; 상기 제 1 절연층의 외측에 구비되되, IGZO(indium-gallium-zinc-oxide), IZTO(Indium Zinc Tin Oxide) 및 ZTO(Zinc Tin Oxide) 중 어느 하나를 이용하여 형성되어 전하를 수송하는 산화물반도체층; 상기 산화물반도체층의 외측에 구비되어 상기 전하를 저장하는 전하트랩층; 상기 전하트랩층의 외측에 구비되는 게이트절연층; 상기 게이트절연층의 외측 중앙영역에 구비되는 게이트전극;을 포함하는 3D V-낸드플래시메모리소자가 제공될 수 있다.

[0028] 또한, 본 발명의 다른 측면에 따르면, 상기 3D V-낸드플래시메모리소자는, 상기 산화물반도체층 및 전하트랩층의 사이에 구비되는 터널링층;을 더 포함하는 3D V-낸드플래시메모리소자가 제공될 수 있다.

[0029] 또한, 본 발명의 다른 측면에 따르면, 상기 3D V-낸드플래시메모리소자는, 상기 게이트전극의 상하부에 상기 게이트절연층의 외측에 접하여 구비되는 제 2 절연층;을 더 포함하는 3D V-낸드플래시메모리소자가 제공될 수 있다.

[0030] 또한, 본 발명의 다른 측면에 따르면, 상기 전하트랩층은, SiNx 또는 ZrOx를 이용하여 화학적기상증착공정(CVD)

또는 원자층증착공정(ALD)을 통해 형성되는 3D V-낸드플래시메모리소자가 제공될 수 있다.

[0031] 또한, 본 발명의 다른 측면에 따르면, 상기 코어금속층은, 텅스텐(W)을 이용하여 화학적기상증착공정(CVD) 또는 원자층증착공정(ALD)을 통해 형성되는 3D V-낸드플래시메모리소자가 제공될 수 있다.

[0032] 또한, 본 발명의 다른 측면에 따르면, 상기 제 1 절연층은, SiO₂를 이용하여 산화공정이나 화학적기상증착(CVD)을 통해 5-40 nm의 두께범위로 형성되는 3D V-낸드플래시메모리소자가 제공될 수 있다.

[0033] 또한, 본 발명의 다른 측면에 따르면, 상기 게이트절연층은, SiO₂ 또는 Si₃N₄를 이용하여 산화공정이나 화학적기상증착공정(CVD)을 통해 65-75 nm의 두께범위로 형성되는 3D V-낸드플래시메모리소자가 제공될 수 있다.

발명의 효과

[0034] 본 발명은 게이트전극의 상부에 게이트절연층이 구비되고, 게이트절연층의 상부에 전하를 저장하는 전하트랩층이 구비되며, 전하트랩층의 상부 중앙영역에 IGZO를 이용하여 형성되되, 전하를 수송하는 산화물반도체층이 구비되고, 외측단부가 전하트랩층의 상부에 접하면서 내측단부가 산화물반도체층의 상부에 접하도록 구비되는 소스전극과 외측단부가 전하트랩층의 상부에 접하면서 내측단부가 산화물반도체층의 상부에 접하도록 구비되되, 산화물반도체층의 중앙부가 상부로 노출되도록 소스전극의 내측단과 기 설정된 간격만큼 이격 형성되는 드레인전극이 구비되며, 소스 및 드레인 전극과 반도체층 위에 상부절연층이 구비되고, 상부절연층 위에 상부전극이 구비됨으로써, IGZO, IZTO 및 ZTO 중 어느 하나를 이용한 반도체를 이용하여 효과적인 쓰기 동작 및 지우기 동작을 수행할 수 있는 전하트랩메모리소자를 제공할 수 있다.

[0035] 또한, 본 발명은 중앙부에 코어금속층이 구비되고, 코어금속층의 외측에 제 1 절연층이 구비되며, 제 1 절연층의 외측에 IGZO를 이용하여 형성되되, 전하를 수송하는 산화물반도체층이 구비되고, 산화물반도체층의 외측에 전하를 저장하는 전하트랩층이 구비되며, 전하트랩층의 외측에 게이트절연층이 구비되고, 게이트절연층의 외측 중앙영역에 게이트전극이 구비됨으로써, IGZO, IZTO 및 ZTO 중 어느 하나를 이용한 반도체를 구비한 전하트랩메모리소자의 구조를 적용하여 효과적인 쓰기 동작 및 지우기 동작을 수행할 수 있는 3D V-낸드플래시메모리소자를 제공할 수 있다.

도면의 간단한 설명

[0036] 도 1 및 도 2는 본 발명의 일 실시예에 따른 전하트랩메모리소자를 예시한 도면이고,
 도 3 내지 도 7은 본 발명의 일 실시예에 따른 전하트랩메모리소자의 상세구성을 설명하기 위한 도면이며,
 도 8 및 도 9는 본 발명의 다른 실시예에 따른 3D V-낸드플래시메모리소자를 예시한 도면이고,
 도 10 내지 도 13은 본 발명의 다른 실시예에 따른 3D V-낸드플래시메모리소자의 상세구성을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0037] 본 발명의 실시예들에 대한 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

[0038] 본 발명의 실시예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명의 실시예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0039] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다.

[0040] 도 1 및 도 2는 본 발명의 일 실시예에 따른 전하트랩메모리소자를 예시한 도면이고, 도 3 내지 도 7은 본 발명의 일 실시예에 따른 전하트랩메모리소자의 상세구성을 설명하기 위한 도면이다.

- [0041] 도 1 내지 도 7을 참조하면, 본 발명의 일 실시예에 따른 전하트랩메모리소자는 도 1 및 도 2에 도시한 바와 같이 게이트전극(110), 게이트절연층(120), 전하트랩층(130), 산화물반도체층(140), 소스전극(150), 드레인전극(160), 상부절연층(170), 상부금속층(180) 등을 포함할 수 있다.
- [0042] 게이트전극(110)은 본 발명의 일 실시예에 따른 전하트랩메모리소자를 이용한 쓰기 또는 지우기 동작을 수행하기 위한 전압을 인가할 수 있다.
- [0043] 이러한 게이트전극(110)은 예를 들면, 도핑된 실리콘(Si), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나로 구비될 수 있는데, 물리적기상증착공정(PVD) 등을 이용하여 45-55 nm의 두께범위로 형성될 수 있다.
- [0044] 게이트절연층(120)은 게이트전극(110)의 상부에 구비되는 절연층으로, 게이트전극(110)과 다른 상부구조물의 절연을 위해 구비될 수 있다.
- [0045] 이러한 게이트절연층(120)은 예를 들면, SiO₂, Si₃N₄ 및 고분자절연체 중 어느 하나로 구비될 수 있는데, SiO₂, Si₃N₄ 등의 경우 화학적기상증착공정(CVD), 열산화공정(Thermal Oxidation) 등을 이용하여 형성될 수 있고, Polyvinylphenol, Polystyrene, Poly(methyl methacrylate), Poly(vinylidene fluoride-trifluoroethylene), Parylene 등을 포함하는 고분자절연체는 스핀코팅공정, 화학적기상증착공정(CVD) 등을 이용하여 형성될 수 있다.
- [0046] 구체적으로, SiO₂의 경우 실리콘(Si)기판을 열산화방식으로 고온에서 산화시킴으로써, 대략 5-300 nm의 두께범위의 SiO₂를 형성할 수 있다.
- [0047] 전하트랩층(130)은 게이트절연층(120)의 상부에 구비되어 전하를 저장하는 층으로, 정보저장층(Charge trap)으로 제공될 수 있는데, 예를 들면, SiN_x, PHPS(Perhydropolysilazane) 및 ZrO_x 중 어느 하나를 이용하여 화학적기상증착공정(CVD) 또는 스핀코팅공정과, 어닐링공정을 이용하여 형성될 수 있다.
- [0048] 예를 들면, 전하트랩층(130)은 PHPS를 2 wt%의 O-xylene(O-자일렌) 등을 포함하는 용매(Solvent)와 혼합한 후에, 상온(RT)에서 12-16 시간의 시간범위에 따라 교반(Stirring)하고, 교반된 혼합물을 2800-3200 rpm의 회전속도범위 및 35-45초의 시간범위에 따른 스핀코팅공정으로 PHPS층을 45-55 nm의 두께범위로 형성한 후에, 상온(RT)에서 110-130 분의 시간범위에 따른 어닐링공정을 수행함으로써, 전하트랩층(130)을 형성할 수 있다.
- [0049] 산화물반도체층(140)은 IGZO(indium-gallium-zinc-oxide), IZTO(Indium Zinc Tin Oxide), ZTO(Zinc Tin Oxide) 등과 같은 밴드갭이 넓은 반도체를 이용하여 형성되되, 전하트랩층(130)의 상부 중앙영역에 구비되어 전하를 수송하는 반도체층으로, 소스전극(150)에서 드레인전극(160)으로 전하를 수송할 수 있다.
- [0050] 이러한 산화물반도체층(140)은 예를 들면, IGZO를 이용하여 스핀코팅공정을 통해 25-35 nm의 두께범위로 형성될 수 있는데, 2800-3200 rpm의 회전속도범위 및 25-35초의 시간범위에 따른 스핀코팅공정과, 100-120 °C의 온도범위 및 8-12 분의 시간범위에 따른 프리베이킹공정과, 430-470 °C의 온도범위 및 160-200 분의 시간범위에 따른 어닐링공정을 통해 형성될 수 있다.
- [0051] 예를 들면, 산화물반도체층(140)은 In:Ga:Zn=4:3:2이고 0.1 M의 농도를 갖는 IGZO를 2-메톡시에탄올(2-methoxyethanol) 등을 포함하는 용매(Solvent)와 혼합한 후에, 55-65 °C의 온도범위에서 12-16 시간의 시간범위에 따라 교반(Stirring)하고, 교반된 혼합물을 2800-3200 rpm의 회전속도범위 및 25-35초의 시간범위에 따른 스핀코팅공정으로 IGZO층을 형성한 후에, 100-120 °C의 온도범위 및 8-12 분의 시간범위에 따른 프리베이킹공정과, 430-470 °C의 온도범위 및 160-200 분의 시간범위에 따른 어닐링공정을 순차적으로 수행함으로써, 산화물반도체층(140)을 형성할 수 있다.
- [0052] 소스전극(150)은 외측단부가 전하트랩층(130)의 상부에 접하면서 내측단부가 산화물반도체층(140)의 상부에 접하도록 구비되는 전극으로, 본 발명의 일 실시예에 따른 전하트랩메모리소자의 쓰기 동작 및 지우기 동작에서 상방 및 하방의 전기장을 발생시킬 수 있다.
- [0053] 이러한 소스전극(150)은 예를 들면, 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나로 형성될 수 있는데, 물리적기상증착공정(PVD), 열증착공정(Thermal Evaporation) 등을 이용하여 형성할 수 있다.
- [0054] 드레인전극(160)은 외측단부가 전하트랩층(130)의 상부에 접하면서 내측단부가 산화물반도체층(140)의 상부에 접하도록 구비되되, 산화물반도체층(140)의 중앙부가 상부로 노출되도록 소스전극(150)의 내측단과 기 설정된

간격만큼 이격 형성되는 전극으로, 본 발명의 일 실시예에 따른 전하트랩메모리소자의 쓰기 동작 및 지우기 동작에서 상방 및 하방의 전기장을 발생시킬 수 있다.

- [0055] 이러한 드레인전극(160)은 예를 들면, 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나로 형성될 수 있는데, 물리적기상증착공정(PVD), 열증착공정(Thermal Evaporation) 등을 이용하여 형성할 수 있다.
- [0056] 상부절연층(170)은 산화물반도체층(140), 소스전극(150) 및 드레인전극(160)의 상부에 구비되는 절연층으로, 상부금속층(180)과 다른 하부구조물의 절연을 위해 구비될 수 있다.
- [0057] 이러한 상부절연층(170)은 예를 들면, CYTOP, SiO₂ 등을 이용하여 형성될 수 있는데, CYTOP의 경우 CYTOP용매를 2800-3200 rpm의 회전속도범위 및 25-35초의 시간범위에 따른 스핀코팅공정과, 85-95 °C의 온도범위 및 55-65분의 시간범위에 따른 어닐링공정을 통해 대략 220-250 nm의 두께범위의 상부절연층(170)을 형성할 수 있고, SiO₂의 경우 화학적기상증착(CVD)를 이용하여 대략 220-250 nm의 두께범위의 상부절연층(170)을 형성할 수 있다.
- [0058] 상부금속층(180)은 상부절연층(170)의 상부에 구비되는 금속층으로, 텅스텐(W)을 이용하여 물리적기상증착공정(PVD)을 통해 형성될 수 있는데, 대략 65-75 nm의 두께범위의 상부금속층(180)을 제조할 수 있다.
- [0059] 상술한 바와 같은 본 발명의 일 실시예에 따른 전하트랩메모리소자의 동작에 대해 설명하면, 도 3에 도시한 바와 같이 넓은 밴드갭을 가진 산화물반도체(IGZO)를 구비하는 N형 전하트랩메모리소자의 경우 쓰기 동작 시 양의 방향으로 이동한 문턱전압이 지우기 동작이 수행되지 않는 문제로 인해, 지우기 동작 이후 음의 방향으로 문턱전압의 이동이 발생하지 않으며, 이에 광조사를 통해 빛에너지로 트랩된 전자를 디트랩시키는 광학적 지우기를 수행해야 하는 문제점이 있다.
- [0060] 구체적으로 설명하면, 도 4에 도시한 바와 같이 쓰기 동작에서는 소스전극의 일함수와 IGZO 전도대역 사이의 전자 주입장벽이 낮게 나타나는데, 쓰기 동작 시에 게이트전극에 큰 양의 전압을 인가하면서 소스전극 및 드레인전극에 0V를 인가할 경우 낮은 전자 주입장벽으로 인해 소스전극에서 IGZO의 전도대역으로 전자가 주입될 수 있고, IGZO 전도대역과 전하트랩층의 계면에 전자가 축적될 수 있으며, 게이트전극에 인가된 전압과 계면에 축적된 전자로 인해 모든 구역에서 유의미한 전기장이 발생할 수 있고, 생성된 전기장에 의해 계면에 축적된 전자를 전하트랩층에 트랩함으로써, 쓰기 동작을 수행할 수 있다.
- [0061] 한편, 도 5에 도시한 바와 같이 지우기 동작에서는 소스전극의 일함수와 IGZO 가전자대역 사이의 정공 주입장벽이 높게 나타나는데, 지우기 동작 시 게이트전극에 큰 음의 전압을 인가하면서 소스전극 및 드레인전극에 0V를 인가할 경우 높은 정공 주입장벽으로 인해 소스전극에서 IGZO의 가전자대역으로 정공 주입이 어려워질 수 있고, IGZO의 가전자대역과 전하트랩층의 계면에 정공이 축적되지 못하게 되며, 채널이 공핍상태로 유지되어 전하트랩층에 인가되는 전기장의 크기가 0에 가까워 디트랩이 발생하지 않게 되고, 전하트랩층의 전자를 디트랩하는데 필요한 수직 전위차가 발생하지 않음으로써, 지우기 동작을 수행할 수 없다.
- [0062] 이에 따라, 도 6에 도시한 바와 같이 본 발명의 일 실시예에 따른 전하트랩메모리소자의 최상부에 금속층을 증착함으로써, 소자의 지우기 동작을 수행할 수 있는데, 소스전극과 드레인전극이 금속층이 접촉하여 쇼트(short)가 발생하지 않도록, 소스전극과 드레인전극의 상부에 절연체를 코팅한 후, 그 최상부에 금속층을 증착할 수 있다.
- [0063] 상술한 바와 같이 본 발명의 일 실시예에 따른 전하트랩메모리소자의 구조에 상부절연층과 상부금속층을 형성시킬 경우 B영역에 수직으로 유의미한 전기장을 형성시켜 전기적 지우기 동작을 수행할 수 있는데, 게이트전극에 큰 음의 전압을 인가하면서 소스전극 및 드레인전극에 0V를 인가할 경우 인가된 전압에 의해 A영역에서는 소스전극 및 드레인전극에서 상부금속층 방향의 전기장이 발생한 후, B영역에서 상부금속층에서 게이트전극 방향의 전기장이 발생함으로써, 상부금속층으로 인해 B영역에서 수직 전기장이 생성되어 전하트랩층에 일정 크기 이상의 전기장이 인가될 수 있으며, 전기적 지우기 동작을 통해 트랩되었던 전자를 디트랩할 수 있게 되면서, 문턱전압이 음의 방향으로 이동하여 초기값과 유사해지게 됨으로써, 전기적 지우기 동작을 효과적으로 수행할 수 있다.
- [0064] 아울러, 본 발명의 일 실시예에 따른 전하트랩메모리소자는 도 7에 도시한 바와 같은 다양한 메모리소자구조로 적용할 수 있는데, a에 도시한 바와 같이 반도체층의 양측에 각각 소스전극과 드레인전극이 있는 경우, b와 같이 a의 구조에서 터널링층이 구비되는 경우, c와 같이 반도체층의 양측에 각각 소스전극과 드레인전극이 있으면서 반도체층이 소스전극과 드레인전극을 덮는 경우, d와 같이 c의 구조에서 터널링층이 구비되는 경우, e와 같

이 소스전극과 드레인전극이 반도체층의 상부에 형성되는 상부절연층에 구비되는 경우, f와 같이 e의 구조에서 터널링층이 구비되는 경우, g와 같이 반도체층에 소스전극 및 드레인전극이 형성되면서 반도체층의 상부에 전하 트랩층이 구비되는 경우, h와 같이 g의 구조에서 터널링층이 구비되는 경우 등 다양한 메모리소자구조에 적용될 수 있다.

[0065] 여기에서, a-f의 각 구조는 상부에 상부전극이 형성되는 구조이고, g 및 h의 각 구조는 기존의 상부전극 및 상부절연층이 하부로 이동한 구조를 나타내고 있다.

[0066] 따라서, 본 발명의 일 실시예에 따르면, 게이트전극의 상부에 게이트절연층이 구비되고, 게이트절연층의 상부에 전하를 저장하는 전하트랩층이 구비되며, 전하트랩층의 상부 중앙영역에 IGZO, IZTO 및 ZTO 중 어느 하나를 이용하여 형성되되, 전하를 수송하는 산화물반도체층이 구비되고, 외측단부가 전하트랩층의 상부에 접하면서 내측단부가 산화물반도체층의 상부에 접하도록 구비되는 소스전극과 외측단부가 전하트랩층의 상부에 접하면서 내측단부가 산화물반도체층의 상부에 접하도록 구비되되, 산화물반도체층의 중앙부가 상부로 노출되도록 소스전극의 내측단과 기 설정된 간격만큼 이격 형성되는 드레인전극이 구비되며, 소스 및 드레인 전극과 반도체층 위에 상부절연층이 구비되고, 상부절연층 위에 상부전극이 구비됨으로써, IGZO, IZTO 및 ZTO 중 어느 하나를 이용한 반도체를 이용하여 효과적인 쓰기 동작 및 지우기 동작을 수행할 수 있는 전하트랩메모리소자를 제공할 수 있다.

[0067] 도 8 및 도 9는 본 발명의 다른 실시예에 따른 3D V-낸드플래시메모리소자를 예시한 도면이고, 도 10 내지 도 13은 본 발명의 다른 실시예에 따른 3D V-낸드플래시메모리소자의 상세구성을 설명하기 위한 도면이다.

[0068] 도 8 내지 도 13을 참조하면, 본 발명의 다른 실시예에 따른 3D V-낸드플래시메모리소자는 도 8 및 도 9에 도시한 바와 같이 코어금속층(210), 제 1 절연층(220), 산화물반도체층(230), 전하트랩층(240), 게이트절연층(250), 게이트전극(260), 제 2 절연층(270), 터널링층(280) 등을 포함할 수 있다.

[0069] 코어금속층(210)은 중앙부에 구비되는 금속층으로, 텅스텐(W)을 이용하여 물리적기상증착공정(PVD)을 통해 형성될 수 있으며, 대략 65-75 nm의 직경범위의 원통형 코어금속층(210)을 제조할 수 있다.

[0070] 제 1 절연층(220)은 코어금속층(210)의 외측에 구비되는 절연층으로, 코어금속층(210)과 다른 외부구조물의 절연을 위해 구비될 수 있다.

[0071] 이러한 제 1 절연층(220)은 예를 들면, SiO₂ 등을 이용하여 형성될 수 있는데, SiO₂의 경우 산화공정이나 화학적 기상증착(CVD)을 이용하여 대략 5-40 nm의 두께범위의 제 1 절연층(220)을 형성할 수 있다.

[0072] 산화물반도체층(230)은 제 1 절연층(220)의 외측에 구비되되, IGZO(indium-gallium-zinc-oxide), IZTO(Indium Zinc Tin Oxide), ZTO(Zinc Tin Oxide) 등과 같은 밴드갭이 넓은 반도체를 이용하여 형성되어 전하를 수송할 수 있다.

[0073] 이러한 산화물반도체층(230)은 예를 들면, IGZO, ZTO 및 IZTO 중 어느 하나의 물질을 원자층증착공정(ALD)을 통해 5-40 nm의 두께범위로 형성됨으로써, 제 1 절연층(220)의 외주면 상에 산화물반도체층(230)을 형성할 수 있다.

[0074] 전하트랩층(240)은 산화물반도체층(230)의 외측에 구비되어 전하를 저장하는 층으로, 예를 들면, SiNx 또는 ZrOx를 이용하여 화학적기상증착공정(CVD) 또는 원자층증착공정(ALD)을 통해 정보저장층(charge trap layer)으로 제공될 수 있다.

[0075] 게이트절연층(250)은 전하트랩층(240)의 외측에 구비되는 절연층으로, 게이트전극(260)과 다른 내부구조물의 절연을 위해 구비될 수 있다.

[0076] 이러한 게이트절연층(250)은 예를 들면, SiO₂, Si₃N₄ 등으로 구비될 수 있는데, SiO₂의 경우 산화공정이나 화학적기상증착공정(CVD)을 이용하여 대략 65-75 nm의 두께범위의 게이트절연층(250)을 형성할 수 있다.

[0077] 게이트전극(260)은 게이트절연층(250)의 외측 중앙영역에 구비되는 전극으로, 본 발명의 다른 실시예에 따른 3D V-낸드플래시메모리소자의 쓰기 동작 또는 지우기 동작을 위한 전압을 인가할 수 있다.

[0078] 이러한 게이트전극(260)은 예를 들면, 도핑된 실리콘(Si), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr) 및 구리(Cu) 중 어느 하나로 구비될 수 있는데, 물리적기상증착공정(PVD) 등을 이용하여 대략 145-155 nm의 두께범위의 형성될 수 있다.

- [0079] 제 2 절연층(270)은 게이트전극(260)의 상하부에 게이트절연층(250)의 외측에 접하여 구비되는 절연층으로, 예를 들면, SiO_2 , Si_3N_4 등으로 구비될 수 있는데, SiO_2 의 경우 산화공정이나 화학적기상증착공정(CVD)을 이용하여 형성될 수 있다.
- [0080] 터널링층(280)은 산화물반도체층(230) 및 전하트랩층(240)의 사이에 구비되어 터널링을 통해 산화물반도체층(230)으로부터 전하트랩층(240)으로 전하를 이송시키는 층으로, 예를 들면, SiO_2 , Si_3N_4 등으로 구비될 수 있는데, SiO_2 의 경우 산화공정이나 화학적기상증착공정(CVD)을 이용하여 형성될 수 있다.
- [0081] 상술한 바와 같은 본 발명의 다른 실시예에 따른 3D V-낸드플래시메모리소자의 동작에 대해 설명하면, 3D V-낸드플래시메모리소자(3D Vertical NAND Flash memory)는 3D 셀레이어 스택기술로 각 낸드칩에서 멀티플래시메모리 셀층을 수직(3차원)으로 쌓는 기술로서, 최외각에는 컨트롤게이트(게이트전극)가 둘러싸면서 그 안쪽에 반도체가 배치되며, 중심부에는 코어금속층으로 구성되는 형태로 제공될 수 있다.
- [0082] 본 발명의 다른 실시예에서는 중심부에 코어금속층을 구비하여 전기장 분포를 재정렬시킴으로써, 본 발명의 일 실시예에서와 같이 전기적인 쓰기 동작과 지우기 동작을 모두 효과적으로 수행할 수 있는데, 종래에 제시된 3D V-낸드플래시메모리소자의 시뮬레이션을 수행한 결과 도 10에 도시한 바와 같은 쓰기 동작 및 지우기 동작에 대한 전기장 분포가 나타나기 때문에, 전기적인 쓰기 동작을 수행할 수 있지만, 전기적인 지우기 동작은 수행되지 않은 문제점이 있다.
- [0083] 구체적으로 설명하면, 종래에 코어금속층이 없는 3D V-낸드플래시메모리소자의 경우 도 10에 도시한 바와 같이 쓰기 동작에서는 게이트전극과 중심부의 절연층(SiO_2)까지의 영역에서 균일한 전기장 분포를 나타내고 있다는 것을 알 수 있지만, 지우기 동작에서는 게이트전극과 중심부의 절연층(SiO_2)까지의 영역에서 전기장 분포가 불균일하게 나타나며, 전하트랩층에 무시할 수 있는 전압이 인가되고 있다는 것을 알 수 있고, 이에 따라 전기적인 지우기 동작이 수행되지 않음을 확인할 수 있다.
- [0084] 이러한 전기장 분포에 대해 도 11을 참조하여 더 상세히 설명하면, 쓰기 동작에서는 전하트랩층에 대략 6MV/cm의 전기장이 인가됨을 알 수 있고, 지우기 동작에서는 전하트랩층에 대략 2-3MV/cm의 전기장이 인가됨으로써, 디트랩을 위한 충분한 전기장이 전하트랩층에 인가되지 않기 때문에 지우기 동작이 수행되지 않는다는 것을 알 수 있다.
- [0085] 하지만, 본 발명의 다른 실시예에 따른 3D V-낸드플래시메모리소자의 구조 중 터널링층이 없는 구조에서는 도 12에 도시한 바와 같이 쓰기 동작 및 지우기 동작에 대한 전기장 분포가 나타나게 됨으로써, 전기적인 쓰기 동작 및 지우기 동작을 효과적으로 수행할 수 있다.
- [0086] 구체적으로 설명하면, 본 발명의 다른 실시예에 따라 코어금속층이 구비된 3D V-낸드플래시메모리소자의 경우 쓰기 동작에서는 게이트전극과 코어금속층까지의 영역에서 균일한 전기장 분포를 나타내는 것을 알 수 있고, 지우기 동작에서는 코어금속층과 게이트전극까지의 영역에서 균일한 전기장 분포를 나타내면서 전하트랩층에 있는 전자의 디트랩을 가능하게 하는 전위차가 형성되고 있음을 알 수 있으며, 이에 따라 지우기 동작이 효과적으로 수행된다는 점을 확인할 수 있다.
- [0087] 이러한 전기장 분포에 대해 도 13을 참조하여 더 상세히 설명하면, 쓰기 동작에서는 전하트랩층에 대략 6MV/cm의 전기장이 인가됨을 알 수 있고, 지우기 동작에서는 코어금속층으로 인해 전하트랩층에 대략 4MV/cm의 전기장이 인가됨으로써, 종래의 구조에서 보다 큰 전기장 세기를 보여주고 있으며, 디트랩을 위한 충분한 전기장이 전하트랩층에 인가되기 때문에 전기적인 지우기 동작을 효과적으로 수행할 수 있다는 점을 알 수 있다.
- [0088] 또한, 본 발명의 다른 실시예에 따른 3D V-낸드플래시메모리소자의 구조 중 터널링층이 추가된 구조에서도 도 12 내지 도 13에 도시한 바와 같은 쓰기 동작 및 지우기 동작에 대한 전기장 분포와 유사하게 나타나게 됨으로써, 전기적인 쓰기 동작 및 지우기 동작을 효과적으로 수행할 수 있다.
- [0089] 따라서, 본 발명의 다른 실시예에 따르면, 중앙부에 코어금속층이 구비되고, 코어금속층의 외측에 제 1 절연층이 구비되며, 제 1 절연층의 외측에 IGZO, IZTO 및 ZTO 중 어느 하나를 이용하여 형성되되, 전하를 수송하는 산화물반도체층이 구비되고, 산화물반도체층의 외측에 전하를 저장하는 전하트랩층이 구비되며, 전하트랩층의 외측에 게이트절연층이 구비되고, 게이트절연층의 외측 중앙영역에 게이트전극이 구비됨으로써, IGZO, IZTO 및 ZTO 중 어느 하나를 이용한 반도체를 구비한 전하트랩메모리소자의 구조를 적용하여 효과적인 쓰기 동작 및 지우기 동작을 수행할 수 있는 3D V-낸드플래시메모리소자를 제공할 수 있다.

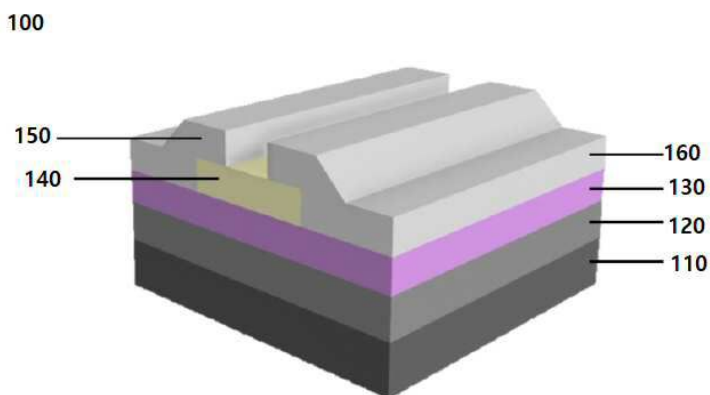
[0090] 이상의 설명에서는 본 발명의 다양한 실시예들을 제시하여 설명하였으나 본 발명이 반드시 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함을 쉽게 알 수 있을 것이다.

부호의 설명

[0091] 100 : 전하트랩메모리소자
 110 : 게이트전극
 120 : 게이트절연층
 130 : 전하트랩층
 140 : 산화물반도체층
 150 : 소스전극
 160 : 드레인전극
 170 : 상부절연층
 180 : 상부금속층
 200 : 3D V-낸드플래시메모리소자
 210 : 코어금속층
 220 : 제 1 절연층
 230 : 산화물반도체층
 240 : 전하트랩층
 250 : 게이트절연층;
 260 : 게이트전극
 270 : 제 2 절연층
 280 : 터널링층

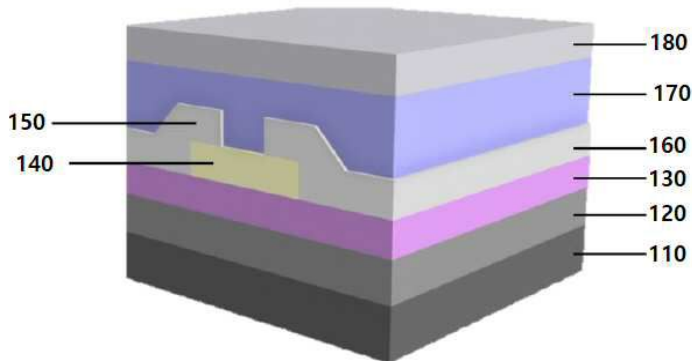
도면

도면1

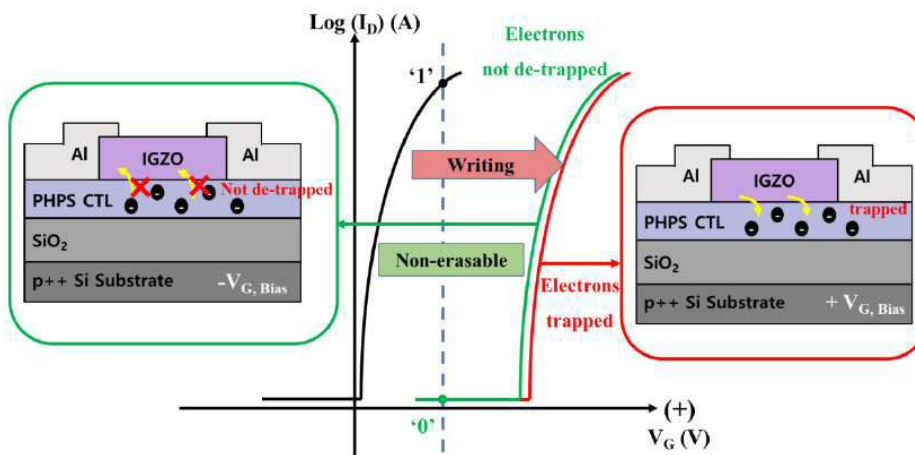


도면2

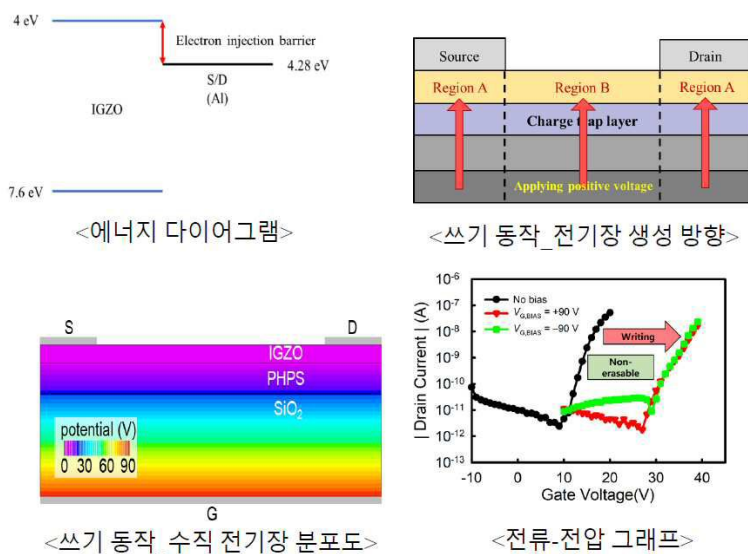
100



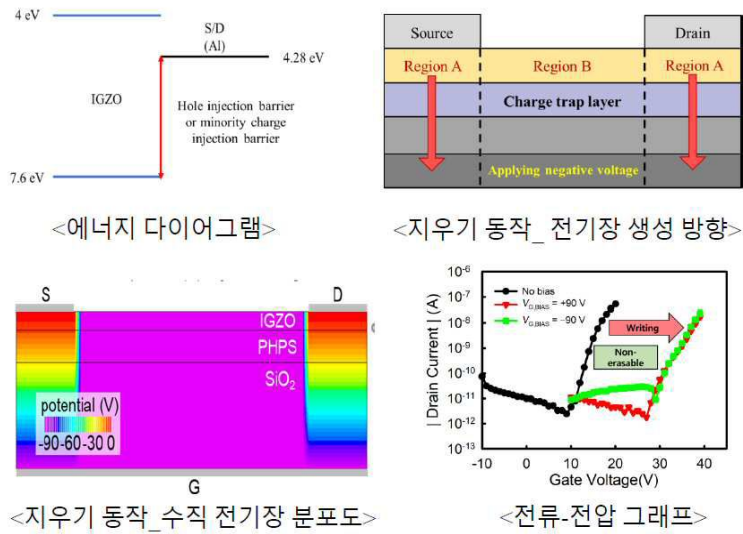
도면3



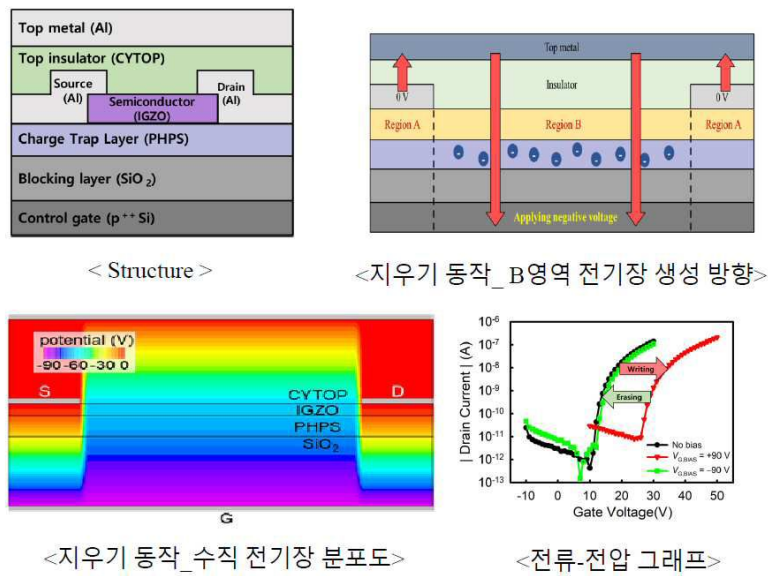
도면4



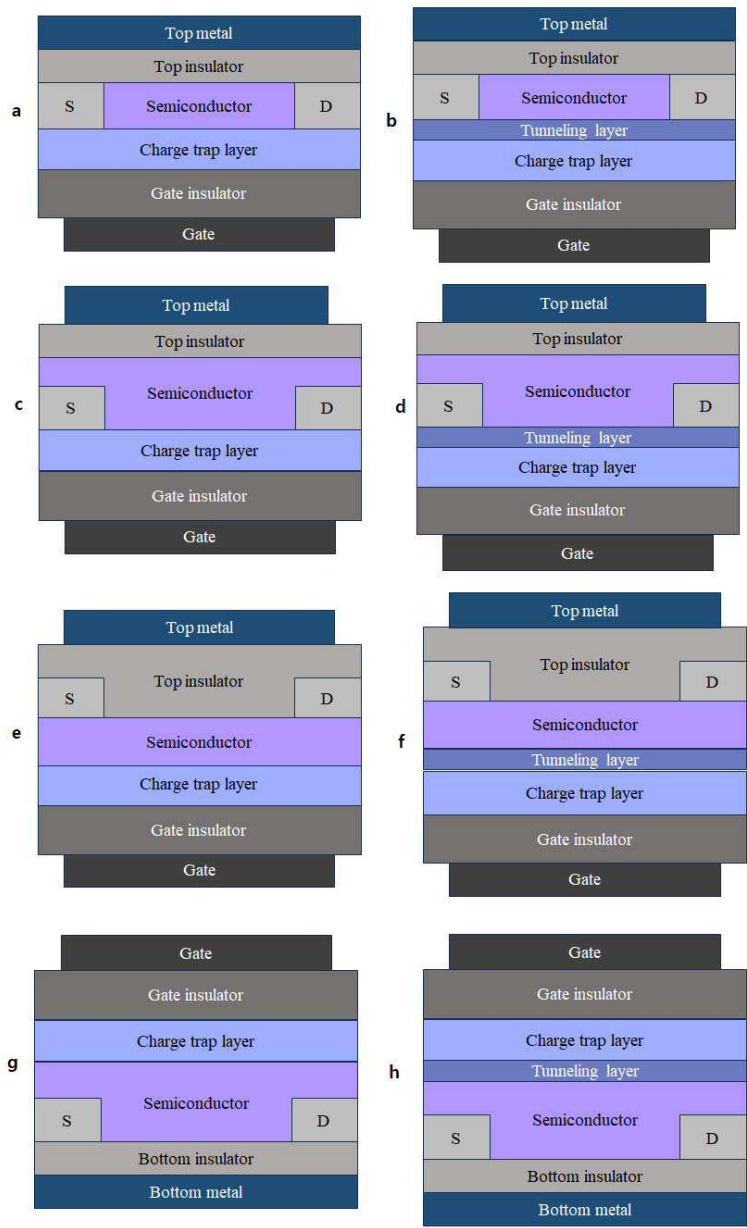
도면5



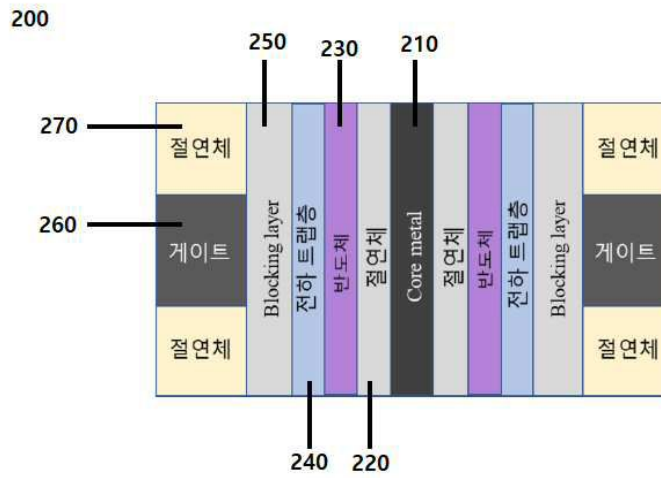
도면6



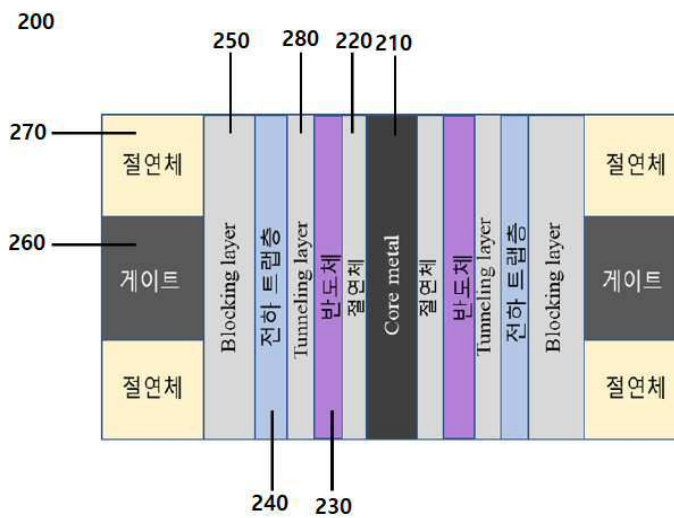
도면7



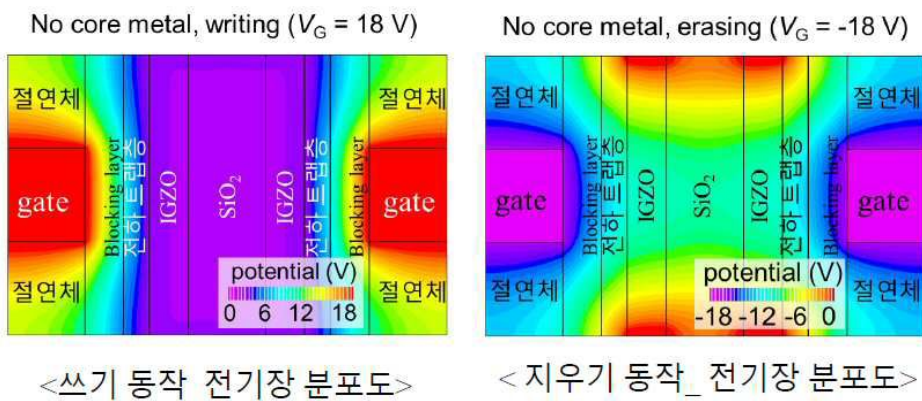
도면8



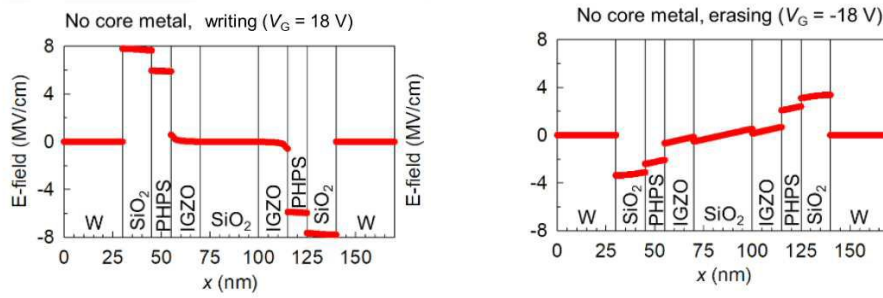
도면9



도면10

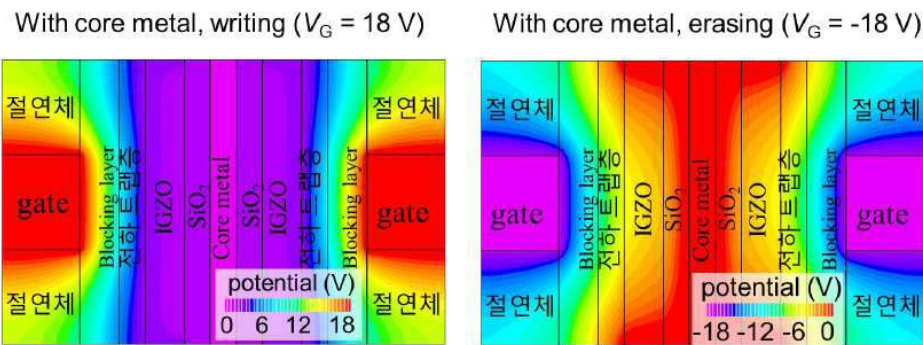


도면11



<쓰기 동작_각 층에 인가되는 전기장의 세기> <지우기 동작_각 층에 인가되는 전기장의 세기>

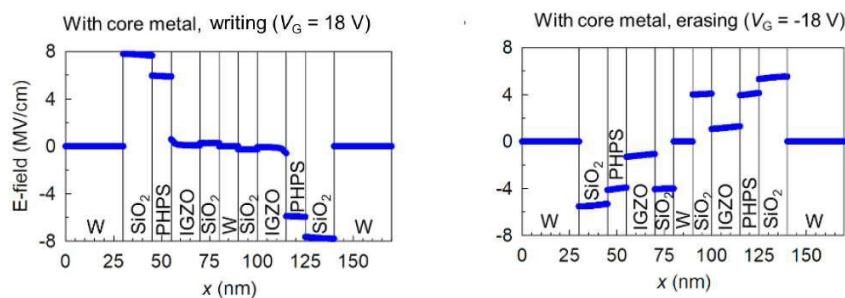
도면12



<쓰기 동작_전기장 분포도>

<지우기 동작_전기장 분포도>

도면13



<쓰기 동작_각 층에 인가되는 전기장의 세기> <지우기 동작_각 층에 인가되는 전기장의 세기>