



등록특허 10-2727423



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년11월08일
(11) 등록번호 10-2727423
(24) 등록일자 2024년11월04일

(51) 국제특허분류(Int. Cl.)
G01K 7/01 (2006.01) H01L 27/092 (2006.01)
(52) CPC특허분류
G01K 7/01 (2013.01)
H01L 27/092 (2013.01)
(21) 출원번호 10-2024-0029360
(22) 출원일자 2024년02월29일
심사청구일자 2024년02월29일
(56) 선행기술조사문헌
JP03139873 A*
JP4768339 B2*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
국립한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
남재원
서울특별시 노원구 동일로227길 26 (상계동, 상계
주공15단지아파트) 1507동 911호
박재윤
서울특별시 노원구 공릉로 191-4, 303호
(뒷면에 계속)
(74) 대리인
특허법인 플러스

전체 청구항 수 : 총 13 항

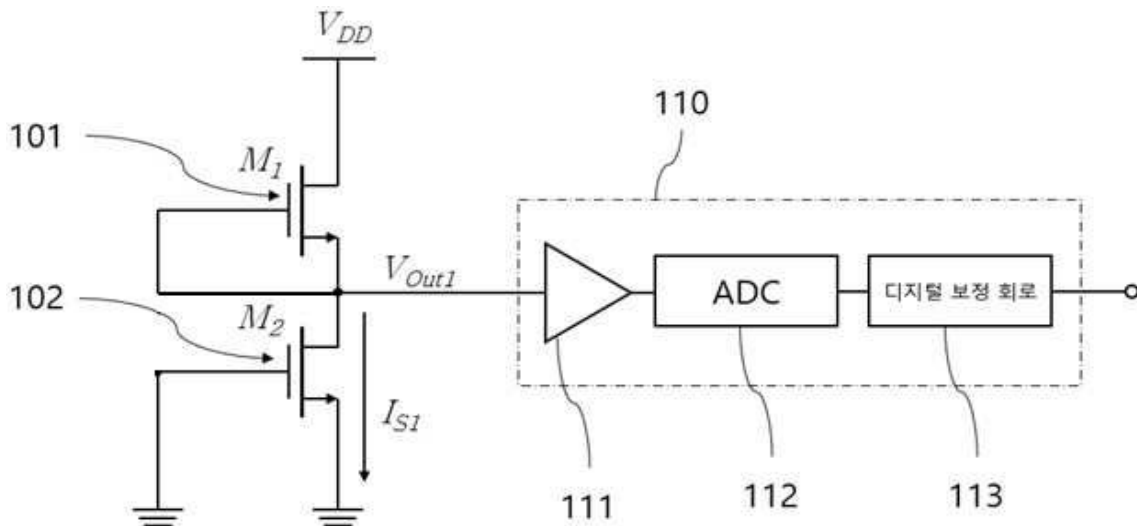
심사관 : 백재홍

(54) 발명의 명칭 스택 구조를 포함하는 온도 센서

(57) 요약

본 발명은 스택 구조를 포함하는 온도 센서에 관한 것으로, 보다 상세히는 일단이 전원에 연결된 제1 MOS 트랜지스터 및 일단이 상기 제1 MOS 트랜지스터의 타단과 연결되고, 타단이 그라운드와 연결된 제2 MOS 트랜지스터를 포함하되, 상기 제1 및 제2 MOS 트랜지스터는, N-MOS 트랜지스터 또는 P-MOS 트랜지스터이며, 서로 동일한 타입이고, 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터가 N-MOS 트랜지스터인 경우, 상기 제1 MOS 트랜지스터의 게이트는 소스와 연결되며, 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터가 P-MOS 트랜지스터인 경우, 상기 제2 MOS 트랜지스터의 게이트는 소스와 연결되는 것을 특징으로 한다.

대표도 - 도3



(52) CPC특허분류
G01K 2219/00 (2013.01)

(72) 발명자

신현중

서울특별시 노원구 공릉로58길 130, 성림학사 남학
생동 803호

김주성

대전광역시 유성구 상대북용로29번길 51 (상대동,
대전아이파크시티 2단지) 207동 703호

이 발명을 지원한 국가연구개발사업

과제고유번호 1711172900

과제번호 2022R1A4A3029433

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 기초연구사업 / 기초연구실지원

연구과제명 확장성, 신뢰성 갖춘 양자컴퓨터 실현을 위한 극저온 CMOS Interconnect
Electronics 개발

과제수행기관명 한밭대학교

연구기간 2022.06.01 ~ 2025.02.28

명세서

청구범위

청구항 1

일단이 전원에 연결된 제1 MOS 트랜지스터; 및

일단이 상기 제1 MOS 트랜지스터의 타단과 연결되고, 타단이 그라운드와 연결된 제2 MOS 트랜지스터;를 포함하
되,

상기 제1 및 제2 MOS 트랜지스터는, N-MOS 트랜지스터 또는 P-MOS 트랜지스터이며, 서로 동일한 타입이고,

상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터가 N-MOS 트랜지스터인 경우, 상기 제1 MOS 트랜지스터의 게이트는 소스와 연결되며, 상기 제2 MOS 트랜지스터의 게이트는 상기 그라운드와 연결되고,

상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터가 P-MOS 트랜지스터인 경우, 상기 제1 MOS 트랜지스터의 게이트는 상기 전원에 연결되며, 상기 제2 MOS 트랜지스터의 게이트는 소스와 연결되는 것

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

청구항 2

제1항에 있어서,

상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압에 기초하여 온도 정보를 제공하는 온도 검출부;를 더 포함하는 것

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

청구항 3

제1항에 있어서,

상기 제1 MOS 트랜지스터의 채널 폭(Transistor width)은 상기 제2 MOS 트랜지스터의 채널 폭(Transistor width) 보다 큰 것

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

청구항 4

일단이 전원에 연결된 제1 MOS 트랜지스터; 및

상기 제1 MOS 트랜지스터의 타단 및 그라운드 사이에 연결되고, 서로 직렬로 연결되는 제2 내지 제n MOS 트랜지스터;를 포함하되,

상기 제1 및 제2 MOS 트랜지스터는, N-MOS 트랜지스터 또는 P-MOS 트랜지스터이며, 서로 동일한 타입이고,

상기 제1 및 제2 내지 제n MOS 트랜지스터가 N-MOS 트랜지스터일 경우, 상기 제1 내지 제n-1 MOS 트랜지스터의 게이트가 각각 소스와 연결되며, 상기 제n MOS 트랜지스터의 게이트는 상기 그라운드와 연결되고,

상기 제1 및 제2 내지 제n MOS 트랜지스터가 P-MOS 트랜지스터일 경우, 상기 제1 MOS 트랜지스터의 게이트는 상기 전원에 연결되며, 상기 제2 내지 제n MOS 트랜지스터의 게이트가 각각 소스와 연결되는 것(n은 3 이상의 자연수)

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

청구항 5

제4항에 있어서,

상기 제1 및 제2 내지 제 n MOS 트랜지스터가 N-MOS 트랜지스터인 경우, 상기 제 $n-1$ MOS 트랜지스터의 타단과 상기 제 n MOS 트랜지스터의 일단이 연결된 노드의 전압에 기초하여 온도 정보를 제공하고,

상기 제1 및 제2 내지 제 n MOS 트랜지스터가 P-MOS 트랜지스터인 경우, 상기 제1 MOS 트랜지스터의 타단과 상기 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압에 기초하여 온도 정보를 제공하는 온도 검출부;를 더 포함하는 것

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

청구항 6

제2항 또는 제5항 중 어느 한 항에 있어서,

상기 온도 검출부는,

복수의 트랜지스터가 연결된 상기 노드에서 출력된 전압을 증폭하는 증폭기;

상기 증폭기에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC; 및

상기 디지털 신호를 선형화하여 출력하는 디지털 보정 회로;를 포함하는 것

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

청구항 7

제6항에 있어서,

상기 온도 검출부는,

상기 디지털 신호에 기초하여 온도 정보를 제공하는 것

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

청구항 8

일단이 전원에 연결된 제1 MOS 트랜지스터;

일단이 상기 제1 MOS 트랜지스터의 타단과 연결되고, 타단이 그라운드와 연결된 제2 MOS 트랜지스터;

일단이 상기 전원에 연결된 제3 MOS 트랜지스터;

일단이 상기 제3 MOS 트랜지스터의 타단과 연결되고, 타단이 상기 그라운드와 연결된 제4 MOS 트랜지스터; 및

상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압과 상기 제3 MOS 트랜지스터의 타단과 제4 MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 전압차에 기초하여 온도 정보를 제공하는 온도 검출부;를 포함하되,

상기 제1 및 제2 MOS 트랜지스터는 N-MOS 트랜지스터이고,

상기 제3 및 제4 MOS 트랜지스터는 P-MOS 트랜지스터이며,

상기 제1 MOS 트랜지스터의 게이트와 상기 제4 MOS 트랜지스터는, 각각 소스와 연결되며, 상기 제2 MOS 트랜지스터의 게이트는 상기 그라운드와 연결되고, 상기 제3 MOS 트랜지스터의 게이트는 상기 전원과 연결되는 것

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

청구항 9

제8항에 있어서,

상기 제1 MOS 트랜지스터의 채널 폭(Transistor width)은 상기 제2 MOS 트랜지스터의 채널 폭(Transistor width) 보다 크고,

상기 제3 MOS 트랜지스터의 채널 폭(Transistor width)은 상기 제4 MOS 트랜지스터의 채널 폭(Transistor width) 보다 큰 것

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

청구항 10

제8항에 있어서,

상기 온도 검출부는,

상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압 및 상기 제3 MOS 트랜지스터의 타단과 제4 MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 차이를 증폭하여 출력하는 차동증폭기;

상기 증폭기에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC; 및

상기 디지털 신호를 선형화하여 출력하는 디지털 보정 회로;를 포함하는 것

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

청구항 11

일단이 전원에 연결된 제1 N-MOS 트랜지스터;

상기 제1 N-MOS 트랜지스터의 타단 및 그라운드 사이에 연결되고, 서로 직렬로 연결되는 제2 내지 제n N-MOS 트랜지스터;

일단이 상기 전원에 연결된 제1 P-MOS 트랜지스터;

일단이 상기 제1 P-MOS 트랜지스터의 타단 및 그라운드 사이에 연결되고, 서로 직렬로 연결되는 제2 내지 제n P-MOS 트랜지스터; 및

제n-1 N-MOS 트랜지스터의 타단과 상기 제n N-MOS 트랜지스터의 일단이 연결된 노드의 전압 및 상기 제1 P-MOS 트랜지스터의 타단과 상기 제2 P-MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 전압차에 기초하여 온도 정보를 제공하는 온도 검출부;를 포함하되,

상기 제1 내지 제n-1 N-MOS 트랜지스터 및 상기 제2 내지 제n P-MOS 트랜지스터의 게이트는 각각 소스와 연결되며, 상기 제n N-MOS 트랜지스터의 게이트는 상기 그라운드와 연결되고, 상기 제1 P-MOS 트랜지스터의 게이트는 상기 전원과 연결되는 것

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

청구항 12

제11항에 있어서,

상기 온도 검출부는,

상기 제n-1 N-MOS 트랜지스터의 타단과 상기 제n N-MOS 트랜지스터의 일단이 연결된 노드의 전압 및 상기 제1

P-MOS 트랜지스터의 타단과 상기 제2 P-MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 차이를 증폭하여 출력하는 차동증폭기;

상기 차동증폭기에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC; 및

상기 디지털 신호를 선형화하여 출력하는 디지털 보정 회로;를 포함하는 것

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

청구항 13

제10항 또는 제12항 중 어느 한 항에 있어서,

상기 온도 검출부는,

상기 디지털 신호에 기초하여 온도 정보를 제공하는 것

을 특징으로 하는 스택 구조를 포함하는 온도 센서.

발명의 설명

기술 분야

[0001] 본 발명은 온도 센서에 관한 것으로, 보다 상세히는 스택 구조를 포함하는 온도 센서에 관한 것이다.

배경 기술

[0002] 도 1 및 도 2는 종래 거진 트랜지스터를 활용한 온도 센서이다.

[0003] 도 1에 도시된 바와 같이, 기존 NMOS를 활용한 온도센서의 경우 게이트 전압이 그라운드에 연결되어 있다. 또한, 도 2에 도시된 바와 같이, 기존 PMOS를 활용한 온도센서의 경우 게이트 전압이 전원에 연결되어 있다.

[0004] 이때, 도 1 내지 2에 도시된 온도센서에서 유기되는 누설전류는 다음의 식 1과 같을 수 있다.

[0005] -식 1-

$$I_{S, nch} = A \cdot \exp \left[\frac{-q}{nkT} (V_{TH0} - \eta V_{o, nch} - \gamma V_{BS}) \right] \cdot \left[1 - \exp \left(\frac{-q V_{o, nch}}{kT} \right) \right]$$

[0006]

[0007] 이때, NMOS의 경우 출력전압에 대한 식으로 다시 쓰면 다음의 식 2와 같다.

[0008] -식 2-

$$V_{o, nch} \propto \frac{\ln \left(\frac{A_1}{A_2} \right) \cdot \frac{nkT}{q} + \eta V_{DD}}{1 + 2\eta + \gamma} \propto C_1 T + C_2$$

[0009]

[0010] 여기서, 누설전류의 관계식을 PMOS에 적용하면 다음의 식 3과 같다.

[0011] -식 3-

$$V_{o, pch} \propto -C_3 T + C_4$$

[0012]

[0013] 이때, C_1 과 C_3 가 클수록 온도에 대해 출력 전압이 더 예민하게 반응한다는 사실을 알 수 있다.

선행기술문헌

특허문헌

[0014] (특허문헌 0001) 한국 특허공보 제10-1046455호("앰프 회로 및 그 전압 보상 방법". 공고일 2011.07.04.)

발명의 내용

해결하려는 과제

[0015] 본 발명은 상기한 바와 같은 문제점을 해결하기 위해 안출된 것으로, 본 발명에 의한 스택 구조를 포함하는 온도 센서의 목적은, 개선된 스택 구조를 포함하여 보다 안정적인 온도 센서를 제공함에 있다.

과제의 해결 수단

[0016] 상기한 바와 같은 문제점을 해결하기 위한 본 발명의 다양한 실시예에 의한 스택 구조를 포함하는 온도 센서는, 일단이 전원에 연결된 제1 MOS 트랜지스터 및 일단이 상기 제1 MOS 트랜지스터의 타단과 연결되고, 타단이 그라운드와 연결된 제2 MOS 트랜지스터를 포함하되, 상기 제1 및 제2 MOS 트랜지스터는, N-MOS 트랜지스터 또는 P-MOS 트랜지스터이며, 서로 동일한 타입이고, 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터가 N-MOS 트랜지스터인 경우, 상기 제1 MOS 트랜지스터의 게이트는 소스와 연결되며, 상기 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터가 P-MOS 트랜지스터인 경우, 상기 제2 MOS 트랜지스터의 게이트는 소스와 연결되는 것을 특징으로 한다.

[0017] 또한, 상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압에 기초하여 온도 정보를 제공하는 온도 검출부를 더 포함하는 것을 특징으로 한다.

[0018] 또한, 상기 제1 MOS 트랜지스터의 채널 폭(Transistor width)은 상기 제2 MOS 트랜지스터의 채널 폭(Transistor width) 보다 큰 것을 특징으로 한다.

[0019] 또한, 일단이 전원에 연결된 제1 MOS 트랜지스터 및 상기 제1 MOS 트랜지스터의 타단 및 그라운드 사이에 연결되고, 서로 직렬로 연결되는 제2 내지 제 n MOS 트랜지스터를 포함하되, 상기 제1 및 제2 MOS 트랜지스터는 N-MOS 트랜지스터 또는 P-MOS 트랜지스터이며, 서로 동일한 타입이고, 상기 제1 및 제2 내지 제 n MOS 트랜지스터가 N-MOS 트랜지스터일 경우, 상기 제1 내지 제 $n-1$ MOS 트랜지스터의 게이트가 각각 소스와 연결되며, 상기 제1 및 제2 내지 제 n MOS 트랜지스터가 P-MOS 트랜지스터일 경우, 상기 제2 내지 제 n MOS 트랜지스터의 게이트가 각각 소스와 연결되는 것(n 은 3 이상의 자연수)을 특징으로 한다.

[0020] 또한, 상기 제1 및 제2 내지 제 n MOS 트랜지스터가 N-MOS 트랜지스터인 경우, 상기 제 $n-1$ MOS 트랜지스터의 타단과 상기 제 n MOS 트랜지스터의 일단이 연결된 노드의 전압에 기초하여 온도 정보를 제공하고, 상기 제1 및 제2 내지 제 n MOS 트랜지스터가 P-MOS 트랜지스터인 경우, 상기 제1 MOS 트랜지스터의 타단과 상기 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압에 기초하여 온도 정보를 제공하는 온도 검출부를 더 포함하는 것을 특징으로 한다.

[0021] 또한, 상기 온도 검출부는 복수의 트랜지스터가 연결된 상기 노드에서 출력된 전압을 증폭하는 증폭기, 상기 증폭기에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC 및 상기 디지털 신호를 선형화하여 출력하는 디지털 보정 회로를 포함하는 것을 특징으로 한다.

[0022] 또한, 상기 온도 검출부는 상기 디지털 신호에 기초하여 온도 정보를 제공하는 것을 특징으로 한다.

[0023] 또한, 일단이 전원에 연결된 제1 MOS 트랜지스터, 일단이 상기 제1 MOS 트랜지스터의 타단과 연결되고, 타단이 그라운드와 연결된 제2 MOS 트랜지스터, 일단이 상기 전원에 연결된 제3 MOS 트랜지스터, 일단이 상기 제3 MOS 트랜지스터의 타단과 연결되고, 타단이 상기 그라운드와 연결된 제4 MOS 트랜지스터 및 상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압과 상기 제3 MOS 트랜지스터의 타단과 제4 MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 전압차에 기초하여 온도 정보를 제공하는 온도 검출부를 포함하되, 상기 제1 및 제2 MOS 트랜지스터는 N-MOS 트랜지스터이고, 상기 제3 및 제4 MOS 트랜지스터는 P-MOS 트랜지스터이며, 상기 제1 MOS 트랜지스터의 게이트와 상기 제4 MOS 트랜지스터는, 각각 소스와 연결되는 것을 특징으로 한다.

[0024] 또한, 상기 제1 MOS 트랜지스터의 채널 폭(Transistor width)은 상기 제2 MOS 트랜지스터의 채널 폭(Transistor width) 보다 크고, 상기 제3 MOS 트랜지스터의 채널 폭(Transistor width)은 상기 제4 MOS 트랜지스터의 채널 폭(Transistor width) 보다 큰 것을 특징으로 한다.

[0025] 또한, 상기 온도 검출부는 상기 제1 MOS 트랜지스터의 타단과 제2 MOS 트랜지스터의 일단이 연결된 노드의 전압 및 상기 제3 MOS 트랜지스터의 타단과 제4 MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 차이를 증폭하여 출력하는 차동증폭기, 상기 증폭기에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC 및 상기 디지털 신호를 선형화하여 출력하는 디지털 보정 회로를 포함하는 것을 특징으로 한다.

[0026] 또한, 일단이 전원에 연결된 제1 N-MOS 트랜지스터, 상기 제1 N-MOS 트랜지스터의 타단 및 그라운드 사이에 연결되고, 서로 직렬로 연결되는 제2 내지 제n N-MOS 트랜지스터, 일단이 상기 전원에 연결된 제1 P-MOS 트랜지스터, 일단이 상기 제1 P-MOS 트랜지스터의 타단 및 그라운드 사이에 연결되고, 서로 직렬로 연결되는 제2 내지 제n P-MOS 트랜지스터 및 제n-1 N-MOS 트랜지스터의 타단과 상기 제n N-MOS 트랜지스터의 일단이 연결된 노드의 전압 및 상기 제1 P-MOS 트랜지스터의 타단과 상기 제2 P-MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 전압 차에 기초하여 온도 정보를 제공하는 온도 검출부를 포함하되, 상기 제1 내지 제n-1 N-MOS 트랜지스터 및 상기 제2 내지 제n P-MOS 트랜지스터의 게이트는 각각 소스와 연결되는 것을 특징으로 한다.

[0027] 또한, 상기 온도 검출부는 상기 제n-1 N-MOS 트랜지스터의 타단과 상기 제n N-MOS 트랜지스터의 일단이 연결된 노드의 전압 및 상기 제1 P-MOS 트랜지스터의 타단과 상기 제2 P-MOS 트랜지스터의 일단이 연결된 노드의 전압 간의 차이를 증폭하여 출력하는 차동증폭기, 상기 차동증폭기에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC 및 상기 디지털 신호를 선형화하여 출력하는 디지털 보정 회로를 포함하는 것을 특징으로 한다.

[0028] 또한, 상기 온도 검출부는 상기 디지털 신호에 기초하여 온도 정보를 제공하는 것을 특징으로 한다.

발명의 효과

[0029] 상기한 바와 같은 본 발명의 다양한 실시예에 의한 스택 구조를 포함하는 온도 센서에 의하면, Wide swing을 통한 온도 센서 리드아웃 회로의 설계 복잡도를 완화할 수 있는 효과가 있다.

[0030] 또한, Cryogenic Side-Attack 방지회로 구동을 통한 PUF 시스템을 보완 강화할 수 있는 효과가 있다.

[0031] 뿐만 아니라, 온도 민감형 전자회로 시스템의 온도 적응형 성능을 보상할 수 있는 효과가 있다.

도면의 간단한 설명

[0032] 도 1 및 도 2는 종래 꺼진 트랜지스터를 활용한 온도 센서의 회로도

도 3은 본 발명의 실시예에 의한 2단 스택 구조의 꺼진 NMOS 트랜지스터를 활용한 온도 센서의 회로도

도 4는 본 발명의 실시예에 의한 2단 스택 구조의 꺼진 PMOS 트랜지스터를 활용한 온도 센서의 회로도

도 5은 본 발명의 실시예에 의한 3단 스택 구조의 꺼진 NMOS 트랜지스터를 활용한 온도 센서의 회로도

도 6은 본 발명의 실시예에 의한 3단 스택 구조의 꺼진 PMOS 트랜지스터를 활용한 온도 센서의 회로도

도 7은 본 발명의 실시예에 의한 n단 스택 구조의 꺼진 NMOS 트랜지스터를 활용한 온도 센서의 회로도

도 8은 본 발명의 실시예에 의한 n단 스택 구조의 꺼진 PMOS 트랜지스터를 활용한 온도 센서의 회로도

도 9는 본 발명의 실시예에 의한 2단 스택 구조의 꺼진 CMOS 트랜지스터를 활용한 온도 센서의 회로도

도 10은 본 발명의 실시예에 의한 3단 스택 구조의 꺼진 CMOS 트랜지스터를 활용한 온도 센서의 회로도

발명을 실시하기 위한 구체적인 내용

[0033] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 설명하기 위하여 이하에서는 본 발명의 바람직한 실시예를 예시하고 이를 참조하여 살펴본다.

[0034] 먼저, 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니며, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다. 또한 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0035] 본 발명을 설명함에 있어서, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있

다고 판단되는 경우에는 그 상세한 설명은 생략한다.

본 발명의 실시예에 의한 스택 구조를 포함하는 온도 센서를 설명하기에 앞서, 이하에서 표기되는 파라미터는 다음의 표를 참고한다.

-표 1-

Notation	Description
μ_0	Carrier mobility
C_{ox}	Oxide capacitance
W	Width of the transistor
L	Length of the transistor
m	Subthreshold slope factor
SS	Subthreshold Swing
η	DIBL coefficient
γ	Body-effect coefficient
g_m	Transconductance of the transistor
K_f	Frequency coefficient of the flicker noise
V_T	Thermal voltage (kT/q)
k	Boltzmann's constant ($1.38 \times 10^{-23} \text{J/K}$)
T	Temperature (K)
q	Electronic charge ($1.602 \times 10^{-19} \text{C}$)
V_{T0}	Zero-bias threshold voltage
V_{GS}	Gate-to-source voltage
V_{DS}	Drain-to-source voltage
V_{BS}	Body-to-source voltage
V_{DD}	Supply voltage

도 3은 본 발명의 실시예에 의한 2단 스택 구조의 꺼진 NMOS 트랜지스터(101, 102)를 활용한 온도 센서의 회로도이다.

본 발명의 실시예에 따른 2단 스택 구조의 온도 센서는 제1 MOS 트랜지스터(M1) 및 제2 MOS 트랜지스터(M2)를 포함할 수 있다. 본 발명의 실시예에 따라 제1 MOS 트랜지스터(M1) 및 제2 MOS 트랜지스터(M2)는 N-MOS 트랜지스터 및 P-MOS 트랜지스터 중 어느 하나로 구성되며, 서로 동일한 타입으로 구성된다. 먼저 도 3을 참조하여, 제1 MOS 트랜지스터(M1) 및 제2 MOS 트랜지스터(M2)가 N-MOS 트랜지스터(101, 102)인 경우를 설명한다.

제1 MOS 트랜지스터(M1)에 대응되는 N-MOS 트랜지스터(이하, 제1 N-MOS 트랜지스터)(101)는 일단이 전원(V_{DD})과 연결될 수 있다. 제1 N-MOS 트랜지스터(101)의 일단은 제1 N-MOS 트랜지스터(101)의 드레인(Drain)단 일 수 있다.

제2 MOS 트랜지스터(M2)에 대응되는 N-MOS 트랜지스터(이하, 제2 N-MOS 트랜지스터)(102)는 일단이 제1 N-MOS 트랜지스터(101)의 타단과 연결될 수 있다. 제2 N-MOS 트랜지스터(102)의 일단은 제2 N-MOS 트랜지스터(102)의 드레인(Drain)단 일 수 있고, 제1 N-MOS 트랜지스터(101)의 타단은 제1 N-MOS 트랜지스터(101)의 소스(Source)단 일 수 있다.

제2 N-MOS 트랜지스터(102)의 타단은 그라운드에 연결되며, 제2 N-MOS 트랜지스터(102)의 타단은 소스(Source)단 일 수 있다.

여기서, 제1 N-MOS 트랜지스터(101)와 제2 N-MOS 트랜지스터(102)는 종래와 다르게 제1 N-MOS 트랜지스터(101)의 게이트가 제2 N-MOS 트랜지스터(102)와 공통으로 그라운드에 연결되는 것이 아니라, 제1 N-MOS 트랜지스터(101)의 게이트는 소스와 연결되고, 제2 N-MOS 트랜지스터(102)의 게이트는 그라운드와 연결되는 것이 바람직하다.

이러한 스택 구조를 갖는 제1 N-MOS 트랜지스터(101) 및 제2 N-MOS 트랜지스터(102)는 트랜지스터 채널 폭(transistor width, W_{eff})을 각각 상이하게 설정할 수 있다. 구체적으로, 제1 N-MOS 트랜지스터(101)의 채널 폭(transistor width, W_{eff})은 제2 N-MOS 트랜지스터(102)의 채널 폭보다 크게 설정될 수 있다.

앞서 상술한 바와 같이, 도 3의 구조에 따른 온도 센서의 출력전압($V_{OUT1} = V_{o,nch}$)을 나타내면 다음의 식 4와

같이 정의될 수 있다.

-식 4-

$$\frac{I_{DS1}}{I_{01}} \cong \exp\left[\frac{(\eta_1 V_{DD} - V_{T01}) - (\eta_1 + \gamma_1) V_{ONch}}{m V_T}\right]$$

-식 5-

$$\frac{I_{DS4}}{I_{04}} \cong \exp\left[\frac{-V_{T02} - \eta_2 V_{ONch}}{m V_T}\right]$$

-식 6-

$$N_{ONch} \cong \frac{m V_T \cdot \ln\left(\frac{W_1/L_1}{W_2/L_2}\right) + \eta_1 V_{DD} + V_{T01} - V_{T02}}{\eta_1 + \eta_2 + \gamma_1}$$

식 6을 보면, 종횡비(W_1/L_1)를 유지하면서, 제1 N-MOS 트랜지스터(101)를 긴 길이로 설계함으로써, DIBL(Drain Induced Barrier Lowering) 현상이 완화되어 $n_1 < n_2$ 이 성립할 수 있다. 따라서, 온도-전압 이득(식 5)이 더욱 향상될 수 있다.

여기서, DIBL 현상이란, 채널의 길이가 짧아지면서 drain voltage에 의한 누설전류의 증가를 야기하는 현상을 일컫는다.

한편, 도 3의 회로를 기반으로 한 주파수 영역의 공급 잡음 전달 함수는 다음의 식 7과 같이 도출될 수 있다.

-식 7-

$$H_{n,Enhanced}(s) = \frac{\gamma_{02}}{\gamma_{01} + \gamma_{02}} \cdot \frac{1}{1 + s \cdot (r_{01} \parallel \gamma_{02}) C_L}$$

따라서, 공급 잡음 전달 함수의 극점과 영점은 다음의 식 8과 같이 나타낼 수 있다.

-식 8-

$$\omega_{p,Enhanced} \cong \frac{1}{(\gamma_{01} \parallel \gamma_{02}) C_L}$$

이에 따라, 본 발명의 실시예에 따른 구조는 종래의 구조보다 부하 용량이 커져 노이즈 전력이 감소할 수 있다.

또한, 본 발명에 따른 온도 센서는 온도 검출부(110)를 더 포함할 수 있다. 온도 검출부(110)는 제1 N-MOS 트랜지스터(101)의 타단과 제2 N-MOS 트랜지스터(102)의 일단이 연결된 노드의 전압(V_{OUT1})에 기초하여 온도 정보를 제공할 수 있다.

또한, 온도 검출부(110)는 제1 N-MOS 트랜지스터(101)의 타단과 제2 N-MOS 트랜지스터(102)의 일단이 연결된 노드에서 출력된 전압(V_{OUT1})을 증폭하는 증폭기(111), 증폭기(111)에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC(112) 및 디지털 신호를 선형화하여 출력하는 디지털 보정 회로(113)를 포함할 수 있다. 온도 검출부(110)는 디지털 보정 회로(113)에서 출력된 디지털 신호에 기초하여 온도 정보를 제공할 수 있다.

도 4는 본 발명의 실시예에 의한 2단 스택 구조의 꺼진 PMOS 트랜지스터(103, 104)를 활용한 온도 센서의 회로

도이다.

- [0065] 본 발명의 실시예에 따라 제1 MOS 트랜지스터(M1) 및 제2 MOS 트랜지스터(M2)는 N-MOS 트랜지스터 및 P-MOS 트랜지스터 중 어느 하나로 구성되며, 서로 동일한 타입으로 구성된다. 도 4에서는, 제1 MOS 트랜지스터(M1) 및 제2 MOS 트랜지스터(M2)가 P-MOS 트랜지스터(201, 202)인 경우를 설명한다.
- [0066] 제1 MOS 트랜지스터(M1)에 대응되는 P-MOS 트랜지스터(이하, 제1 P-MOS 트랜지스터)(201)는 일단이 전원(V_{DD})과 연결될 수 있다. 제1 P-MOS 트랜지스터(201)의 일단은 제1 P-MOS 트랜지스터(201)의 소스(Source)단 일 수 있다.
- [0067] 제2 MOS 트랜지스터(M2)에 대응되는 P-MOS 트랜지스터(이하, 제2 P-MOS 트랜지스터)(202)는 일단이 제1 P-MOS 트랜지스터(201)의 타단과 연결될 수 있다. 제2 P-MOS 트랜지스터(202)의 일단은 제2 P-MOS 트랜지스터(202)의 소스(Source)단 일 수 있고, 제1 P-MOS 트랜지스터(201)의 타단은 제1 P-MOS 트랜지스터(201)의 드레인(Drain)단 일 수 있다.
- [0068] 제2 P-MOS 트랜지스터(202)의 타단은 그라운드에 연결되며, 제2 P-MOS 트랜지스터(202)의 타단은 드레인(Drain)단 일 수 있다.
- [0069] 여기서, 제1 P-MOS 트랜지스터(201)와 제2 P-MOS 트랜지스터(202)는 종래와 다르게 제1 P-MOS 트랜지스터(201)의 게이트가 제2 P-MOS 트랜지스터(202)와 공통으로 전원에 연결되는 것이 아니라, 제1 P-MOS 트랜지스터(201)의 게이트는 전원과 연결되고, 제2 P-MOS 트랜지스터(202)의 게이트는 소스와 연결되는 것이 바람직하다.
- [0070] 또한, 본 발명에 따른 온도 센서는 온도 검출부(110)를 더 포함할 수 있다. 온도 검출부(110)는 제1 P-MOS 트랜지스터(201)의 타단과 제2 P-MOS 트랜지스터(202)의 일단이 연결된 노드의 전압(V_{OUT2})에 기초하여 온도 정보를 제공할 수 있다.
- [0071] 또한, 온도 검출부(110)는 제1 P-MOS 트랜지스터(201)의 타단과 제2 P-MOS 트랜지스터(202)의 일단이 연결된 노드에서 출력된 전압(V_{OUT2})을 증폭하는 증폭기(111), 증폭기(111)에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC(112) 및 디지털 신호를 선형화하여 출력하는 디지털 보정 회로(113)를 포함할 수 있다. 온도 검출부(110)는 디지털 보정 회로(113)에서 출력된 디지털 신호에 기초하여 온도 정보를 제공할 수 있다.
- [0072] 도 5은 본 발명의 실시예에 의한 3단 스택 구조의 꺼진 NMOS 트랜지스터를 활용한 온도 센서의 회로도이다.
- [0073] 본 발명의 실시예에 따른 3단 스택 구조의 온도 센서는 제1 MOS 트랜지스터(M1) 및 제2 내지 제n MOS 트랜지스터(M2~Mn)를 포함할 수 있다. 여기서, n은 3 이상의 자연수를 의미한다.
- [0074] 본 발명의 실시예에 따라 제1 MOS 트랜지스터(M1) 및 제2 내지 제n MOS 트랜지스터(M2~Mn)는 N-MOS 트랜지스터 및 P-MOS 트랜지스터 중 어느 하나로 구성되며, 서로 동일한 타입으로 구성된다. 먼저 도 5을 참조하여, 제1 MOS 트랜지스터(M1) 및 제2 내지 제n MOS 트랜지스터(M2~Mn)가 N-MOS 트랜지스터(101, 102, 103)이고, 3단으로 구성된 경우를 설명한다.
- [0075] 제1 MOS 트랜지스터(M1)에 대응되는 N-MOS 트랜지스터(이하, 제1 N-MOS 트랜지스터)(101)는 일단이 전원(V_{DD})과 연결될 수 있다. 제1 N-MOS 트랜지스터(101)의 일단은 제1 N-MOS 트랜지스터(101)의 드레인(Drain)단 일 수 있다.
- [0076] 제2 MOS 트랜지스터(M2)에 대응되는 N-MOS 트랜지스터(이하, 제2 N-MOS 트랜지스터)(102)는 일단이 제1 N-MOS 트랜지스터(101)의 타단과 연결될 수 있다. 제2 N-MOS 트랜지스터(102)의 일단은 제2 N-MOS 트랜지스터(102)의 드레인(Drain)단 일 수 있고, 제1 N-MOS 트랜지스터(101)의 타단은 제1 N-MOS 트랜지스터(101)의 소스(Source)단 일 수 있다.
- [0077] 제3 MOS 트랜지스터(M3)에 대응되는 N-MOS 트랜지스터(이하, 제3 N-MOS 트랜지스터)(103)은 일단이 제2 N-MOS 트랜지스터(102)의 타단과 연결될 수 있다. 제3 N-MOS 트랜지스터(103)의 일단은 제3 N-MOS 트랜지스터(103)의 드레인(Drain)단일 수 있고, 제2 N-MOS 트랜지스터(102)의 타단은 제2 N-MOS 트랜지스터(102)의 소스(Source)단일 수 있다. 또한, 제3 N-MOS 트랜지스터(103)의 타단은 그라운드에 연결되며, 제3 N-MOS 트랜지스터(103)의 타단은 소스(Source)단 일 수 있다.
- [0078] 여기서, 제1 내지 제2 N-MOS 트랜지스터(101, 102)의 게이트는 각각 소스와 연결되며, 제3 N-MOS 트랜지스터(103)의 게이트는 그라운드와 연결되는 것이 바람직하다.

[0079] 도 5에 도시된 바와 같이, 3단 스택 구조를 포함하고, 각 트랜지스터의 게이트 전압과 소스 전압이 연결되어 있는 구조는 미세한 누설전류를 발생시키게 되는데 미세공정으로 갈수록 그 경향성이 심화될 수 있다.

[0080] 여기서, 도 5의 구조에 의한 온도 센서의 출력전압($V_{OUT1}=V_{o,nch}$)을 나타내면 다음의 식 9와 같이 정의될 수 있다.

[0081] -식 9-

$$V_{ANCh|j=2} \cong \frac{2}{3} \cdot \frac{mV_T \cdot \ln\left(\frac{W_{st}/L_{st}}{W_{bc}/L_{bc}}\right) + \eta V_{DD}}{\eta}$$

[0082]

[0083] 또한, 본 발명에 따른 온도 센서는 도 5에 도시되진 않았지만 온도 검출부를 더 포함할 수 있다. 온도 검출부는 제2 N-MOS 트랜지스터(102)의 타단과 제3 N-MOS 트랜지스터(103)의 일단이 연결된 노드의 전압에 기초하여 온도 정보를 제공할 수 있다.

[0084] 또한, 온도 검출부는 제2 N-MOS 트랜지스터(102)의 타단과 제3 N-MOS 트랜지스터(103)의 일단이 연결된 노드에서 출력된 전압(V_{OUT1})을 증폭하는 증폭기, 증폭기에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC 및 디지털 신호를 선형화하여 출력하는 디지털 보정 회로를 포함할 수 있다. 온도 검출부는 디지털 보정 회로에서 출력된 디지털 신호에 기초하여 온도 정보를 제공할 수 있다.

[0085] 도 6은 본 발명의 실시예에 의한 3단 스택 구조의 꺼진 PMOS 트랜지스터를 활용한 온도 센서의 회로도이다.

[0086] 본 발명의 실시예에 따른 3단 스택 구조의 온도 센서는 제1 MOS 트랜지스터(M1) 및 제2 내지 제n MOS 트랜지스터(M2~Mn)를 포함할 수 있다. 여기서, n은 3 이상의 자연수를 의미한다.

[0087] 본 발명의 실시예에 따라 제1 MOS 트랜지스터(M1) 및 제2 내지 제n MOS 트랜지스터(M2~Mn)는 N-MOS 트랜지스터 및 P-MOS 트랜지스터 중 어느 하나로 구성되며, 서로 동일한 타입으로 구성된다. 도 6에서는, 제1 MOS 트랜지스터(M1), 제2 MOS 트랜지스터(M2) 및 제3 MOS 트랜지스터(M3)가 P-MOS 트랜지스터(201,202,203)이고, 3단으로 구성된 경우를 설명한다.

[0088] 제1 MOS 트랜지스터(M1)에 대응되는 P-MOS 트랜지스터(이하, 제1 P-MOS 트랜지스터)(201)는 일단이 전원(V_{DD})과 연결될 수 있다. 제1 P-MOS 트랜지스터(201)의 일단은 제1 P-MOS 트랜지스터(201)의 소스(Source)단 일 수 있다.

[0089] 제2 MOS 트랜지스터(M2)에 대응되는 P-MOS 트랜지스터(이하, 제2 P-MOS 트랜지스터)(202)는 일단이 제1 P-MOS 트랜지스터(201)의 타단과 연결될 수 있다. 제2 P-MOS 트랜지스터(202)의 일단은 제2 N-MOS 트랜지스터(102)의 소스(Source)단 일 수 있고, 제1 P-MOS 트랜지스터(201)의 타단은 제1 P-MOS 트랜지스터(201)의 드레인(Drain)단 일 수 있다.

[0090] 제3 MOS 트랜지스터(M3)에 대응되는 P-MOS 트랜지스터(이하, 제3 P-MOS 트랜지스터)(203)은 일단이 제2 P-MOS 트랜지스터(202)의 타단과 연결될 수 있다. 제3 P-MOS 트랜지스터(203)의 일단은 제3 P-MOS 트랜지스터(203)의 소스(Source)단 일 수 있고, 제2 P-MOS 트랜지스터(202)의 타단은 제2 P-MOS 트랜지스터(202)의 드레인(Drain)단일 수 있다. 또한, 제3 P-MOS 트랜지스터(203)의 타단은 그라운드에 연결되며, 제3 P-MOS 트랜지스터(203)의 타단은 드레인(Drain)단 일 수 있다.

[0091] 여기서, 제2 내지 제3 P-MOS 트랜지스터(202, 203)의 게이트는 각각 소스와 연결되며, 제1 P-MOS 트랜지스터(201)의 게이트는 전원과 연결되는 것이 바람직하다.

[0092] 한편, 앞서 설명한 N-MOS 트랜지스터를 활용한 개념들을 도 6에 도시된 바와 같은 P-MOS에도 적용하면 다음과 같을 수 있다.

[0093] 도 6에 도시된 바와 같이, 3단 스택 구조를 포함하고, 각 트랜지스터의 게이트 전압과 소스 전압이 연결되어 있는 구조에서, 도 5의 N-MOS 트랜지스터 구조에서 누설전류 관계식을 P-MOS에 적용하면 N-MOS 트랜지스터를 활용한 구조와 비교하여 볼 때, 스택 구조의 꺼진 P-MOS 트랜지스터를 활용한 온도 센서는 N-MOS 트랜지스터를 활용한 온도 센서와 온도에 대한 전압이 상보적으로 움직이는 것을 알 수 있다.

[0094] 또한, 본 발명에 따른 온도 센서는 도 6에 도시되진 않았지만 온도 검출부를 더 포함할 수 있다. 온도 검출부는 제1 P-MOS 트랜지스터(201)의 타단과 제2 P-MOS 트랜지스터(202)의 일단이 연결된 노드의 전압(V_{OUT1})에 기초하여 온도 정보를 제공할 수 있다.

[0095] 또한, 온도 검출부는 제1 P-MOS 트랜지스터(201)의 타단과 제2 P-MOS 트랜지스터(202)의 일단이 연결된 노드에서 출력된 전압(V_{OUT2})을 증폭하는 증폭기, 증폭기에서 출력된 전압을 디지털 신호로 변환하여 출력하는 ADC 및 디지털 신호를 선형화하여 출력하는 디지털 보정 회로를 포함할 수 있다. 온도 검출부는 디지털 보정 회로에서 출력된 디지털 신호에 기초하여 온도 정보를 제공할 수 있다.

[0096] 도 7은 본 발명의 실시예에 의한 n단 스택 구조의 꺼진 NMOS 트랜지스터를 활용한 온도 센서의 회로도이고,

[0097] 도 8은 본 발명의 실시예에 의한 n단 스택 구조의 꺼진 PMOS 트랜지스터를 활용한 온도 센서의 회로도이다.

[0098] 앞서, 도 5 내지 도 6에서 설명한 3단 구조를 도 7 내지 도 8에 도시한 바와 같이, n단에 적용할 수 있다.

[0099] 아울러, 트랜지스터의 스택 구조를 2단, 3단 등 나아가 n단(n 는 2 이상의 자연수, $n = j+1$, j 는 1 이상의 자연수)으로 구성할 경우, 출력전압에 대한 식은 다음의 식 10과 같이 정의될 수 있다.

[0100] -식 10-

$$V_{OUTj} = \left(\frac{j}{j+1} \right) \cdot \frac{m V_T \cdot \ln \left(\frac{W_{st}/L_{st}}{W_{bs}/L_{bs}} \right) + \eta V_{DD}}{\eta}$$

[0101] 또한, 다단의 수가 증가될수록 직렬로 연결된 트랜지스터의 경우 공급 전압에서 출력 전압 단자까지 여러 개의 RC 필터가 형성되어 더 강력한 필터링 효과를 나타낼 수 있다.

[0103] 도 9는 본 발명의 실시예에 의한 2단 스택 구조의 꺼진 CMOS 트랜지스터를 활용한 온도 센서의 회로도이다.

[0104] N-MOS 트랜지스터인 제1 MOS 트랜지스터(M1) 및 제2 MOS 트랜지스터(M2), P-MOS 트랜지스터인 제3 MOS 트랜지스터(M3) 및 제4 MOS 트랜지스터(M4) 및 온도 검출부(210)를 포함할 수 있다.

[0105] N-MOS 트랜지스터(101, 102)의 구조는 도 3을 참조하여 설명한 내용과 동일하고, P-MOS 트랜지스터(201, 202)의 구조는 도 4를 참조하여 설명한 내용과 동일하다.

[0106] 온도 검출부(210)는 제1 MOS 트랜지스터(M1)의 타단과 제2 MOS 트랜지스터(M2)의 일단이 연결된 노드의 전압(이하, 제1 출력 전압(V_{OUT1}))과 제3 MOS 트랜지스터(M3)의 타단과 제4 MOS 트랜지스터(M4)의 일단이 연결된 노드의 전압(이하, 제2 출력 전압(V_{OUT2})) 간의 전압차에 기초하여 온도 정보를 제공할 수 있다. 제1 출력 전압(V_{OUT1})은 온도(T)에 선형적으로 비례하고 제2 출력 전압(V_{OUT2})은 온도(T)에 선형적으로 반비례하기 때문에 서로 상보적이다. 따라서, 온도 검출부(210)는 제1 출력 전압(V_{OUT1})과 제2 출력 전압(V_{OUT2}) 간의 차이를 이용해 온도(T)에 따른 출력 전압의 범위를 보다 넓힐 수 있다.

[0107] 또한, 온도 검출부(210)는 차동증폭기(211), ADC(212) 및 디지털 보정 회로(213)를 포함할 수 있다. 차동증폭기(211)는 제1 출력 전압(V_{OUT1})과 제2 출력 전압(V_{OUT2}) 간의 차이를 연산하고 그 차이를 증폭하여 출력할 수 있다. ADC(212)는 차동증폭기(211)에서 출력된 전압을 디지털 신호로 변환하여 출력할 수 있다. 디지털 보정 회로(213)는 ADC(212)에서 출력된 디지털 신호를 선형화하여 출력할 수 있다. 온도 검출부(210)는 디지털 보정 회로(213)에서 출력된 디지털 신호에 기초하여 온도 정보를 제공할 수 있다.

[0108] 도 10은 본 발명의 실시예에 의한 3단 스택 구조의 꺼진 CMOS 트랜지스터를 활용한 온도 센서의 회로도이다.

[0109] N-MOS 트랜지스터인 제1 N-MOS 트랜지스터(MN1), 제2 N-MOS 트랜지스터(MN2), 및 제3 N-MOS 트랜지스터(MN3)와 P-MOS 트랜지스터인 제1 P-MOS 트랜지스터(MP1), 제2 P-MOS 트랜지스터(MP2), 및 제2 P-MOS 트랜지스터(MP3)와 온도 검출부(210)를 포함할 수 있다.

[0110] N-MOS 트랜지스터(101, 102, 103)의 구조는 도 5를 참조하여 설명한 내용과 동일하고, P-MOS 트랜지스터(201, 202, 203)의 구조는 도 6을 참조하여 설명한 내용과 동일하다.

[0111] 온도 검출부(210)는 제2 N-MOS 트랜지스터(MN2)의 타단과 제3 N-MOS 트랜지스터(MN3)의 일단이 연결된 노드의

전압(이하, 제1 출력 전압(V_{OUT1}))과 제1 P-MOS 트랜지스터(MP1)의 타단과 제2 P-MOS 트랜지스터(MP2)의 일단이 연결된 노드의 전압(이하, 제2 출력 전압(V_{OUT2})) 간의 전압차에 기초하여 온도 정보를 제공할 수 있다. 제1 출력 전압(V_{OUT1})은 온도(T)에 선형적으로 비례하고 제2 출력 전압(V_{OUT2})은 온도(T)에 선형적으로 반비례하기 때문에 서로 상보적이다. 따라서, 온도 검출부()는 제1 출력 전압(V_{OUT1})과 제2 출력 전압(V_{OUT2}) 간의 차이를 이용해 온도(T)에 따른 출력 전압의 범위를 보다 넓힐 수 있다.

[0112] 또한, 온도 검출부(210)는 차동증폭기(211), ADC(212) 및 디지털 보정 회로(213)를 포함할 수 있다. 차동증폭기(211)는 제1 출력 전압(V_{OUT1})과 제2 출력 전압(V_{OUT2}) 간의 차이를 연산하고 그 차이를 증폭하여 출력할 수 있다. ADC(212)는 차동증폭기(211)에서 출력된 전압을 디지털 신호로 변환하여 출력할 수 있다. 디지털 보정 회로(213)는 ADC(212)에서 출력된 디지털 신호를 선형화하여 출력할 수 있다. 온도 검출부(210)는 디지털 보정 회로(213)에서 출력된 디지털 신호에 기초하여 온도 정보를 제공할 수 있다.

[0113] 아울러, 도 10에서는 3단 스택 구조의 꺼진 CMOS 트랜지스터를 활용한 온도 센서에 대해 설명하였지만, 이에 한정하지 않고, 도 7 및 도 8의 구조를 각각 포함하는 n단 스택구조를 포함한 CMOS 트랜지스터를 활용한 온도 센서도 포함할 수 있다.

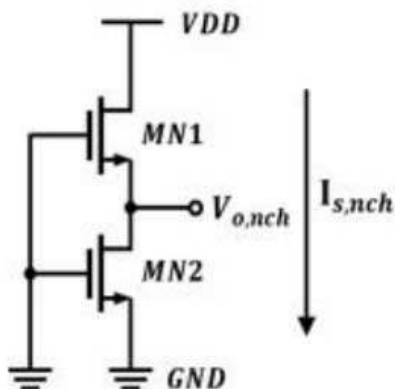
[0114] 이상에서 본 발명의 바람직한 실시 예에 대하여 설명하였으나, 본 발명은 상술한 특정의 실시 예에 한정되지 아니한다. 즉, 본 발명이 속하는 기술분야에서 통상의 지식을 가지는 자라면 첨부된 특허청구범위의 사상 및 범주를 일탈함이 없이 본 발명에 대한 다수의 변경 및 수정이 가능하며, 그러한 모든 적절한 변경 및 수정은 균등물들로 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

부호의 설명

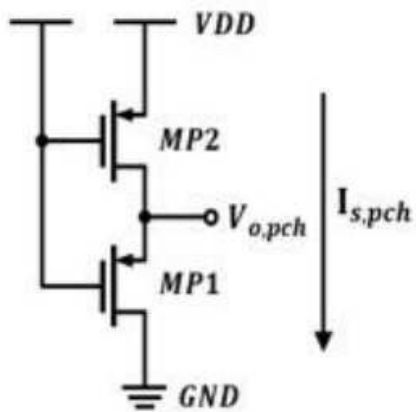
[0115] 101 ~ 10n : 제n N-MOS 트랜지스터
201 ~ 20n : 제n P-MOS 트랜지스터
110, 210 : 온도 검출부
111 : 증폭기
112, 212 : ADC
113, 213 : 디지털 보정 회로
211 : 차동증폭기

도면

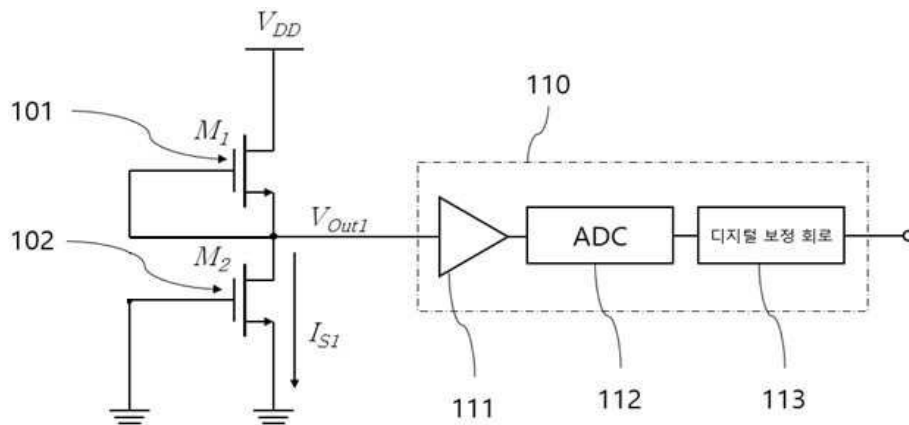
도면1



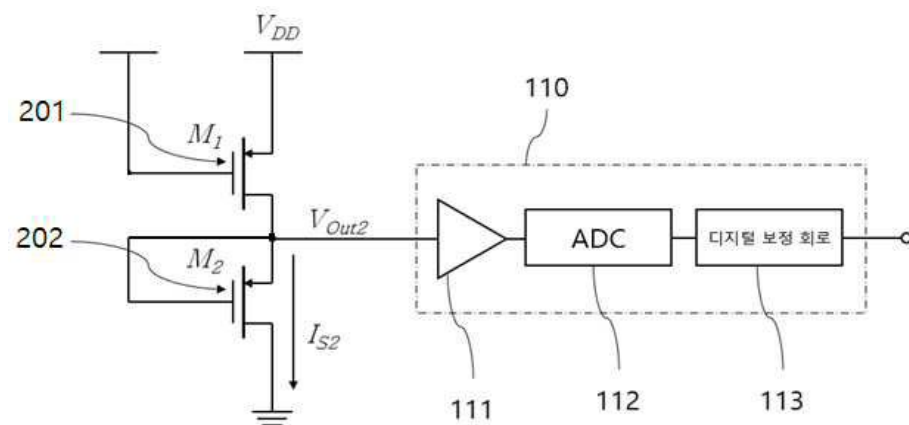
도면2



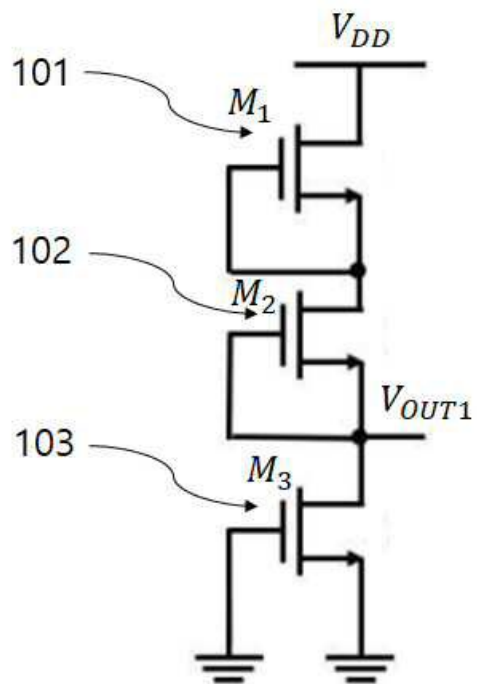
도면3



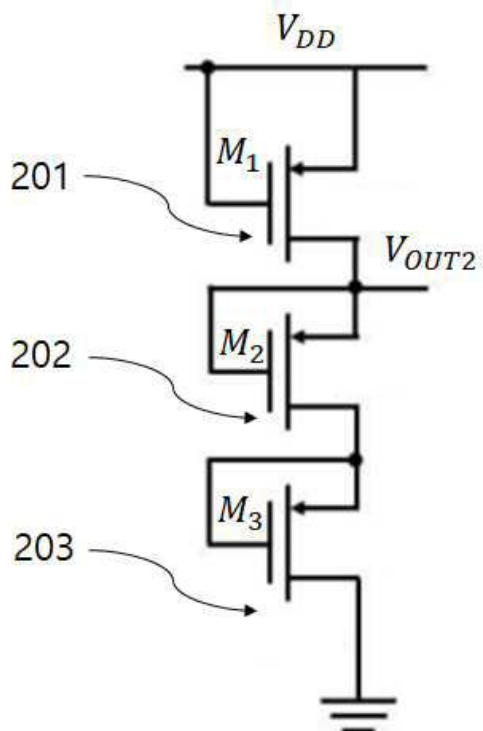
도면4



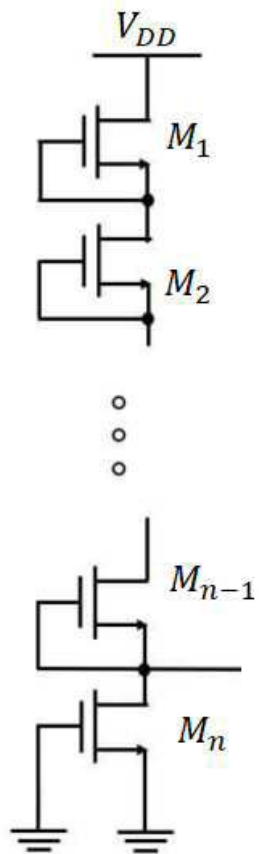
도면5



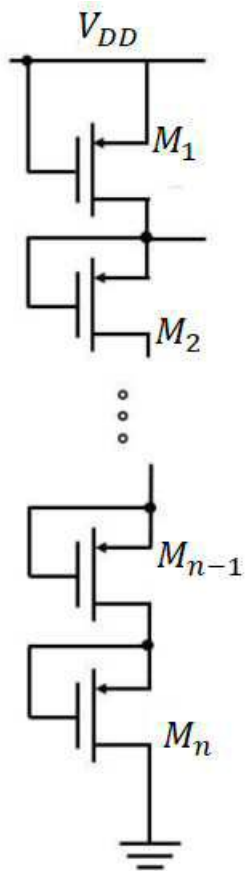
도면6



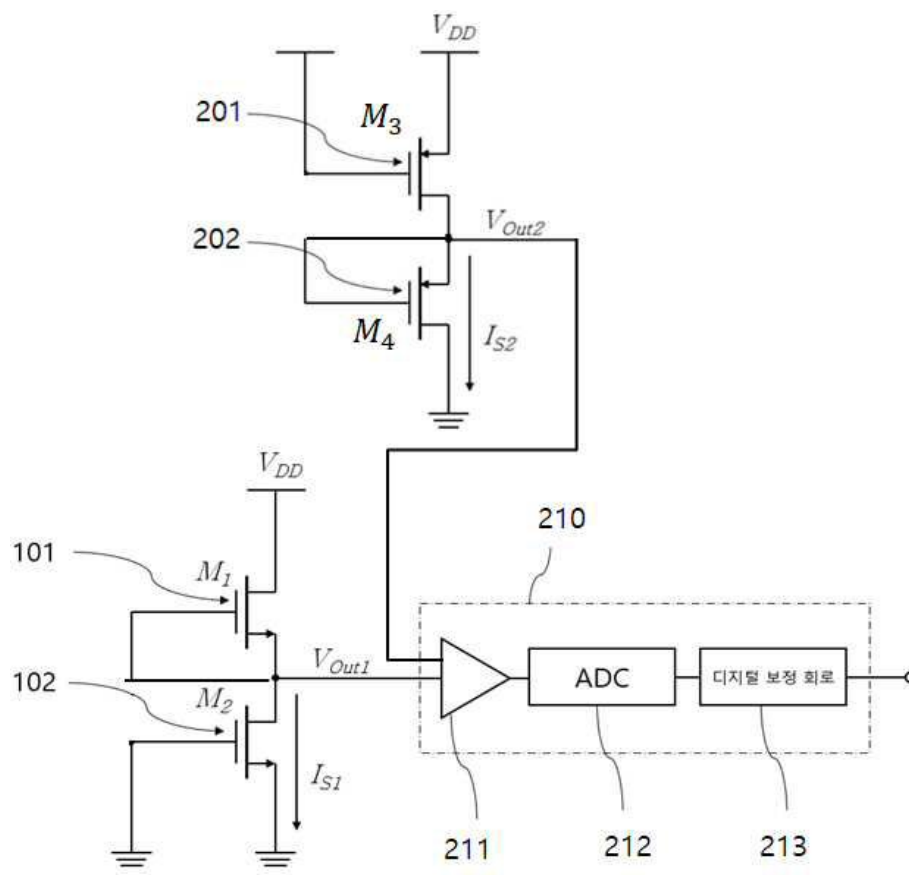
도면7



도면8



도면9



도면10

