



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2025년05월22일

(11) 등록번호 10-2812353

(24) 등록일자 2025년05월20일

(51) 국제특허분류(Int. Cl.)

H03L 7/081 (2006.01) G01S 7/28 (2006.01)

H03K 5/1534 (2006.01) H03K 7/08 (2006.01)

(52) CPC특허분류

H03L 7/0814 (2013.01)

G01S 7/2806 (2013.01)

(21) 출원번호 10-2024-0105451

(22) 출원일자 2024년08월07일

심사청구일자 2024년08월07일

(56) 선행기술조사문헌

KR1020020009435 A*

KR1020150051484 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

국립한밭대학교 산학협력단

대전광역시 유성구 동서대로 125 (덕명동)

(72) 발명자

김주성

대전광역시 유성구 지족북로 60, 202동 504호 (지족동, 노은꿈에그린 2단지)

무하마드 파크호리 몰루딘

대전광역시 유성구 대학로163번길 9, 201호 (궁동)

안현식

대전광역시 서구 관저북로 80, 202동 1805호 (관저동, 원앙마을2단지)

(74) 대리인

특허법인오암

전체 청구항 수 : 총 5 항

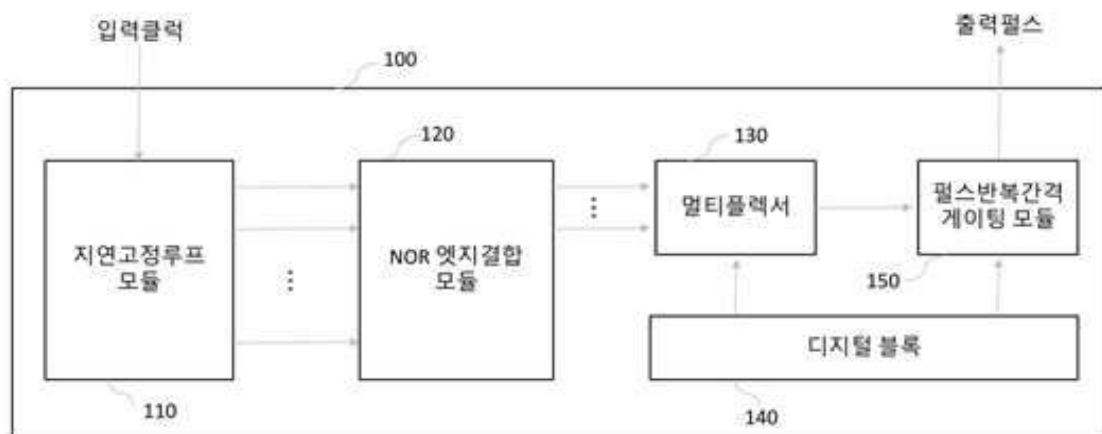
심사관 : 진용석

(54) 발명의 명칭 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기 및 펄스생성방법

(57) 요약

본 발명은 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기 및 펄스생성방법을 개시한다. 본 발명에 따른 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기는, 입력클럭의 위상을 다수의 반위상 지연신호들로 생성 및 출력하는 지연고정루프 모듈, 상기 다수의 반위상 지연신호들을 이용한 펄스 엠티결합으로 미리 정해진 특정조건에 부합하는 특정 펄스를 생성하는 NOR 게이트를 다수 구비하는 NOR 엠티결합 모듈, 상기 NOR 엠티결합 모듈로부터 특정 조건별로 구분된 특정 펄스들을 수신하고, 수신한 특정 펄스들 중에서 디지털블록으로부터 수신한 펄스 선택신호와 대응되는 특정 펄스를 선택 및 출력하는 멀티플렉서 및 상기 멀티플렉서로부터 출력된 특정 펄스와 펄스반복간격 신호를 결합한 출력펄스를 생성하는 펄스반복간격 게이팅 모듈을 포함한다.

대표도 - 도2



(52) CPC특허분류

H03K 5/1534 (2013.01)

H03K 7/08 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1345361699

과제번호 2021R1I1A3044182

부처명 교육부

과제관리(전문)기관명 한국연구재단

연구사업명 이공학학술연구기반구축

연구과제명 RF 펄스 폭 변조 기반 송신기, Wake-up 수신 기능 내재화한 수신기 기반의 높은 데이터 전송률을 가진 초저전력 IoT 송수신단 개발

과제수행기관명 한밭대학교

연구기간 2023.03.01 ~ 2024.02.29

명세서

청구범위

청구항 1

입력클럭의 위상을 다수의 반위상 지연신호들로 생성 및 출력하는 지연고정루프 모듈;

상기 다수의 반위상 지연신호들을 이용한 펄스 엠티결합으로 미리 정해진 특정조건에 부합하는 특정 펄스를 생성하는 NOR 게이트를 다수 구비하는 NOR 엠티결합 모듈;

상기 NOR 엠티결합 모듈로부터 특정 조건별로 구분된 특정 펄스들을 수신하고, 수신한 특정 펄스들 중에서 디지털블록으로부터 수신한 펄스 선택신호와 대응되는 특정 펄스를 선택 및 출력하는 멀티플렉서; 및

상기 멀티플렉서로부터 출력된 특정 펄스와 펄스반복간격 신호를 결합한 출력펄스를 생성하는 펄스반복간격 게이팅 모듈을 포함하고,

상기 NOR 엠티결합 모듈은 상기 다수의 반위상 지연신호들에 대한 2 채널 펄스 생성 구조를 토대로 상기 특정 펄스를 생성하며,

상기 NOR 엠티결합 모듈은 상기 다수의 반위상 지연신호들에 대한 지연순번을 토대로 한 펄스결합방식에 따라 펄스 폭을 조정하는 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 디지털블록은 상기 멀티플렉서에 상기 펄스 선택신호를 전송하고, 상기 펄스반복간격 게이팅 모듈에 상기 펄스반복간격 신호를 전송하며, 상기 펄스 선택신호 및 상기 펄스반복간격 신호는 시리얼 직병렬 인터페이스(SPI : Serial Parallel Interface) 제어를 통해 변경 설정되는 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기.

청구항 4

제1 항에 있어서,

상기 지연고정루프 모듈은 상기 다수의 반위상 지연신호들을 홀수개로 생성하고, 맨 마지막 생성된 반위상 지연신호를 상기 NOR 엠티결합 모듈로 출력하는 것이 아닌 상기 지연고정루프 모듈로 입력되는 입력신호와 상기 지연고정루프 모듈의 출력신호 간 위상 비교용으로 이용하는 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기.

청구항 5

삭제

청구항 6

다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기에서, 입력클럭의 위상을 다수의 반위상 지연신호들로 생성 및 출력하는 지연고정루프 단계;

상기 다수의 반위상 지연신호들을 이용한 펄스 엠티결합으로 미리 정해진 특정 조건들에 각각 부합하는 특정 펄스를 생성하는 NOR 엠티결합 단계;

생성된 특정 펄스들 중에서 디지털블록으로부터 수신한 펄스 선택신호와 대응되는 특정 펄스를 선택 및 출력하는 멀티플렉서 동작 단계; 및

상기 선택되어 출력된 특정 펄스와 펄스반복간격 신호를 결합한 출력펄스를 생성하는 펄스반복간격 게이팅 단계를 포함하고,

상기 NOR 엠티결합 단계는 상기 다수의 반위상 지연신호들에 대한 2 채널 펄스 생성 구조를 토대로 상기 특정 펄스를 생성하는 단계를 포함하며,

상기 NOR 엠티결합 단계는 상기 다수의 반위상 지연신호들에 대한 지연순번을 토대로 한 펄스결합방식에 따라 펄스 폭을 조정하는 단계를 포함하는 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성방법.

청구항 7

삭제

청구항 8

제6 항에 있어서,

시리얼 직병렬 인터페이스(SPI : Serial Parallel Interface) 제어를 통해 상기 펄스 선택신호 및 상기 펄스반복간격 신호를 변경 설정하는 단계를 더 포함하는 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성방법.

청구항 9

삭제

발명의 설명

기술 분야

[0001] 본 발명은 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기 및 펄스생성방법에 관한 것으로, 더욱 상세하게는 저전력 및 펄스조정범위 확장이 가능한 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기 및 펄스생성방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 종래에는 높은 대역의 주파수를 만들기 위하여 전압조정 발진기와 위상 주파수 검출기 및 필터로 이루어진 위상고정루프(PLL : Phase Locked Loop) 구조의 발진기를 이용하였으나, 위상 고정 루프를 이용한 발진기는 위상고정루프의 기술적인 한계로 인하여 잡음 특성을 향상시키기 어려운 한계를 가진다.

[0003] 또한, 최근에는 다양한 시스템의 적용을 위하여 종래보다 우수한 잡음 특성을 갖는 발진기가 요구되고 있다. 이에 따라, 지연고정루프(DLL : Delay Locked Loop, 이하, DLL로만 표기함)를 이용하여 높은 주파수를 만드는 다양한 방법들이 제안되고 있다. 즉, 종래의 통신 시스템에서는 송수신단 각각에서 입력 신호의 위상을 지연시키는 지연고정루프와 전압 제어를 통해 발진 주파수를 제어하는 전압 조정 발진기를 이용하여 RF 신호를 중간 주파수 신호로 변환하거나 중간 주파수 신호를 RF 신호로 변환하기 위한 기준 주파수 신호를 생성하고 있다.

[0004] 예를 들어, 멀티플렉서를 통해 지연고정루프 내의 각 지연 셀을 선택하여 원하는 주파수를 만드는 방법과 지연고정루프 내부의 지연 셀을 선택하는 부분에 펄스를 선택하는 두 개의 디코더와 분수를 만드는 부분을 두어 다양한 주파수를 만드는 방법이 제안되고 있다.

[0005] 하지만, 멀티플렉서를 이용하여 지연 셀, 즉 버퍼들을 스위칭하면서 원하는 주파수를 만드는 방법은 다양한 주파수를 만들기 위하여 보다 많은 버퍼를 사용해야 하기 때문에 레이아웃 면적이 커지게 되고, 각 버퍼에서 발생되는 잡음으로 인해 버퍼 수가 증가하는 만큼 잡음 특성이 열화되는 문제점이 있다.

[0006] 또한, 두 개의 디코더와 분수를 만드는 부분을 두어 다양한 주파수를 만드는 방법은, 각각의 버퍼를 스위칭하여 만들어진 주파수가 각 버퍼의 지연 시간에 의지하고 있기 때문에, 원하는 주파수에 대하여 정수배되는 주파수가 아닌 다른 주파수를 만들기 위하여 각각을 일정한 주기로 혼들어(randomize) 상기 정수배에 해당하지 않는 분수배의 주파수를 얻을 수 있다. 따라서, 이러한 방법은 각각의 분수배의 주파수를 발생시킬 수 있으나, 스위치가 반복적으로 동작하기 때문에 잡음이 발생되어 전체 잡음 특성이 열화되는 문제점이 있다.

[0007] 한편, 도 1에 도시된 바와 같은 MIMO(Multiple Input Multiple Output) 레이더에서는 넓은 펄스 조정 범위와

낮은 펄스 폭 오차를 제공하는 펄스 생성기가 요구된다.

- [0008] 하나, 종래의 MIMO 레이더는 짧은 펄스를 전송하고 반사를 측정하여 감지대상 물체를 파악하지만, 짧은 펄스 때문에 평균 신호전력이 낮다는 도전 과제가 발생한다. 아울러, MIMO 레이더 기반의 영상 시스템은 최적의 성능을 위해 전역 시계신호의 정밀한 간격이 조정되고 정밀하게 제어된 위상이 요구된다.
- [0009] 전술된 MIMO 레이더 기반의 시스템은 신호 대 잡음비율(SNR)을 향상시키기 위한 배열이 사용되며, 각 송신기는 일관된 출력성능을 보장하기 위해 다른 송신기에 비해 전송 시간을 조정함에 따라, 펄스 레이더 배열을 정확하고 신뢰성이 있는 작동을 보장하기 위해 넓은 범위의 펄스 폭을 가진 펄스 조정 범위의 확장이 가능하고 빠른 응답시간이 가능한 펄스 생성 회로가 필수적으로 요구된다할 것이다.
- [0010] 더 나아가, 넓은 펄스 조정 범위 및 빠른 응답시간 중 어느 하나 이상이 가능한 펄스생성기를 구현한다고 할지라도, 운용에 부담이 가중될 수준의 고전력이 요구된다든지 위상 응답에 문제 있을 경우에는 여전히 MIMO 레이더 기반의 시스템 등에 적용되는 펄스생성기 요건을 충족하지 못한다 할 것이다.
- [0011] 따라서, 앞서 설명된 문제점들을 반영하여 MIMO 레이더 기반의 시스템 등에 적용되는 펄스생성기 요건을 충족시킬 수 있는 펄스생성기를 구현할 수 있는 방안이 필요하다.

선행기술문헌

특허문헌

- [0012] (특허문헌 0001) 대한민국 등록특허공보 제10-1744202호(2017.05.31.)

발명의 내용

해결하려는 과제

- [0013] 따라서, 본 발명은 상기의 문제점을 해결하기 위해 창출된 것으로, 본 발명의 목적은 저전력 및 펄스조정범위 확장이 가능한 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기 및 펄스생성방법을 제공하는 데 있다.
- [0014] 발명의 목적은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0015] 상기 목적을 달성하기 위한 본 발명의 제1 관점에 따른 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기는, 입력클럭의 위상을 다수의 반위상 지연신호들로 생성 및 출력하는 지연고정루프 모듈, 상기 다수의 반위상 지연신호들을 이용한 펄스 엠티결합으로 미리 정해진 특정조건에 부합하는 특정 펄스를 생성하는 NOR 게이트를 다수 구비하는 NOR 엠티결합 모듈, 상기 NOR 엠티결합 모듈로부터 특정 조건별로 구분된 특정 펄스들을 수신하고, 수신한 특정 펄스들 중에서 디지털블록으로부터 수신한 펄스 선택신호와 대응되는 특정 펄스를 선택 및 출력하는 멀티플렉서 및 상기 멀티플렉서로부터 출력된 특정 펄스와 펄스반복간격 신호를 결합한 출력펄스를 생성하는 펄스반복간격 게이팅 모듈을 포함한다.
- [0016] 상기 NOR 엠티결합 모듈은 상기 다수의 반위상 지연신호들에 대한 2 채널 펄스 생성 구조를 토대로 상기 특정 펄스를 생성할 수 있다.
- [0017] 상기 디지털블록은 상기 멀티플렉서에 상기 펄스 선택신호를 전송하고, 상기 펄스반복간격 게이팅 모듈에 상기 펄스반복간격 신호를 전송하며, 상기 펄스 선택신호 및 상기 펄스반복간격 신호는 시리얼 직병렬 인터페이스(SPI : Serial Parallel Interface) 제어를 통해 변경 설정될 수 있다.
- [0018] 상기 지연고정루프 모듈은 상기 다수의 반위상 지연신호들을 홀수개로 생성하고, 맨 마지막 생성된 반위상 지연신호를 상기 NOR 엠티결합 모듈로 출력하는 것이 아닌 상기 지연고정루프 모듈로 입력되는 입력신호와 상기 지연고정루프 모듈의 출력신호 간 위상 비교용으로 이용할 수 있다.
- [0019] 상기 NOR 엠티결합 모듈은 상기 다수의 반위상 지연신호들에 대한 지연순번을 토대로 한 펄스결합방식에 따라

펄스 폭을 조정할 수 있다.

[0020] 상기 목적을 달성하기 위한 본 발명의 제2 관점에 따른 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성방법은, 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기에서, 입력클럭의 위상을 다수의 반위상 지연신호들로 생성 및 출력하는 지연고정루프 단계, 상기 다수의 반위상 지연신호들을 이용한 펄스 엠티결합으로 미리 정해진 특정 조건들에 각각 부합하는 특정 펄스를 생성하는 NOR 엠티결합 단계, 생성된 특정 펄스들 중에서 디지털블록으로부터 수신한 펄스 선택신호와 대응되는 특정 펄스를 선택 및 출력하는 멀티플렉서 동작 단계 및 상기 선택되어 출력된 특정 펄스와 펄스반복간격 신호를 결합한 출력펄스를 생성하는 펄스반복간격 게이팅 단계를 포함한다.

[0021] 상기 NOR 엠티결합 단계는 상기 다수의 반위상 지연신호들에 대한 2 채널 펄스 생성 구조를 토대로 상기 특정 펄스를 생성하는 단계를 포함할 수 있다.

[0022] 시리얼 직병렬 인터페이스(SPI : Serial Parallel Interface) 제어를 통해 상기 펄스 선택신호 및 상기 펄스반복간격 신호를 변경 설정하는 단계를 더 포함할 수 있다.

[0023] 상기 NOR 엠티결합 단계는 상기 다수의 반위상 지연신호들에 대한 지연순번을 토대로 한 펄스결합방식에 따라 펄스 폭을 조정하는 단계를 포함할 수 있다.

발명의 효과

[0024] 따라서, 본 발명은 다중 위상 DLL 아키텍처 및 고정밀 펄스 선택이 가능한 NOR 게이트 기반 펄스 결합 구조를 통해 RMS 지터(Root Mean Square Jitter)를 감소시키면서 확장된 펄스 조정 범위를 가능하게 할 수 있는 이점이 있다.

[0025] 본 발명의 효과들은 이상에서 언급한 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 청구범위의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0026] 도 1은 종래 기술에 따른 MIMO 펄스 레이더 배열을 나타내는 예시 회로도이다.

도 2는 본 발명의 일 실시예에 따른 펄스생성기를 나타내는 구성도이다.

도 3은 도 2의 펄스생성기를 보다 구체적인 일례로 나타내는 회로도이다.

도 4는 도 3의 전압제어지연라인을 일례로 나타내는 회로도이다.

도 5는 도 3의 회로도에 대한 시뮬레이션 결과를 나타내는 그래프이다.

도 6은 도 3의 위상검출기에 대한 회로구성과 타이밍 다이어그램을 일례로 나타내는 회로도 및 그래프이다.

도 7은 도 3의 펄스생성기에 대한 프로토타입 회로의 칩 마이크로그래프이다.

도 8은 도 7의 칩 마이크로그래프 디자인에 대해 실시된 시뮬레이션 결과를 나타내는 그래프이다.

그리고, 도 9는 본 발명의 일 실시예에 따른 펄스생성방법을 나타내는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0028] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 개략도들을 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 또한 본 발명에 도시된 각 도면에 있어서 각 구성 요소들은 설명의 편의를 고려하여 다소 확대 또는 축소되어 도시된 것일 수 있다.

[0029] 본 발명의 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기 및 펄스생성방법은 다중 위상 DLL 아

키텍처 및 고정밀 펄스 선택이 가능한 NOR 게이트 기반 펄스 결합 구조를 통해 RMS 지터를 감소시키면서 확장된 펄스 조정 범위를 가능하게 할 수 있도록 구성된다.

- [0030] 도 2는 본 발명의 일 실시예에 따른 펄스생성기를 나타내는 구성도이다.
- [0031] 도 2에 도시된 바와 같이, 본 발명의 펄스생성기(100)는 입력클럭의 위상을 다수의 반위상 지연신호들로 생성 및 출력하는 지연고정루프 모듈(110), 다수의 반위상 지연신호들을 이용한 펄스 엠티결합으로 미리 정해진 특정 조건에 부합하는 특정 펄스를 생성하는 NOR 게이트를 다수 구비하는 NOR 엠티결합 모듈(120), NOR 엠티결합 모듈(120)로부터 특정 조건별로 구분된 특정 펄스들을 수신하고, 수신한 특정 펄스들 중에서 디지털 블록(140)으로부터 수신한 펄스 선택신호와 대응되는 특정 펄스를 선택 및 출력하는 멀티플렉서(130), 및 멀티플렉서(130)로부터 출력된 특정 펄스와 펄스반복간격 신호를 결합한 출력펄스를 생성하는 펄스반복간격 게이팅 모듈(150)을 포함한다.
- [0032] 여기서, 미리 정해진 특정 조건에 부합하는 특정 펄스의 생성이라 함은 본 발명의 펄스생성기(100)에서 출력코자 하는 위상 및 펄스 폭을 갖는 펄스를 의미하며, 이는 다수의 반위상 지연신호들을 토대로 하는 NOR 게이트에 의해 생성 가능하다.
- [0033] 즉, 전술된 특정 조건별로 구비된 NOR 게이트들을 통해, 다수의 특정 펄스를 생성할 수 있다.
- [0034] 또한, 디지털 블록(140)을 통해 상기 다수의 특정 펄스들 중 어느 하나를 선택할 수 있고, 선택된 특정 펄스와 펄스반복간격 신호를 결합함에 따라 출력펄스를 생성할 수 있다.
- [0035] 펄스반복간격 신호는 특정 펄스 사이의 시간 간격을 의미하는 바, 앞서 설명된 다수의 특정 펄스들 간 어느 하나의 특정 펄스를 선택할 수 있으며, 선택된 특정 펄스에 대해서도 펄스반복간격을 조정할 수 있기 때문에 고정밀의 펄스 선택이 가능할 뿐만 아니라 펄스조정범위의 확장 또한 가능하다.
- [0036] 도 3은 도 2의 펄스생성기를 보다 구체적인 일례로 나타내는 회로도이다.
- [0037] 도 3에 도시된 바와 같이, NOR 엠티결합 모듈(120)은 다수의 반위상 지연신호들에 대한 2 채널 펄스 생성 구조를 토대로 특정 펄스를 생성할 수 있다.
- [0038] 지연고정루프 모듈(110)은 다수의 반위상 지연신호들을 홀수 개로 생성하고, 맨 마지막 생성된 반위상 지연신호를 NOR 엠티결합 모듈(120)로 출력하는 것이 아닌, 지연고정루프 모듈(110)로 입력되는 입력신호와 지연고정루프 모듈의 출력신호 간 위상 비교용으로 이용함으로써, 입력신호의 위상과 출력신호의 위상을 정밀하게 맞출 수 있다.
- [0039] 구체적으로, 지연고정루프 모듈(110)은 위상검출기(Phase Detector, PD), 위상검출기의 출력에 따라 전압을 조정하는 차지펌프(Charge Pump, CP), 차지펌프의 출력을 평활화하여 안정적인 제어 전압을 생성하는 루프 필터(Loop Filter, LF), 제어전압에 따라 신호 지연을 조정하는 전압 제어 지연 라인 (Voltage-Controlled Delay Line, VCDL)를 포함할 수 있다.
- [0040] 또한, 디지털블록(140)은 멀티플렉서(130)에 펄스 선택신호를 전송하고, 펄스반복간격 게이팅 모듈(150)에 펄스 반복간격 신호를 전송하며, 펄스 선택신호 및 펄스반복간격 신호를 시리얼 직병렬 인터페이스(SPI : Serial Parallel Interface) 제어를 통해 변경 설정할 수 있다.
- [0041] NOR 엠티결합 모듈(120)은 다수의 반위상 지연신호들에 대한 지연순번을 토대로 한 펄스결합방식에 따라 펄스 폭을 조정할 수 있다.
- [0042] 도 3의 회로도를 기준으로 한 다수의 반위상 지연신호들에 대한 예시를 아래 표 1과 같이 들 수 있다.

[0043] [표 1]

Pulse Number	ϕ_A	ϕ_B	Delay	Simulated Pulse Width (ps)
1	ϕ_{20}	ϕ_{21}	τ	243.9
2	ϕ_{19}	ϕ_{22}	3τ	731.7
3	ϕ_{18}	ϕ_{23}	5τ	1219.5
4	ϕ_{17}	ϕ_{24}	7τ	1707.3
5	ϕ_{16}	ϕ_{25}	9τ	2195.1
6	ϕ_{15}	ϕ_{26}	11τ	2682.9
7	ϕ_{14}	ϕ_{27}	13τ	3170.7
8	ϕ_{13}	ϕ_{28}	15τ	3658.5
9	ϕ_{12}	ϕ_{29}	17τ	4146.3
10	ϕ_{11}	ϕ_{30}	19τ	4634.1
11	ϕ_{10}	ϕ_{31}	21τ	5121.9
12	ϕ_9	ϕ_{32}	23τ	5609.7
13	ϕ_8	ϕ_{33}	25τ	6097.5
14	ϕ_7	ϕ_{34}	27τ	6585.3
15	ϕ_6	ϕ_{35}	29τ	7073.1
16	ϕ_5	ϕ_{36}	31τ	7560.9
17	ϕ_4	ϕ_{37}	33τ	8048.7
18	ϕ_3	ϕ_{38}	35τ	8536.5
19	ϕ_2	ϕ_{39}	37τ	9024.4
20	ϕ_1	ϕ_{40}	39τ	9512.2

[0044]

[0045] 도 3에서, 다수의 반위상 지연신호들을 41개 생성 및 출력하는 것으로 일례를 들면, 맨 마지막 신호인 ϕ_{41} 신호는 위상검출기로 입력되어 비교용으로 이용될 수 있으며, ϕ_1 내지 ϕ_{40} 신호는 NOR 엣지결합 모듈로 입력됨에 따라 각 NOR 게이트의 엣지 결합을 통해 특정 펄스로 생성된다.

[0046] ϕ_{20} 신호와 ϕ_{21} 신호에 대해 NOR 엣지결합함으로서, 펄스 폭이 243.9ps인 짧은 펄스를 생성할 수 있고, ϕ_1 신호와 ϕ_{40} 신호에 대해 NOR 엣지결합함으로서, 펄스 폭이 9512.2ps인 긴 펄스를 생성할 수 있다.

[0047] 이와 같은 펄스 폭은 아래 수식 1을 통해 이론적인 펄스 폭에 대해 근사화할 수 있다.

[0048] [수식 1]

$$PWN = \tau(2N - 1); N \in \{1, 2, \dots, 20\}$$

[0049]

[0050] 여기서, PWN은 선택된 NOR 게이트의 펄스 폭을 의미한다.

[0051] 도 4는 도 3의 전압제어지연라인을 일례로 나타내는 회로도이다.

[0052] 도 4에 도시된 바와 같이, 전압제어지연라인의 각 스테이지는 가변 커패시터 부하를 갖춘 9단 인버터 셀로 구비될 수 있으며, 각 스테이지의 지연은 엣지 결합 구성에 기여하고, 최종 스테이지의 출력은 위상 검출기의 참조 신호와 비교되는 용도로 사용될 수 있다.

[0053] 또한, 각 스테이지에서 홀수의 인버터를 사용하여 180도의 위상 변환이 적용되었고, 스테이지 당 지연(τ)은 아래의 수식 2와 같이 정의된다.

[0054] [수식 2]

$$\tau = TREF / (2N)$$

[0055]

[0056] 여기서, N은 스테이지의 수를 나타낸다.

[0057] 그리고, 도 5의 a) 도면에서는 TT(typical-typical), SS(slow-slow), FF(fast-fast) 코너에 대한 VTUNE에 따른 VCDL의 스테이지 당 지연을 시뮬레이션 결과로 나타낸다. VTUNE이 100mV에서 900mV까지 변할 때, TT, SS, FF 코너는 각각 135.3-300 ps, 148.9-330.7 ps, 120-258.8 ps의 지연을 나타낸 결과를 확인할 수 있다.

[0058] 도 5의 b) 도면에서는, 지연 스테이지 ϕ_{18} 에서 ϕ_{21} 까지의 타이밍 다이어그램과 인접한 출력들을 반전시킨 후 최소 펄스 폭(τ)과 다음 최소 펄스 폭(3τ)을 생성하는 후속 NOR 게이트를 나타낸다.

[0059] 본 발명의 도 3에서의 예에서, 50MHz 참조 클럭이 선택되었으며, 이는 이론적으로 약 244 ps의 라인 당 지연을 초래한다. 앞서 언급된 표 1에서는 구현된 50MHz FREF에서 DLL 출력과 해당 펄스 폭의 조합을 나열한 것이다.

[0060] 도 6은 도 3의 위상검출기에 대한 회로구성파와 타이밍 다이어그램을 일례로 나타내는 회로도 및 그래프이다.

[0061] 도 6의 a) 도면은 위상검출기의 회로 구성에 대한 일례를 나타낸 것으로서, AND 논리를 통합하여 고정 문제(stuck issue)를 완화할 수 있고, 도 6의 b)에 도시된 바와 같이 루프가 특정 위상에 고정되고 참조 주파수

FREF와 최종 VCDL 출력 FDIV가 180° 차이로 정렬되지 않은 경우, 리셋(RST) 펄스가 생성되어 위상검출기를 리셋하고 상태를 복원한다. 반대로, 루프가 안정화되고 DLL이 잠겼을 때, RST 펄스는 50%의 듀티 비율을 가지며 FREF 및 FDIV와 정렬된다.

[0062] 도 7은 도 3의 펄스생성기에 대한 프로토타입 회로의 칩 마이크로그래프이고, 도 8은 도 7의 칩 마이크로그래프 디자인에 대해 실시된 시뮬레이션 결과를 나타내는 그래프이다.

[0063] 도 7 및 도 8에 도시된 바와 같이, TSMC 45nm 기술로 제작된 프로토타입 펄스 생성기(100)를 나타내는 것이며, 패드를 포함하여 0.8mm² 를 차지한다. DLL을 포함한 개별 펄스 생성기는 단지 0.048mm² 이다. 측정을 위해 Agilent 33250A 임의 파형 발생기(AWG)를 사용하여 40, 45, 50MHz의 참조 클럭을 생성하고 디지털 패드 및 입력 드라이버와 인터페이스하였다.

[0064] 측정은 주로 Tektronix MD03102 오실로스코프를 사용하여 수행되었으며, 지터 측정은 Keysight MSOS804A를 사용하여 수행되었다. 디지털 패드 및 입력 드라이버는 2.5V에서 작동했으며, 펄스 생성기(100)는 1V에서 작동한 것이다.

[0065] 칩 설계 및 검증은 이상적인 직사각형 펄스를 사용하여 수행된 것이다. 비이상적인 입력 신호(고참조 주파수에서 측정 시 직사각형 펄스의 제한된 슬루율)의 영향을 분석하기 위해, 사각파 및 사인파 참조 클럭을 사용한 시뮬레이션이 수행되었고, 입력 버퍼 및 디지털 패드는 참조 클럭을 2.5V에서 펄스 생성기(100)의 핵심부에서 1V로 레벨 변환하였다. 시뮬레이션 결과(도 8의 (a), (b))는 50MHz 입력 참조에서 사각파는 10ns의 펄스 폭을 생성한 반면, 사인파는 12.4ns의 펄스 폭을 생성했으며, 듀티 사이클은 각각 원하는 50%와 비이상적인 62.4%를 나타내었다. 사인파의 고르지 않은 듀티 사이클에도 불구하고, DLL은 안정적으로 잠겨진 것으로 확인되었다(도 8의 (c)). 표준 라이브러리에서 제공된 디지털 I/O 버퍼에 의해 영향을 받은 사각파와 사인파 신호 간의 전압 차이가 위상 검출기 판독값에 영향을 미쳐 사인파의 경우 더 짧은 펄스를 초래했다. 시뮬레이션 결과는 50MHz 입력 참조에서 사각파의 경우 215ps 펄스 폭, 사인파의 경우 174ps 펄스 폭을 나타내는 것으로 확인했다.

[0066] 한편, 지터 측정은 최대 펄스 폭 설정에서 50-MHz 작동 주파수로 수행되었고, 일반적인 DLL에서는 다양한 지연 경로로 인해 지터 특성이 축적될 수 있으나, 본 발명의 다중위상 DLL 설계와 펄스 결합기에서의 후속 처리로 인해 측정된 지터가 현저히 감소하였음을 아래 표 2에서 확인할 수 있다.

[0067] [표 2]

Parameters	ISSC 13 [5]	TCAS-II 14 [13]	TCAS-II 14 [14]	TVLSI 15 [15]	TCAS-II 22 [16]	This work
Process	0.13 μ m SiGe BiCMOS	0.15 μ m	0.13 μ m CMOS	0.13 μ m CMOS	180 nm CMOS	45 nm CMOS
Blocks	DLL+Pulser+Buffer	DLL	DLL	DLL	DLL	DLL+Pulser+Buffer
Supply [V]	2.5	1.8	1.2	1.5	1.8	1
Frequency [GHz]	1.47	0.02 – 0.135	0.4 – 0.8	0.08 – 0.45	0.25	[†] 0.04 – 0.09
Lock time	9	< 25 cycles	4	8 – 16 cycles	4	[†] 10 cycles
Output phases	—	7	4	4	4	41
Jitter _{rms} [ps]	—	[*] 13 @ 0.1-GHz	2.3 @ 0.8-GHz	2.3 @ 0.18-GHz	[*] 2 @ 0.25-GHz	6 @ 0.05-GHz
Power [mW]	235	2.2 @ 0.13-GHz	7.2 @ 0.8-GHz	26 @ 0.18-GHz	2.28 @ 0.25-GHz	3.2 @ 0.05-GHz
*PEF [J]	17.76	2.41	2.25	36.11	2.28	1.56
Active area [mm ²]	0.25	0.023	0.025	0.08	0.09	0.048

*: PEF(Power Efficiency Factor) = Power[mW]/(Frequency[GHz] x Output Phases).

^{*}: Converted from p-p jitter by multiplying with 10⁻¹² BER tolerance.

[†]: Simulated results.

[0068]

[0069] 이에, 본 발명은 다중 위상 DLL 아키텍처 및 고정밀 펄스 선택이 가능한 NOR 게이트 기반 펄스 결합 구조를 통해 DLL의 다수 지연 경로에 따른 지터 특성이 누적되어 소비전력이 증가하는 문제점을 극복하면서 펄스 조정 범위를 확장하는 것을 가능하게 한다.

[0070] 그리고, 도 9는 본 발명의 일 실시예에 따른 펄스생성방법을 나타내는 순서도이다.

[0071] 도 9에 도시된 바와 같이, 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성방법은 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기(100)에서 입력클럭의 위상을 다수의 반위상 지연신호들로 생성 및 출력하는 것으로 진행된다(S100).

[0072] S100 단계에서 출력된 다수의 반위상 지연신호들을 이용한 펄스 엡지결합으로 미리 정해진 특정조건들에 각각 부합하는 특정 펄스를 생성하는 과정이 추가로 진행된다(S102).

[0073] S102에서 생성된 특정 펄스들 중에서 디지털블록으로부터 수신된 펄스 선택신호와 대응되는 특정 펄스를 선택 및 출력하는 멀티플렉서 동작 과정을 진행되고(S104), 선택된 특정 펄스와 펄스반복간격 신호를 결합한 출력신호를 생성 및 출력하는 과정이 진행된다(S106).

[0074] 이후, 시리얼 직병렬 인터페이스(SPI : Serial Parallel Interface) 제어를 통해 펄스 선택신호 및 펄스반복간

격 신호를 변경하는 설정이 있는 경우, 상기 S104 내지 S108 과정을 재차 진행할 수 있다.

[0075] 앞서 설명된 단계들에 대한 상세 단계 및 부가 설명은 도 2 내지 도 8과 이들 도면에 대한 설명을 준용하기로 한다.

[0076] 이상과 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

산업상 이용가능성

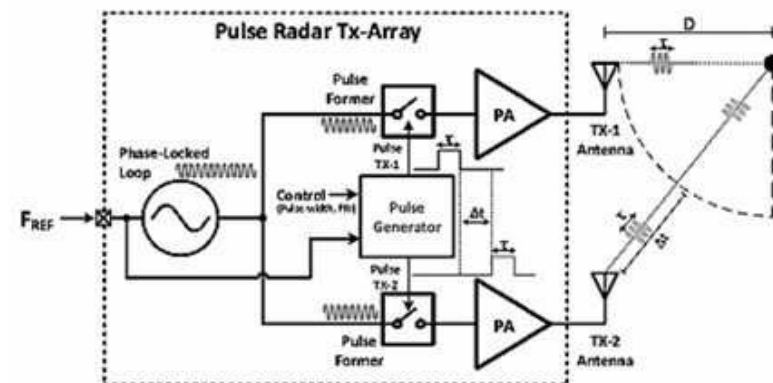
[0077] 또한, 본 발명은 저전력 및 펄스조정범위 확장이 가능한 다중위상 지연고정루프와 고정밀 NOR 게이트 기반의 펄스생성기 및 펄스생성방법을 제공하기 위한 것임에 따라, 시판 또는 영업의 가능성이 충분할 뿐만 아니라 현실적으로 명백하게 실시할 수 있는 정도이므로 산업상 이용가능성이 있는 발명이다.

부호의 설명

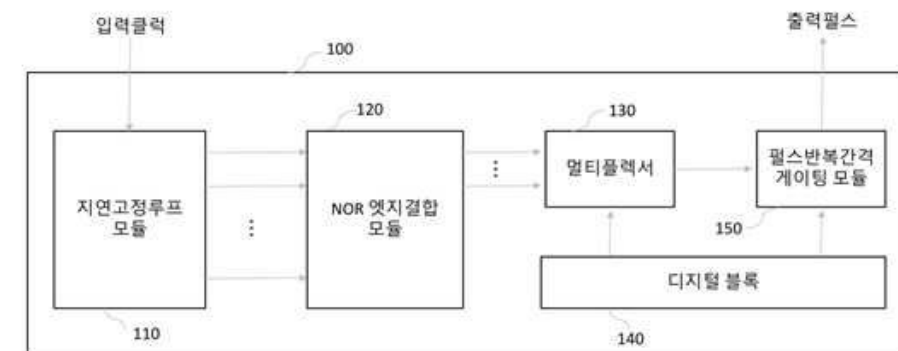
[0078]	100 : 펄스생성기	110 : 지연조정루프 모듈
	120 : NOR 엣지결합 모듈	130 : 멀티플렉서
	140 : 디지털블록	150 : 펄스반복간격 게이팅 모듈

도면

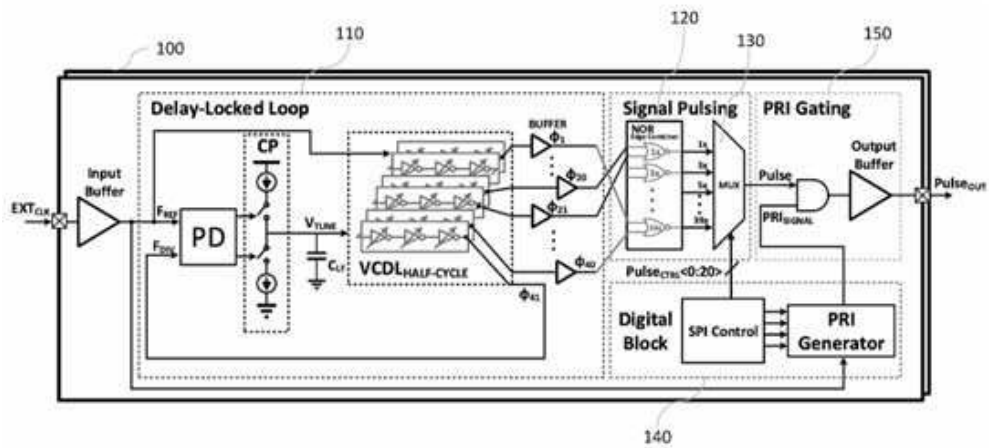
도면1



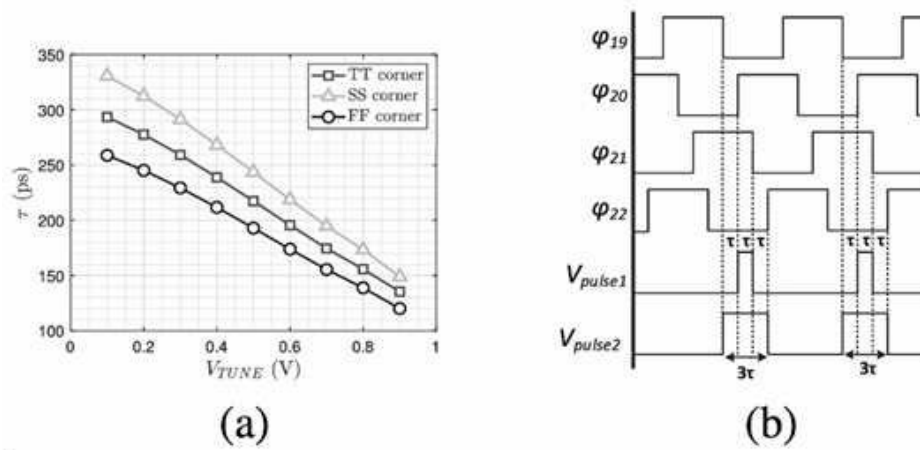
도면2



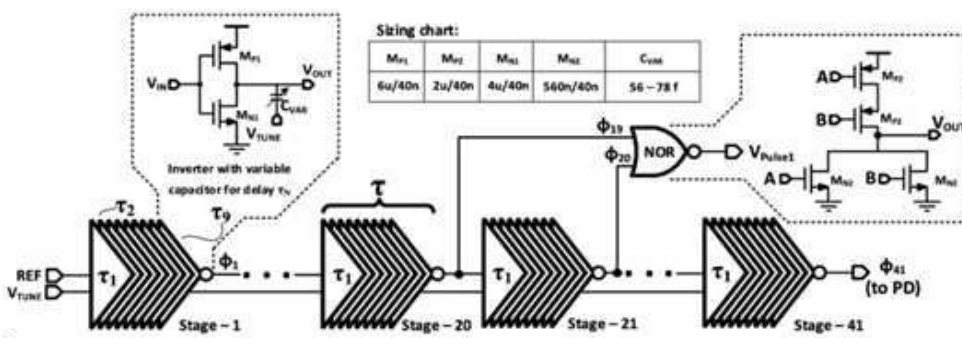
도면3



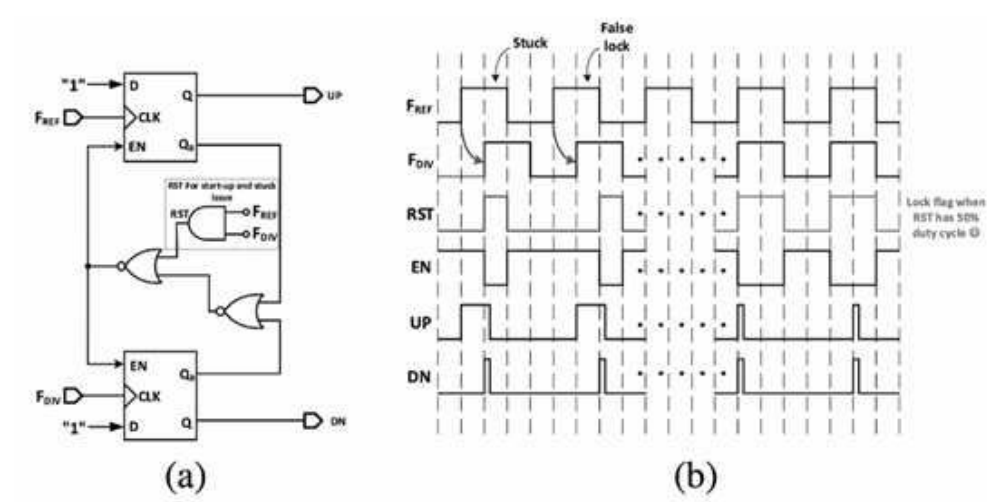
도면4



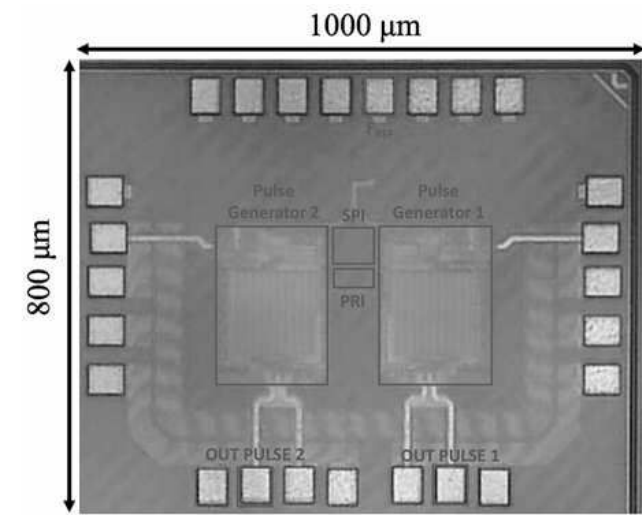
도면5



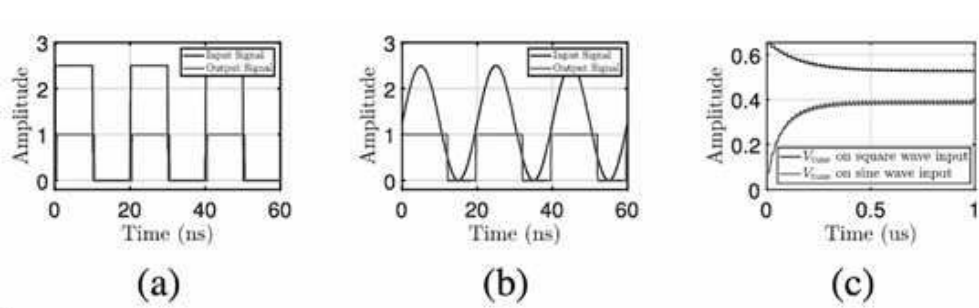
도면6



도면7



도면8



도면9

